



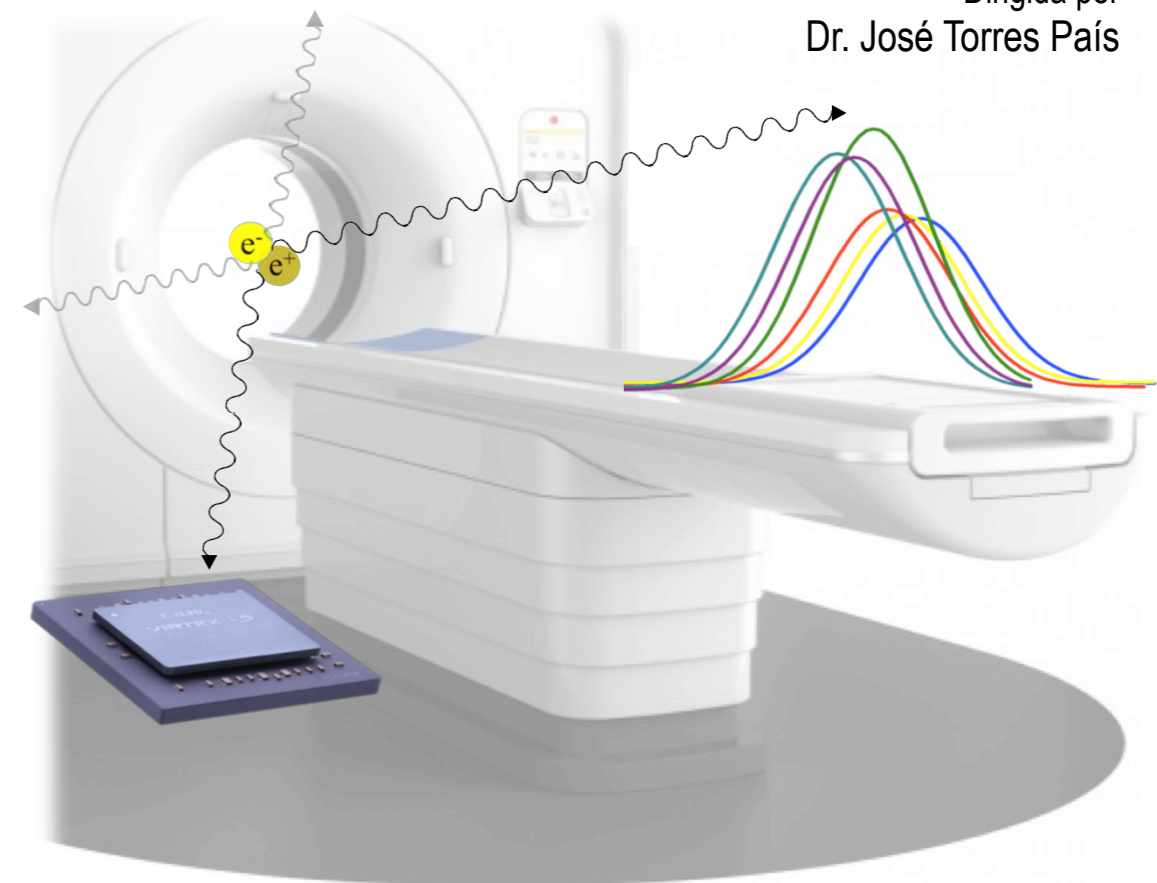
TESIS DOCTORAL

Estudio, diseño e integración de un sistema basado en FPGA para el cálculo del Tiempo de Vuelo aplicado a equipos PET

Estudio, diseño e integración de un sistema basado en FPGA para el cálculo del Tiempo de Vuelo aplicado a equipos PET

Albert Aguilar Talens

Dirigida por
Dr. José Torres País



Tesis Doctoral
Albert Aguilar Talens



VNIVERSITAT [É] VALÈNCIA



TESIS DOCTORAL
Doctorado en Ingeniería Electrónica

Estudio, diseño e integración de un sistema basado
en FPGA para el cálculo del Tiempo de Vuelo
aplicado a equipos PET

Autor: D. Albert Aguilar Talens

Director: Dr. José Torres País

Valencia, Mayo 2014

Contenido

I. Resumen	V
II. Agradecimientos	IX

Bloque 1

1	Capítulo 1. Introducción	3
	1.1. Motivación	3
	1.2. Hipótesis y objetivos	8
	1.3. Estructura de la Tesis	9
2	Capítulo 2. Fundamentos	11
	2.1. Introducción a la física del PET	11
	2.2. Estructura de los sistemas PET	15
	2.3. Tiempo de Vuelo en sistemas PET	26
	2.4. Convertidores Digitales de Tiempo	32
	2.5. Factores que influyen en la determinación del Tiempo de Vuelo	40
	2.6. Conclusiones	56

Bloque 2

3	Capítulo 3. Diseño preliminar del sistema basado en FPGA	61
	3.1. Artículo: "High resolution Time of Flight determination based on reconfigurable logic devices for future PET/MR systems"	61

4	Capítulo 4. Implementación del Time to Digital Converter (TDC) en una FPGA	67
	4.1. Artículo: "Time to digital converter based on FPGA with multiple channel capability"	67
Bloque 3		
5	Capítulo 5. Cálculo del Tiempo de Vuelo (TOF) en un prototipo PET de mama	79
	5.1. Artículo: "Time of flight measurements based on FPGA using a breast dedicated PET"	79
6	Capítulo 6. Determinación del TOF con bloques individuales de SiPM	93
	6.1. Artículo: "Time of flight measurements based on FPGA and SiPMs for PET-MR"	93
7	Capítulo 7. Pruebas de TOF con matrices de SiPM.	101
	7.1. Artículo: "Timing results using an FPGA-based TDC with large arrays of 144 SiPMs"	101
Bloque 4		
8	Capítulo 8. Optimización del TDC y algoritmo de búsqueda de coincidencias	113
	8.1. Artículo: Optimization of a Time-to-Digital Converter and a coincidence map algorithm for TOF-PET applications"	113
Bloque 5		
9	Capítulo 9. Conclusión y trabajo futuro	127
	9.1. Conclusión	127
	9.2. Trabajo futuro	130
10	Capítulo 10. Bibliografía	133
	Apéndice 1. Publicaciones y participaciones en Congresos	139
	Apéndice 2. Glosario de términos	143

Título

Estudio, diseño e integración de un sistema basado en FPGA para el cálculo del Tiempo de Vuelo aplicado a equipos PET.

Resumen

La Medicina Nuclear ha experimentado avances significativos en los últimos años debido a la mejora en materiales, sistemas electrónicos, técnicas de algoritmia, de procesado etc., que han permitido que su aplicación se haya extendido considerablemente. Una de las técnicas que más ha progresado en este ámbito ha sido la Tomografía por Emisión de Positrones (PET, del inglés *Positron Emission Tomography*), consistente en un método no invasivo y muy útil para la evaluación de anomalías de tipo cancerosas. Este sistema está basado en un principio de toma de datos y procesado mediante el cual se obtienen imágenes de la distribución espacial y temporal de los procesos metabólicos que se generan en el interior del organismo.

Los sistemas PET están formados por un conjunto de detectores, colocados habitualmente en anillo, de forma que cada uno de ellos proporciona información acerca de los eventos que se han producido en su interior. Uno de los motivos por el cual los sistemas PET han evolucionado de forma tan significativa, ha sido la aparición de técnicas que permiten determinar el Tiempo de Vuelo (TOF, del inglés *Time of Flight*) de los fotones que se generan a causa de la aniquilación de los positrones con su antipartícula, los electrones. La determinación del TOF permite establecer con mayor precisión la ubicación de los eventos que se generan y, por tanto, facilita la labor de reconstrucción de la imagen que, en última instancia, utilizará el equipo médico para el diagnóstico y/o tratamiento.

En esta Tesis se parte de la hipótesis de desarrollar un sistema basado en Dispositivos Lógicos Reconfigurables (FPGAs, del inglés *Field Programmable Gate Arrays*) para la integración de un Convertidor Digital de Tiempo (TDC, del inglés *Time-to-Digital Converter*) para la medida precisa de tiempos con capacidad para el cálculo de la diferencia temporal de las partículas gamma para su posterior aplicación en sistemas PET.

Inicialmente, se describe el entorno dentro del cual surge la necesidad de la implementación de tal sistema y se formula una premisa de partida. A continuación, se exponen los principios básicos del PET así como el estado del arte de los sistemas similares.

Seguidamente, se plantean los principios del cálculo del TOF con FPGAs y se justifica el esquema adoptado, entrando en detalle en cada una de sus partes. Tras la implementación, se presentan los primeros resultados de medida de tiempos, obteniendo resoluciones menores de 100 ps para

múltiples canales y caracterizando el sistema ante variaciones de temperatura.

Una vez caracterizado el sistema, se presentan las pruebas realizadas con un prototipo PET de mama y con tecnología de detectores FotoMultiplicadores Sensibles a la Posición (PSPMTs, del inglés, *Position Sensitive PhotoMultiplier Tubes*), haciendo medidas de TOF para distintos supuestos.

Tras esta primera prueba, se pasa a la implementación de dos módulos de FotoMultiplicadores basados en Silicio (SiPMs, del inglés *Silicon PhotoMultipliers*), detectores que presentan con respecto a los PSPMTs, entre otras ventajas, inmunidad a elevados campos magnéticos. Esto es de vital importancia si se pretende que el PET trabaje en combinación con una Resonancia Magnética (MR, del inglés *Magnetic Resonance*), como es el caso. Los dos módulos detectores se componen de un solo píxel y, para cada uno, se diseña su electrónica de acondicionamiento, teniendo en cuenta los parámetros más influyentes en la resolución temporal. Tras estos resultados, se pasa a probar el sistema en una matriz de 144 SiPMs, optimizando además diversos parámetros de impacto directo en el funcionamiento del sistema y, por tanto, en la resolución temporal alcanzada (hasta 700 ps).

Por último, demostradas las capacidades del sistema, se lleva a cabo un proceso de optimización, tanto del TDC, que permite mejorar la resolución a valores menores de 40 ps, como de un algoritmo de coincidencias, el cual se encarga de identificar pares de detectores que han registrado un evento dentro de cierta ventana temporal.

Finalmente, se recogen las conclusiones de la Tesis y las líneas futuras en las que se va a trabajar. Asimismo, se presentan las diversas participaciones, tanto en revistas de impacto como en congresos.

Abstract

Nuclear Medicine has undergone significant advances in recent years due to improvements in materials, electronics, software techniques, processing etc., which has allowed to considerably extend its application. One technique that has progressed in this area has been the Positron Emission Tomography (PET) based on a non-invasive method with its especial relevance in the evaluation of cancer diagnosis and assessment, among others. This system is based on the principle of data collection and processing from which images of the spatial and temporal distribution of the metabolic processes that are generated inside the body are obtained.

The imaging system consists of a set of detectors, normally placed in a ring geometry, so that each one provides information about events that have occurred inside. One of the reasons that have significantly evolved in PET systems is the development of techniques to determine the Time-of-Flight (TOF) of the photons that are generated due to the annihilation of positrons with their antiparticle, the electron. Determining TOF allows one for a more precise location of the events that are generated inside the ring and, therefore, facilitates the task of image reconstruction that ultimately use the medical equipment for the diagnosis and/or treatment.

This Thesis begins with the assumption of developing a system based on Field Programmable Gate Arrays (FPGAs) for the integration of a Time-to-Digital Converter (TDC) in order to precisely carry out time measurements. This would permit the estimation of the TOF of the gamma particles for subsequent application in PET systems.

First of all, the environment for the application is introduced, justifying the need of the purposed system. Following, the basic principles of PET and the state-of-the-art of similar systems are introduced. Then, the principles of Time-of-Flight based on FPGAs are discussed, and the adopted scheme explained, going into detail in each of its parts. After the development, the initial time measurement results are presented, achieving time resolutions below 100 ps for multiple channels.

Once characterized, the system is tested with a breast PET prototype, whose technology detectors are based on Position Sensitive PhotoMultiplier Tubes (PSPMTs), performing TOF measurements for different scenarios.

After this point, tests based on two Silicon Photomultipliers (SiPMs) modules were carried out. SiPMs are immune to magnetic fields, among other advantages. This is an important feature since there is a significant interest in combining PET and Magnetic Resonances (MR). Each of the two detector modules used are composed of a single crystal pixel. The electronic conditioning circuits are designed, taking into account the most influential parameters in time resolution. After these results, an array of 144 SiPMs is

tested, optimizing several parameters, which directly impact on the system performance.

Having demonstrated the system capabilities, an optimization process is devised. On the one hand, TDC measurements are enhanced up to 40 ps of precision. On the other hand, a coincidence algorithm is developed, which is responsible of identifying detector pairs that have registered an event within certain time window.

Finally, the Thesis conclusions and the future work are presented, followed by the references. A list of publications and attended congresses are also provided.

Agradecimientos

A lo largo del desarrollo de esta Tesis, han sido muchas y variadas las dificultades que se han encontrado, así como los momentos de incertidumbre y desesperación, todos ellos implícitos, generalmente, en una investigación. Pero ese estado de tensión que se prolonga en el tiempo, se ve alterado por picos momentáneos de felicidad y excitación, en los que un resultado que parecía imposible, se produce. Estas transiciones abruptas hacen que el valor medio del estado de ánimo experimente una subida tal, que compense totalmente el esfuerzo y los obstáculos enfrentados.

Es injusto acotar el espacio de estas palabras de agradecimiento, ya que haría falta un volumen de papel desproporcionado para dar cabida a la cantidad de reconocimientos que mucha gente merece.

Quisiera comenzar este listado de agradecimientos por mi director de Tesis, José Torres. Siendo su alumno, me transmitió tal energía y entusiasmo, que hicieron que mi inquietud por la Electrónica, en concreto por las FPGAs, se disparara. Él siempre me instó a seguir formándome, contagiándome de su vocación investigadora. La mayor parte de oportunidades que he tenido han venido por su parte, así que nunca podré estar lo suficientemente agradecido. Han sido muchos los momentos y las horas que hemos pasado juntos, por lo que su influencia trasciende lo puramente profesional. De nuevo, gracias.

Le debo mucho a Jesús. Junto con José, ha pasado por todas las etapas relativas a mi formación, tanto en la Universidad como en Empresa. Su puerta ha estado siempre abierta a cualquier propósito. Gracias a él, he podido participar en Proyectos y Cursos de los que he aprendido gran parte de lo que sé.

Tengo también que dar gracias por haberme cruzado con Rai en este camino. Su mirada crítica, su perspicacia y sus consejos han sido indispensables, tanto en el desarrollo de esta Tesis, como en infinidad de apartados de mi vida personal.

Otro pilar en mi formación ha sido Julio. Víctima de algunas de mis dudas existenciales, es una fuente de conocimientos inagotables. Siempre dispuesto a ayudar sea cual sea la naturaleza del problema.

Especial mención también a Anto, parte fundamental en esta Tesis. Mentor en sistemas PET, trabajar codo a codo con él ha sido un privilegio. Quedarán en mi memoria sus temidas y acertadas correcciones, que en ocasiones hasta superaban en tamaño al propio texto a corregir. Su apoyo y consejos han sido determinantes.

A toda la gente del I3M, en particular a Liczandro y Pablo por su ayuda y, por supuesto, al Director del Instituto, el Profesor José M^a Benlloch, por la colaboración prestada en este campo tan apasionante como es la Medicina Nuclear.

Destacar el respaldo continuo de Guillermo durante muchos años de andadura juntos, porque me ha impregnado de su pasión por la Electrónica y he compartido con él momentos inolvidables.

También agradecer la aportación de Adri y Pedro a esta Tesis y, por supuesto, al resto de compañeros de Laboratorio: Iván, Rober, Nordin, Abraham, Chema, Xavi E. y Xavi R., por las horas de desesperación compartidas, por los momentos de risas y las comidas basura semanales.

Por último, a mis Padres, Hermana y Abuelos por apoyarme y estar siempre ahí. A Pilar y Pepe, por escucharme y animarme incondicionalmente. A mis Amigos por ser los mejores. A mi Tía, por estimularme desde pequeño con sus acertijos, juegos y problemas.

Pero en especial, a mi partícula entrelazada, Helena.

A todos, $\frac{1}{0}$ Gracias.

<< Una meta es más que un sueño: es un sueño sobre el que se trabaja >>

Leopoldo Fernández Pujals

Bloque 1

- **Capítulo 1.** Introducción
 - 1.1. Motivación
 - 1.2. Hipótesis y objetivos
 - 1.3. Estructura de la Tesis

 - **Capítulo 2.** Fundamentos
 - 2.1. Introducción a la física del PET
 - 2.2. Estructura del PET
 - 2.3. Tiempo de Vuelo en sistemas PET
 - 2.4. Conversores Digitales de Tiempo
 - 2.5. Factores que influyen en la determinación del Tiempo de Vuelo
 - 2.6. Conclusiones
-

Capítulo 1

Introducción

En este primer capítulo se pone en contexto la presente Tesis, justificándose su desarrollo y exponiendo los factores que han influido para que, finalmente, se haya desarrollado de la forma que se presenta. Asimismo, se detallan los objetivos que inicialmente se fijaron así como aquellos que han ido cobrando importancia a lo largo de la investigación.

1.1. Motivación

La Tomografía por Emisión de Positrones (PET, del inglés *Positron Emission Tomography*) permite obtener información “in vivo” y de forma no invasiva de los procesos fisiológicos (imagen funcional) de los seres vivos. Esta técnica de la Medicina Nuclear proporciona datos acerca de la distribución espacial y temporal de un radiotrazador administrado al paciente, diferenciándose de las técnicas de imagen médicas convencionales (Rayos X, Tomografía Axial Computerizada, Resonancia Magnética), donde la información que se obtiene está generalmente relacionada con la estructura anatómica (imágenes morfológicas). Sin embargo, en numerosas enfermedades, el cambio en la funcionalidad del órgano se produce mucho antes de que la enfermedad de lugar a cambios en la forma y/o tamaño del mismo.

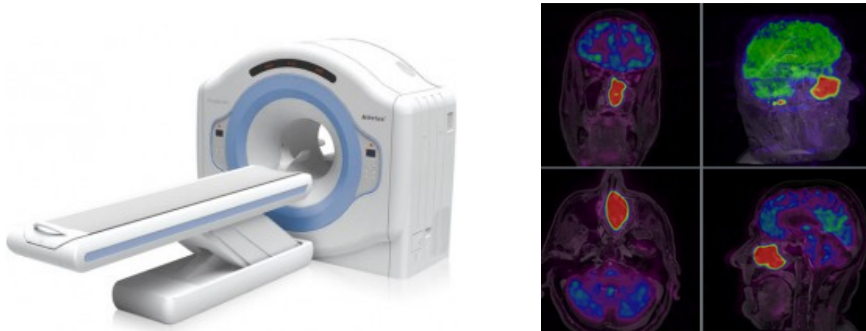


Figura 1-1. Escáner PET de Philips (izquierda) e imagen obtenida con un PET en combinación con Resonancia Magnética (derecha, fuente: www.auntminnieeurope.com).

La Figura 1-1 muestra un ejemplo de sistema PET comercial e imágenes que se pueden obtener con el mismo. La técnica PET se basa en la detección en coincidencia de fotones de 511 keV que son producidos tras la aniquilación de un positrón y un electrón. Los dos fotones son emitidos a la vez y en direcciones opuestas. La gran ventaja de esta técnica es que al detectar la posición del impacto de ambos fotones de forma simultánea, se conoce la línea imaginaria que los une, o la línea de respuesta (LOR, del inglés *Line Of Response*), y no es necesario utilizar colimadores de rayos gamma, como en el caso de la técnica de Tomografía por Emisión de Fotón Único (SPECT, del inglés *Single-Photon Emission Computed Tomography*). De esta forma, aumenta de forma significativa la eficiencia de detección del sistema, llegando a ser sensible a concentraciones de radiotrazador del orden del femtomol [1]. Entre otras aplicaciones, los estudios de enfermedades donde se ve afectado el metabolismo general de los órganos son de especial interés para la técnica PET, y aún más especialmente para la futura técnica híbrida PET/MR, que combinará el PET con la Resonancia Magnética (MR, del inglés *Magnetic Resonance*).

La utilización de la técnica PET trae consigo una serie de implicaciones que dificultan la realización de la prueba en algunos casos. La naturaleza de la sustancia que se introduce al paciente bajo estudio proviene de la materialización de un proceso químico complejo. Como consecuencia, el coste de la misma es relativamente elevado, lo cual limita la frecuencia en la realización de pruebas en algunos casos. Otros efectos como la radiación gamma que se genera en el interior de un PET y a la cual se somete al paciente es una radiación ionizante y, por tanto, se recomienda minimizar este tiempo. Así pues, se deben desarrollar técnicas para que se adquieran los datos necesarios para la reconstrucción de la imagen en el menor tiempo posible.

En algunos casos, la resolución en la imagen que se obtiene no es lo suficientemente buena como para que se localice con precisión la zona de interés. Por ello se hace necesario el uso de técnicas de reconstrucción que ayuden a obtener imágenes más nítidas y con más información. Finalmente, dado que un sistema PET está compuesto, normalmente, por un conjunto de detectores organizados en forma de anillo que rodean al paciente (Fig. 1-1, izquierda), existen situaciones en las cuales el recubrimiento total de este no es posible mediante esta estructura de bloques en anillo. En estos casos se hace necesario una reducción de estos bloques para poder dar cabida al sujeto de interés. Sumado a esto, los bloques detectores constituyen las partes más costosas, en términos económicos, del sistema completo. Por ello, es de vital importancia intentar reducir su número sin que la calidad en la composición final de la imagen se vea excesivamente perjudicada.

Para hacer frente a los condicionantes expuestos, se propone utilizar el cálculo del Tiempo de Vuelo (TOF, del inglés *Time of Flight*), una técnica que localiza con mayor precisión el punto de aniquilación de las partículas en el interior del anillo PET. Las ventajas de usar sistemas PET capaces de

medir con precisión suficiente el TOF, muestran que sus imágenes, cuando son comparadas con imágenes sin Tiempo de Vuelo, en general ofrecen un menor ruido y una mejor resolución espacial. Prueba de ello es la Figura 1-2, en la que se muestran distintos casos de TOF para una misma imagen.

Existe una correlación entre el tamaño del paciente y la mejora que supondría el TOF en términos de Relación Señal Ruido (SNR, del inglés *Signal to Noise Ratio*) [2],[3]. Esta mejora se acentuaría incluso más en pacientes de considerable volumen debido a una mejor localización de las coincidencias a lo largo de la Línea de Respuesta, especialmente en adquisiciones de poca duración.

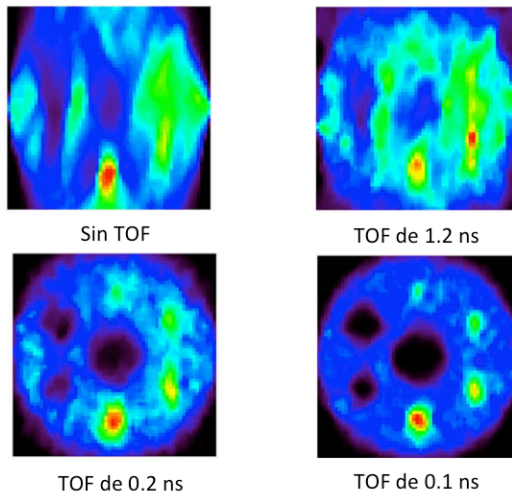


Figura 1-2. Obtención de imágenes sin cálculo de TOF y con distintas resoluciones de TOF.

Por otra parte, aquellos casos cuya adquisición se hubiera llevado a cabo bajo un protocolo donde la estadística de eventos hubiera sido baja, también serían susceptibles de beneficiarse de un sistema PET con capacidades de Tiempo de Vuelo. Se ha observado que usando métodos de reconstrucción iterativos, las imágenes adquiridas con diferentes cuentas (estudios dinámicos) no convergen a la misma imagen debido al alto nivel de ruido. En sistemas donde el TOF pudiera ser activado, se espera una mejor convergencia de estas imágenes resultando una solución mucho menos ruidosa, independientemente del tamaño del paciente.

Otra de las ventajas reside en sistemas PET donde no existe un recubrimiento total del paciente por los detectores, especialmente cuando existe una limitación transaxial, es decir, que algunos detectores que forman el anillo no estén presentes. En general, esta disminución en el número de detectores ocasiona la aparición de objetos no deseados en las imágenes reconstruidas. Sin embargo, la información adicional del Tiempo de Vuelo puede recuperar parte de la información perdida y reducir, o incluso eliminar, dichos objetos [4],[5].

La integración de esta funcionalidad en equipos PET acarrea una serie de dificultades. Por un lado, la implementación de sistemas auxiliares que calculen diferencias de tiempo tan pequeñas es costosa, tanto en tiempo de desarrollo como en términos económicos, siendo los dispositivos actuales circuitos específicos diseñados para un sistema PET concreto. Esto quiere decir que tales circuitos suelen tener un hardware definido y, por tanto, no son reconfigurables. La poca flexibilidad y el coste de amortización de las alternativas más usadas, hacen necesario en muchos casos, el empleo de otros modelos que suplan las carencias de éstas. Para tal efecto, se propone el uso de dispositivos lógicos reconfigurables o FPGAs (del inglés, *Field Programmable Gate Arrays*), ya que no tienen un hardware definido y son de bajo coste. Sus características aplicadas al cálculo del TOF se ampliarán en el siguiente capítulo.

Entre las revoluciones más significativas en la tecnología de los sistemas PET se encuentra la de dotarlos con la capacidad de determinar diferencias en Tiempo de Vuelo o distancia temporal entre la detección de los dos fotones de 511 keV generados [6]. Como se ha explicado brevemente, esto permite determinar con mayor precisión la posición en que se produjo la aniquilación del positrón y, por lo tanto, proporciona una importante mejora en la calidad de la imagen final. Los sistemas actuales con una resolución temporal en la determinación TOF del orden de 500 ps [7] proporcionan una resolución espacial en la determinación del punto en el que se ha producido la desintegración del positrón a lo largo de la Línea de Respuesta de alrededor de $\Delta x=7.5$ cm. Si tenemos en cuenta que en los equipos que no poseen la capacidad de determinar el TOF ese valor es del orden del diámetro del anillo (80-100 cm para un PET de cuerpo entero) se entiende perfectamente el gran avance que supone el poder delimitar el punto a lo largo de la LOR en donde se ha producido la desintegración.

Las cámaras PET de cuerpo completo, con un diámetro aproximado de 80-100 cm, obtienen imágenes funcionales con resoluciones del orden de 5-10 mm, presentan una eficiencia moderada (<10%), sumado a un coste muy elevado debido a su diseño [8]. En la actualidad el único sistema PET/MR comercializado con capacidad de medida TOF es el Ingenuity TF PET/MR de Philips. Este sistema, de cuerpo entero, presenta una resolución en la medida del TOF de 525 ps [9]. Sin embargo la resolución espacial del sistema incluso en el centro del campo de visión es de 4.7 mm. Por otra parte, este sistema no es más que la unión del GEMINI TF PET al que se le ha "añadido" el sistema de Resonancia Magnética Achieva 3T. Esto se debe a que el sistema PET al estar equipado con tubos fotomultiplicadores como fotosensores no permite su integración real dentro de los intensos campos magnéticos generados por la resonancia magnética. Existe otro sistema de cuerpo entero con capacidad de medida TOF desarrollado por General Electric (Discovery 690 PET/CT), aunque en este caso el PET está integrado con Tomografía Computerizada (CT del inglés, *Computerized Tomography*) y resulta tener una resolución en la medida del TOF de 600 ps [10]. El reciente

modelo mMR de Siemens [11] usa fotodiodos de avalancha como fotosensores, los cuales son capaces de ser integrados con una Resonancia Magnética, pero no poseen capacidad para determinar el TOF de los sucesos generados. Esto se debe a que la tecnología que usan, aunque compatible con campos magnéticos, no presenta una buena respuesta temporal.

Hasta la fecha no se ha desarrollado ningún sistema PET con capacidad de obtener imágenes simultáneas con las de una Resonancia Magnética y de la medida precisa del Tiempo de Vuelo. De ahí que se plantee como reto la combinación de ambas técnicas en un único sistema PET capaz de contener una tecnología compatible con Resonancia Magnética y una resolución suficiente para incorporar el cálculo del TOF.

Esta Tesis surge con el objetivo de aplicar nuevas tecnologías en la medida de tiempos a equipos de Medicina Nuclear, en concreto, a sistemas de Tomografía por Emisión de Positrones. El objetivo final de estos equipos es proporcionar imágenes moleculares que sirvan de diagnóstico y tratamiento de anomalías, normalmente de origen canceroso. Es, pues, un factor de suma relevancia proporcionar imágenes de tal calidad que permitan una mejor identificación del posible problema biológico.

Desde el inicio del presente trabajo, se establece una relación de colaboración entre el Grupo de Diseño de Sistemas Digitales y de Comunicaciones (DSDC) de la Universidad de Valencia y el Instituto de Instrumentación para Imagen Molecular (I3M), centro mixto CSIC (Consejo Superior de Investigaciones Científicas) - UPV (Universidad Politécnica de Valencia). El grupo DSDC tiene amplia experiencia en el diseño de sistemas digitales de altas prestaciones, habiendo llevado a cabo numerosos trabajos para el Centro Europeo para la Investigación Nuclear (CERN), cuyos fundamentos están basados en la Física de Partículas/Nuclear. Por su parte, el I3M lleva años investigando y diseñando sistemas basados en detectores de radiación para la Imagen Médica, entre ellos sistemas PET.

En este marco, la relación por parte de ambos Grupos de Investigación se centra en la búsqueda de un sistema que pueda mejorar, tanto en los equipos comerciales como en los que están por desarrollar, las prestaciones en la generación de imágenes moleculares, en concreto aplicado a sistemas PET. Como se ha dicho, el I3M ha participado en el desarrollo de equipos comerciales PET, basados en FotoMultiplicadores Sensibles a la Posición (PSPMT del inglés, *Position Sensitive Photomultiplier Tubes*). Una de las líneas de investigación en el I3M es migrar esta tecnología de detectores basados en PSPMTs a los recientes fotosensores de estado sólido, como son los FotoMultiplicadores de Silicio (SiPMs, del inglés *Silicon Photomultipliers*). Entre las principales razones de esta transferencia, están su inmunidad a los campos magnéticos y su potencial menor coste. SiPMs y PSPMTs comparten una alta ganancia ($\approx 10^6$) y lo que es importante para este trabajo también, una buena respuesta temporal (≈ 200 ps). La insensibilidad a los campos magnéticos permitiría combinar de esta forma el PET y la Resonancia

Magnética. Estas técnicas, operando al mismo tiempo, permiten ubicar la posible anomalía con mucha más precisión que ambas por separado [12].

Por todo lo dicho, se acuerda abordar el diseño de un sistema con capacidades para el cálculo del TOF y compatible con tecnología SiPMs, que deberá facilitar la labor de reconstrucción de la imagen, además de aportar otros beneficios que se desarrollarán a lo largo de los siguientes capítulos.

1.2. Hipótesis y objetivos

La hipótesis de partida es desarrollar un sistema electrónico auxiliar a los sistemas PET que determine con una precisión inferior a 1 ns el tiempo entre los eventos que se detectan. Tal precisión se traducirá en una mejora tangible en la generación de imágenes moleculares. Esta mejora debe implicar:

- Reducción de la tasa del ruido inducido en la toma de datos. La discriminación de eventos falsos se traduciría en una mejora en la calidad de la imagen.
- Mayor rapidez en la convergencia del algoritmo de reconstrucción de imagen. Esto tiene, a su vez, otras implicaciones interesantes. En primer lugar, la dosis de radiofármaco que se le inyecta al paciente se podría reducir, lo que se traduciría en un beneficio para éste desde el punto de vista de la exposición a radiaciones ionizantes. Con esto se podría aumentar el número de pacientes que se podrían escanear rutinariamente, haciendo que los equipos fuesen más rentables para los centros médicos.
- Reducción del número de detectores preservando la calidad de la imagen. Esto es especialmente interesante cuando el diseño de los equipos requiere de un sistema en el que algunos detectores han de retraerse o moverse, como por ejemplo en el caso de una biopsia. Otro de los escenarios donde la ausencia de detectores puede ser corregida, en parte, por una medida precisa de la diferencia temporal de los eventos, es cuando existen malos funcionamientos del sistema que forman.

Así pues, una vez planteada la hipótesis de partida, se establecen los objetivos de forma conjunta. Estos han consistido en:

- Diseño de un sistema de medida de tiempos basado en FPGA con una precisión por debajo de 100 ps. El coste de la alternativa escogida no debe superar el orden de magnitud de centenares de dólares/euros.

- El sistema debe contar con capacidad para albergar múltiples canales y poder así procesar todos los eventos procedentes de las señales de los sistemas PET, compuestos por numerosos módulos detectores y teniendo cada uno de ellos que disponer de su propio canal. El número inicial se fija en 20, pero se debe permitir la posibilidad de albergar hasta 64.
- El tiempo muerto entre señales que van a un mismo canal ha de ser menor de 1 μ s, ya que pueden volver a llegar eventos transcurrido tal tiempo, y ha de tener capacidad para medir diferencias de tiempo mayores de 10 ns.
- Integrar el sistema en un prototipo PET para evidenciar los beneficios que este produce, teniendo en cuenta el uso de discriminadores para convertir la señal analógica a un pulso digital.
- Diseñar un circuito de acondicionamiento para detectores de silicio que permita establecer comunicación con el sistema de medida de tiempos y hacer pruebas con módulos completos. Es decir, módulos compuestos por distintos detectores agrupados en forma de matriz y cuyas dimensiones permitan emular aquellos que se incorporarían en un PET real con esta nueva tecnología.
- Desarrollar un algoritmo para la gestión de las coincidencias que permita resolverlas con la mayor rapidez posible y verificar su posible integración en el dispositivo de medida de tiempos.
- Valorar la viabilidad de la integración del sistema en una tarjeta que incorpore todo lo necesario para ser integrada en un sistema PET.

1.3. Estructura de la Tesis

La Tesis Doctoral que se presenta se estructura en diversos bloques en los que se documenta la evolución de la investigación realizada. El cuerpo principal del mismo está compuesto por un conjunto de artículos internacionales, publicados en revistas de reconocido prestigio, que se disponen de forma organizada, entrando a valorar los puntos clave de cada uno de ellos. El parámetro principal que rige los experimentos es la precisión en la medida de tiempos. En los diversos bloques se ilustran multitud de pruebas, las cuales tienen un denominador común: la obtención de la máxima precisión en la determinación de diferencias temporales.

La Tesis está organizada en un total de cinco bloques. En este primer bloque se ha expuesto, por un lado, la problemática asociada a los sistemas PET que se pretende resolver. Se ha introducido la hipótesis de la que se ha partido y se han listado los objetivos que se han ido marcando durante su desarrollo. Por otro lado, en el Capítulo 2 se describirán los fundamentos de los sistemas empleados, poniendo especial atención en aquellos que se han utilizado y en los errores que cada uno de ellos introduce en las medidas de interés.

En el Bloque 2 se presentan los fundamentos del sistema para la medida de tiempos precisa. Se expone la idea inicial de la que se parte, en la que se utilizan los recursos internos de un dispositivo lógico reconfigurable para realizar cálculos de tiempo, y luego se entra en detalle en cada parte, aportando los resultados de mediciones, que en esta primera fase llegan a estar por debajo de los 100 ps de precisión.

En el Bloque 3 se exponen diversos entornos en los que se ha probado el sistema, justificando en cada caso su aplicación. En un caso se ha empleado el sistema en un prototipo PET de mama, para el que se obtuvo una resolución por debajo de 1.5 ns; en otro experimento, se utilizan detectores de silicio de un solo píxel, para los que se desarrolló un circuito acondicionador que permitiera tener control de la calidad de la señal que llegaba al sistema de disparo y en el que se encuentra el dispositivo para medida de tiempos. Los resultados para la medida de tiempos resultaron estar por debajo del nanosegundo, aunque debiendo tener en cuenta numerosos detalles que se explican en el correspondiente apartado. Por último, se hacen nuevamente diversas pruebas con detectores de silicio, pero esta vez agrupados en una matriz de píxeles (lo que conforma un tamaño de detector de dimensiones "reales"), tomando en consideración multitud de configuraciones (temperatura, tipo y morfología de cristal, número de píxeles activos etc.) para identificar las principales fuentes de error en vistas de conseguir medidas por debajo de 1 ns.

El siguiente bloque está enfocado a la optimización de dos elementos. Por un lado, se presentan distintos métodos que hacen que la resolución temporal del sistema medidor de tiempos se reduzca hasta estar por debajo de 40 ps. Por otro lado, se propone un algoritmo para el cálculo de coincidencias del que se optimizan, tanto los recursos empleados, como su velocidad de respuesta.

Finalmente, se recopilan las conclusiones de cada bloque y se describen las líneas de trabajo actuales y futuras, listando por último las referencias que han contribuido a esta Tesis.

Capítulo 2

Fundamentos

En este capítulo se presentan los conceptos fundamentales que sientan las bases sobre las cuales se desarrolla esta Tesis Doctoral. Se explicarán los fundamentos de funcionamiento de un PET, describiendo brevemente los principios físicos y procesos asociados, y se expondrá el estado del arte en cuanto a técnicas y equipos. También se introducirá el concepto de Tiempo de Vuelo, el cual es la base de la presente Tesis, haciendo hincapié en las principales fuentes de error que influyen en su determinación.

2.1. Introducción a la física del PET

La Tomografía por Emisión de Positrones es una técnica no invasiva cuyo principio está basado en la observación de los procesos fisiológicos que suceden en el interior del organismo, a través de la detección en coincidencia del resultado de la emisión de positrones. Estos procesos pueden ser visualizados a nivel molecular, lo cual permite el diagnóstico y tratamiento de múltiples enfermedades, entre ellas las tumorales [13], así como estudios farmacológicos [14], identificación de trastornos cerebrales [15], estudios con aminoácidos y síntesis de proteínas [16], medidas del flujo sanguíneo como respuesta a cierto estímulo cerebral [17], etc. Así pues, los usos más comunes en Medicina se sitúan en los ámbitos de Cardiología, Oncología y Neurología.

En Física Médica interesan los procesos físicos que emiten radiación, pues será esta la que se utilice para analizar los sucesos que se produzcan en el interior del organismo. En concreto, interesa la radiación emitida en forma de rayos x o γ . En ambos casos se trata de una radiación electromagnética pero, en el caso de los rayos x , su radiación tiene origen a nivel de la órbita electrónica, producida por la desaceleración de electrones. En cambio, la radiación γ se produce por la desexcitación de los nucleones de cierto nivel energético a otro menor. Además, los rayos x son ionizantes, es decir, cargan la materia al interactuar con ella.

En el caso de radiación β^+ , se produce la emisión de una partícula beta (positrón) procedente de un núcleo inestable para compensar la relación de protones del núcleo atómico. Esta antipartícula resulta en la

emisión de dos rayos γ cuando se produce su aniquilación con un electrón, como se muestra en la siguiente figura:

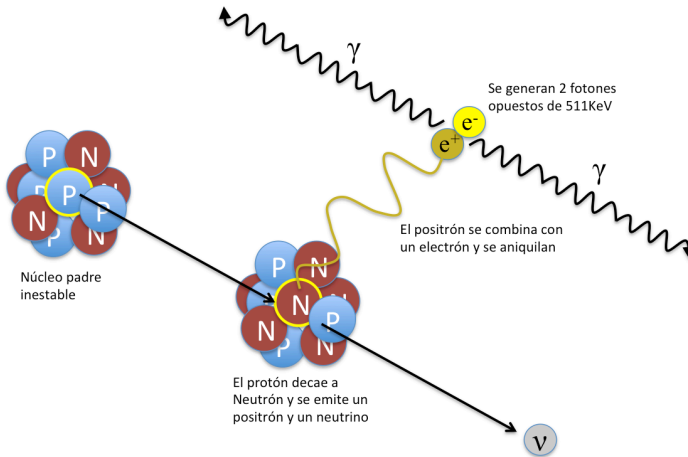


Figura 2-1. Proceso de generación de rayos gamma a partir de la aniquilación de un electrón con un positrón.

Para visualizar los procesos biológicos mencionados se utilizan sustancias compuestas por isótopos radiactivos emisores de positrones, conocidos como radiotrazadores o radiofármacos. Estos están basados en radioisótopos, como por ejemplo ^{11}C , ^{13}N , ^{18}F etc., siendo los basados en ^{18}F [18] los más abundantes debido a su vida media más larga. De hecho, los dos factores clave en relación con el radioisótopo que afectan a la resolución del PET son la energía máxima de emisión y la vida media del isótopo. La energía máxima está relacionada con la distancia máxima recorrida por el positrón antes de aniquilarse con un electrón, la cual depende de los materiales que atraviesa. La situación idónea es que este valor sea el menor posible, ya que un valor grande implicaría que la aniquilación se ha producido en un lugar distinto a la generación del positrón. El tiempo de vida medio delimita el tiempo dentro del cual puede tener lugar la emisión del isótopo y, por tanto, limita el tiempo de captura de datos.

La generación del radiofármaco se produce a partir un proceso de síntesis de los radioisótopos. El más utilizado es el FDG (fluorodesoxiglucosa), cuya composición es análoga a la de la glucosa donde se sustituye un hidroxilo (OH) por ^{18}F . Cuando la FDG se introduce en el paciente, generalmente por vía intravenosa, la sustancia es incorporada por las células con elevado consumo de glucosa, las cuales suelen corresponder a células cancerosas.

Los sistemas PET se basan en la detección de los pares de fotones generados por la aniquilación del positrón con el electrón, la cual genera dos rayos gamma de 511 keV de energía. Por conservación de momento, los dos

rayos gamma se emiten con un desfase de $\sim 180^\circ$ y en una dirección aleatoria. Los sistemas PET tratan de detectar con la mayor precisión posible, tanto espacial como temporal, tales fotones para ubicar en el espacio el lugar de la aniquilación. Generalmente, la detección en coincidencia de los dos fotones, se describe con una línea imaginaria o Línea de Respuesta, LOR, que une dos detectores.

Normalmente, los detectores que integra el sistema PET están agrupados formando un anillo, teniendo cada uno de ellos distintos pares enfrentados asociados. Generalmente, de cada fotón que llega a un detector se obtienen tres parámetros: su energía, la posición de impacto en el detector y el instante temporal en que el evento fue registrado. En muchos casos también se proporciona información de la Profundidad de Interacción (DOI, del inglés *Depth of Intereaction*) ya que el rayo gamma penetra cierta distancia en el detector hasta que deposita su energía. Debe decirse que en los sistemas PET se utilizan esencialmente dos tipos de cristales centelladores, conocidos como pixelados o monolíticos. En el caso de los cristales pixelados, es altamente complejo discernir la DOI [19], mientras que en el caso de los cristales monolíticos la preservación de la distribución de la luz centellante permite reconstruir la DOI [20]. Como se verá en apartados siguientes, estos dos tipos de cristales centelladores tienen impacto directo en los resultados que se obtienen al generar imágenes a partir de los sistemas PET.

No todos los eventos que se registran en los módulos detectores del PET son de interés. Por ello, se contemplan diversos casos en los que los eventos detectados se consideran datos válidos. En primer lugar, se hace una discriminación por energía. Sólo los eventos comprendidos en una ventana de energía alrededor del fotopico (511 keV) corresponderán a fotones procedentes de la aniquilación. En segundo lugar, se establece un umbral temporal, dentro del cual los eventos que se sucedan serán válidos. Esto se suele conocer como ventana de coincidencia y permite desechar muchos eventos que son considerados como falsas aniquilaciones. Así pues, se consideran datos válidos aquellos eventos cuya LOR esté dentro del Campo de Visión (FOV, del inglés *Field of View*) del PET. A continuación se representan distintos tipos de eventos que se pueden dar en un sistema PET, explicándose brevemente cada uno de ellos [21].

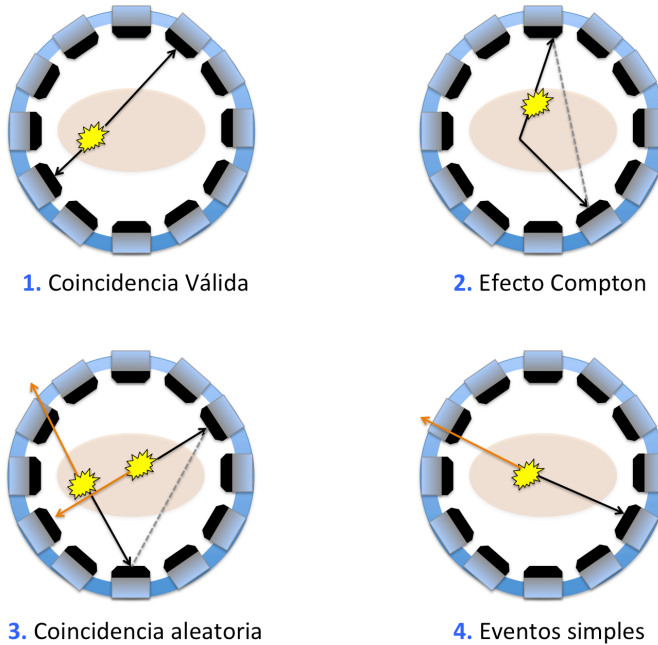


Figura 2-2. Posibles casos en la detección de coincidencias en sistemas PET.

- **Coincidencia válida.** Es el caso ideal de detección para el PET. Se produce una aniquilación y los dos fotones se propagan en direcciones opuestas hasta que llegan a un detector, sin desviarse de su trayectoria.
- **Efecto Comptom.** Este efecto no deseado es consecuencia de una desviación en la trayectoria de uno de los fotones que perderá parte de su energía fruto del impacto con un electrón libre. Esto provoca que la LOR no sea la correcta, con lo que los datos deberían ser desechados.
- **Coincidencia aleatoria.** Puede pasar que distintas aniquilaciones provoquen coincidencia, es decir, que los tiempos de llegada estén dentro de la ventana temporal válida para detectores enfrentados. En este caso, la LOR que se deriva es totalmente distinta a la que debería ser, con lo que es un error a evitar o minimizar. Este tipo de coincidencias disminuyen al reducir la ventana de coincidencias, la cual está limitada por la resolución temporal del sistema. Es decir, a mejor resolución, menores valores se pueden fijar en la ventana de coincidencias y menos coincidencias aleatorias tendrán cabida.

- **Eventos simples.** Se detecta un único evento que no es tenido en cuenta por la ventana de coincidencias. Esto puede ser ocasionado por multitud de efectos.

Al final, todos los efectos no deseados que se han expuesto tienen un impacto negativo en la calidad de la imagen final reconstruida, con lo que hay que intentar minimizarlos en la medida de lo posible, tanto a nivel de la electrónica asociada al sistema como en el proceso de reconstrucción con técnicas de filtrado.

2.2. Estructura de los sistemas PET

El funcionamiento de la técnica PET se basa en la siguiente secuencia: en primer lugar, los fotones emitidos en la aniquilación del positrón se detectan usando materiales centelladores, en los cuales impactan estos rayos gamma de 511 keV y se generan fotones de baja energía (visible) proporcionalmente a la de los incidentes. En segundo lugar, la luz centellante resultante es absorbida por un material fotosensible que hace de transductor, transformando la luz que le llega en una corriente eléctrica proporcional. De este proceso se encarga un fotomultiplicador. Para abarcar una superficie suficiente, se combinan varios de ellos en una matriz, en muchos casos llegando hasta un centenar. Después, de todo el bloque conjunto de fotomultiplicadores, se ha de extraer la posición, energía del impacto y la Profundidad de Interacción, aunque esta última suele considerarse un extra. La primera se suele proporcionar en coordenadas XY y se lleva a cabo, en muchos casos, mediante la multiplexación de las distintas señales que generan los fotosensores, para así reducir el número de éstas a digitalizar. Estas señales resultantes, se acondicionan mediante diversas etapas y se digitalizan cuando un módulo auxiliar de disparo considera que son datos pertenecientes a eventos válidos. Por último, las señales digitalizadas son procesadas para enviarse al sistema de reconstrucción, que ejecutará los algoritmos pertinentes para la generación de la imagen. El equipo completo PET se compondría de los siguientes bloques:

- **Anillo de detectores.** Es la parte en la que se encuentran los sensores que detectan los rayos gamma y por la cual se introduce la parte o partes que se someterán al escaneo.
- **Sistema de adquisición.** Este bloque se encarga de recoger las señales procedentes de los detectores y proporcionar una señal digital de la energía del evento y de la posición del impacto en el detector para enviar los datos al bloque de reconstrucción.
- **Sistema de disparo.** Procesa los eventos para discernir las coincidencias verdaderas y da la orden al bloque de adquisición

para tomar los datos de los detectores implicados. En ocasiones se puede presentar integrado junto con el sistema de adquisición.

- **Procesado y reconstrucción.** Recibe todos los datos del bloque de adquisición y aplica algoritmos de reconstrucción para generar la imagen final. Este bloque debe albergar un sistema de procesado para manejar los bloques de datos y conformar la imagen en un tiempo relativamente corto.

La Figura 2-3 muestra un esquema de las partes implicadas en la composición del sistema PET. En el siguiente apartado, se detallarán de forma más concreta los bloques de los detectores y del sistema de disparo, siendo este último en el que se centra la mayor parte de la presente Tesis.

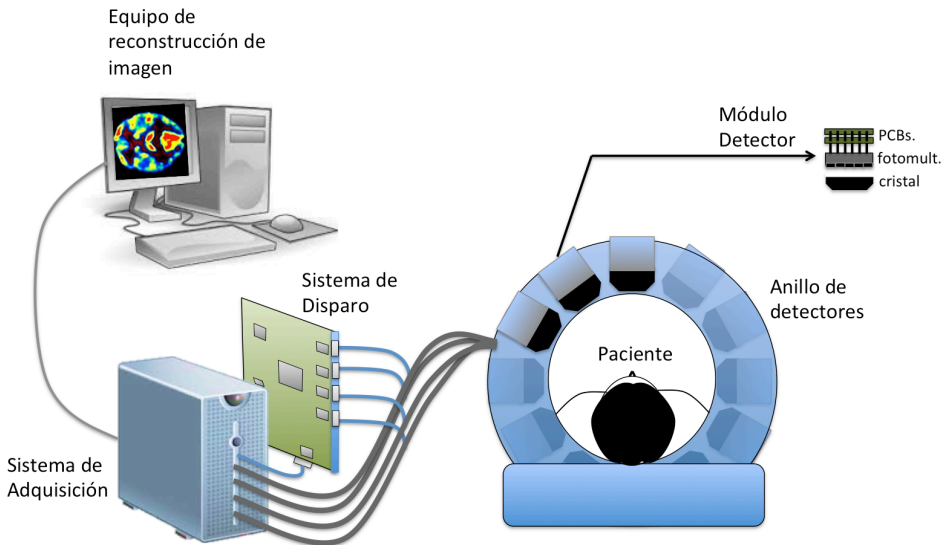


Figura 2-3. Esquema global de un sistema PET compuesto por tres bloques principales.

2.2.1. Detectores

La estructura más común de los sensores que se implementan para detectar los fotones producto de la aniquilación del positrón, se basa en tres elementos principales: cristales centelladores, fotosensores y electrónica de acondicionamiento. A continuación, se describen brevemente cada uno de ellos.

2.2.1.1. Cristales centelladores

Como se ha mencionado brevemente en el apartado anterior, los cristales centelladores se encargan de recibir el impacto del rayo gamma y producir fotones de baja energía en el espectro visible. Hay dos formas de interacción entre el rayo gamma y el cristal. El efecto fotoeléctrico en el que el rayo es totalmente absorbido por el cristal (efecto deseado) y el efecto Compton donde el rayo sale desviado del cristal tras atravesar parte de este. Fruto de estas interacciones se generan electrones cuya energía va disminuyendo mientras excitan los átomos del cristal hasta el punto de detenerse. Estos electrones excitan a aquellos que están en la banda de valencia, que pasan a la banda de conducción, derivándose de este proceso la emisión de un fotón. Estos electrones de la banda de valencia también pueden ser activados mediante la luz visible.

Los cristales suelen usarse en dos modalidades. Como un bloque monolítico o como un bloque pixelado. La ventaja del monolítico es que preserva la distribución de luz, con lo que se puede obtener más información de la posición de impacto. En cambio, los cristales pixelados proporcionan información del impacto únicamente en los píxeles implicados, con lo que la posición es claramente discernible. El inconveniente que presentan estos últimos es que su proceso de fabricación es más costoso, con lo que su precio es mayor que el de los monolíticos. Referente a la geometría, la forma de acoplar el cristal con el sensor debe ser tal que se produzcan las menores reflexiones, así se conseguirá un mayor aprovechamiento de la luz emitida por el cristal. Normalmente, se suelen usar grasas ópticas con un índice de refracción de $n = 1.6$.

Algunas de las propiedades que se buscan en un cristal son: rango de temperaturas amplio, que los fotones emitidos por el cristal sean proporcionales a la energía del rayo gamma que causa el impacto, y que su índice de refracción sea próximo al del vidrio para garantizar el correcto acoplamiento con el fotosensor (borosilicato en el caso de PSPMT). También se busca que el tiempo de decaimiento sea bajo, es decir, el tiempo de recuperación hasta que el cristal puede aceptar otro fotón incidente. Se requiere, a su vez, rapidez en la generación de fotones a partir del rayo incidente. Y por último, una alta eficiencia de conversión de fotón impacto a electrones [22]. En un centellador real se busca un compromiso entre estas características, adaptado siempre a la aplicación concreta.

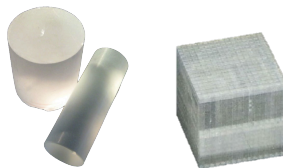


Figura 2-4. Cristales centelladores. Cristal monolítico (izquierda) y cristal pixelado (derecha).

Existen multitud de materiales a partir de los cuales se puede componer un cristal centellador. La relativamente alta energía de los fotones incidentes en el caso del PET, obliga a usar cristales de una densidad considerable que sean capaces de frenarlos.

El NaI es uno de los primeros cristales que se usó debido a su alto rendimiento en la conversión de fotones. El rendimiento lumínico tendrá que ser lo más elevado posible para generar a partir del rayo gamma incidente, la mayor cantidad de luz. El mayor inconveniente de este material es su característica higroscópica, que obliga a usarlo en ambientes secos. Otros tipos de centelladores como los llamados BGO y GSO tienen valores de este rendimiento muy bajos en comparación con otros cristales. El BGO dada su alta densidad ha sido ampliamente utilizado en sistemas PET. La densidad del material es un parámetro que es importante como ya se ha mencionado porque, a mayor valor, más probabilidad de que el rayo gamma incidente sea parado en el material y no lo atreviese sin interactuar. Por eso, cuanto mayor densidad del material, menor será el espesor necesario a considerar. Otro de los inconvenientes que presenta el BGO es su lento tiempo de respuesta. El GSO también se ha usado por su rápida respuesta temporal en comparación con el BGO. Sin embargo, el inconveniente seguía siendo su rendimiento lumínico, muy por debajo del NaI. La siguiente tabla muestra una relación de los cristales centelladores más típicos y sus principales características.

Tabla 2-1. Comparativa de los diferentes materiales centelladores típicos en sistemas PET.

	NaI	BGO	GSO	LSO	LYSO	LaBr ₃	LFS
Densidad (gr/cm ³)	3.67	7.1	6.7	7.4	7.1	5.06	7.35
1/μ a 511 keV (mm)	29.1	10.4	14.1	11.4	12.0	--	11.5
Z _{eff}	51	75	59	66	64,5	48.3	64
Conv. fotones (γ /MeV)	41000	9000	8000	31000	32000	63000	34000
Tasa inicial (γ/ns/MeV)		37	232	676	--	--	--
Constante tiempo (ns)	230	300	30 – 60	40 – 47	40 –48	17-25	<33
Índice de refracción	1.85	2.15	1.85	1.82	1.81	1.9	1.81
Pico de emisión (nm)	410	480	430	420	420	380	425
Nat. Radiactiva	No	Sí	Sí	Sí	Sí	Sí	Sí
Higroscópico	Sí	No	No	No	No	Sí	No

Otro de los centelladores más utilizados en sistemas PET es el Ortosilicato de Lutecio (LSO, del inglés Lutetium Orthosilicate), aunque también se ha extendido el uso del Bromuro de Lantano (LaBr₃) [23]. El primero (ver Figura 2-4, izquierda) tiene una eficiencia de centelleo del 75%, un espectro de emisión cercano a 420 nm y tiempo de decaimiento de 47 ns. El inconveniente que siguen presentando estos cristales es su compleja producción y el coste asociado al mismo, que impiden en muchos casos el uso de un cristal de las proporciones que se requieren. El LaBr₃ tiene su pico de emisión en 380 nm, un tiempo de decaimiento inferior al LSO de unos 20 ns y una eficiencia en la detección cercana al 90%. Sin embargo, su carácter

higroscópico lo hace poco frecuente en el diseño de sistemas PET. Una variante del LSO es el Ortosilicato de Lutecio e Itrio (LYSO, del inglés lutetium-yttrium oxyorthosilicate) que incorpora Itrio reemplazando parte del Lutecio. El LYSO tiene un rendimiento de conversión de fotones similar al del LSO, presentando un tiempo de decaimiento muy similar. Por último, el LFS mejora notablemente el tiempo de decaimiento con respecto a los LSO-LYSO, manteniendo las otras características similares y convirtiéndose, por tanto, en un candidato de peso para su uso en sistemas PET.

Algunas de las características de los centelladores, tales como la eficiencia en la detección y el tiempo de respuesta (constante de tiempo en las tablas), juegan un papel fundamental a la hora de acondicionar la señal para obtener una respuesta temporal adecuada. En la práctica, se buscará un punto de equilibrio entre el coste del cristal y las prestaciones que se desean obtener. En los apartados siguientes se detallará más información acerca de la idoneidad en el uso de determinados centelladores para el cálculo del TOF.

2.2.1.2. Fotosensores

Los fotosensores generan un flujo de corriente eléctrica en respuesta a la luz incidente, amplificándola posteriormente para que pueda ser acondicionada. Los que se han usado tradicionalmente en PET son los Fotomultiplicadores Sensibles a la Posición (PSPMTs), pero en la actualidad existe una tendencia a reemplazarlos por Detectores de Silicio (SiPM). Ambos se han utilizado en esta Tesis, por lo que se van a describir brevemente sus fundamentos y principales características.

- *PSPMTs*. En la Figura 2-5 se ilustra un ejemplo de funcionamiento y se indica cada una de sus partes.

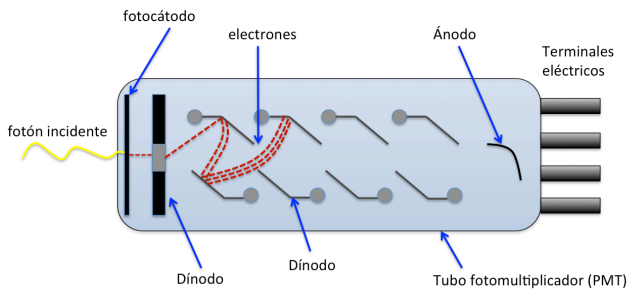


Figura 2-5. Partes que componen un fotosensor basado en tubo fotomultiplicador.

El primer obstáculo que se encuentra el fotón que incide en el detector es el fotocátodo, que convierte tales fotones en electrones de baja energía. El fotón incidente transfiere su energía a un electrón del material fotosensible, el cual sale de la superficie del fotocátodo y es

dirigido hacia unos multiplicadores de carga. Estos basan su funcionamiento en el fenómeno de emisión de electrones secundarios. Los electrones se dirigen hacia unos electrodos, llamados dínodos, mediante una diferencia de potencial de centenares de voltios y, debido a su composición, reciben la energía del electrón y del proceso se desprenden dos o más electrones. De forma general, cada electrón incidente ocasiona una emisión de unos 30 electrones cuando la diferencia de potencial es de unos 100 V. Como lo que se pretende es conseguir un flujo de electrones lo suficientemente grande como para poder ser procesado, se colocan diversas etapas de dínodos (10-12) para incrementar progresivamente el flujo de estos, pudiendo conseguir ganancias del orden de 10^6 . El último terminal al cual llega el máximo flujo de electrones se le conoce como último dínodo, el cual será el encargado de extraer fuera del detector tal flujo para poder procesarlo. La imagen siguiente muestra un ejemplo del PMT comercial de Hamamatsu (modelo H8500).

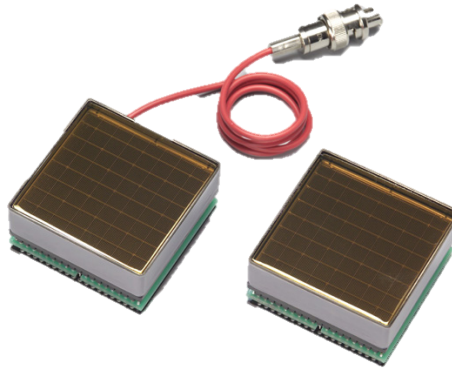


Figura 2-6. Ejemplo de producto comercial basado en fotomultiplicador (64 canales).

- *SiPMs*. Los fotomultiplicadores de silicio están basados en matrices de fotodiodos (microceldas) trabajando en modo avalancha (APDs, del inglés *Avalanche Photodiodes*) conectados en paralelo mediante una capa resistiva (ver Figura 2-7). Su uso como materiales detectores de radiación tiene la ventaja de generar muchos más pares electrón-hueco por cada pulso de entrada que otros fotomultiplicadores. Esto permite incrementar la eficiencia energética, que es la responsable del aprovechamiento de la energía depositada por el fotón incidente para la generación de fotoelectrones. Lo que caracteriza a los materiales semiconductores es su banda de energía prohibida (o gap) que es del orden de 1 eV. Mientras no haya excitación térmica, la banda de valencia permanece completa y la de conducción vacía, como si de un material aislante se tratara. Debido al menor tamaño de la banda prohibida en comparación con los materiales aislantes, al producirse

una excitación térmica se posibilita el paso de los electrones de la banda de valencia a la de conducción. Particularmente, los APDs se están utilizando como material semiconductor por sus efectos fotoeléctricos. Básicamente, un APD es una unión p-n operando a un voltaje inverso relativamente elevado (los electrones se aceleran incrementando su energía cinética y posibilitando choques con los de la banda de valencia, pudiendo provocar su salto a la banda de conducción, y así sucesivamente). La ganancia de la conducción en avalancha depende, pues, de la ionización del impacto.

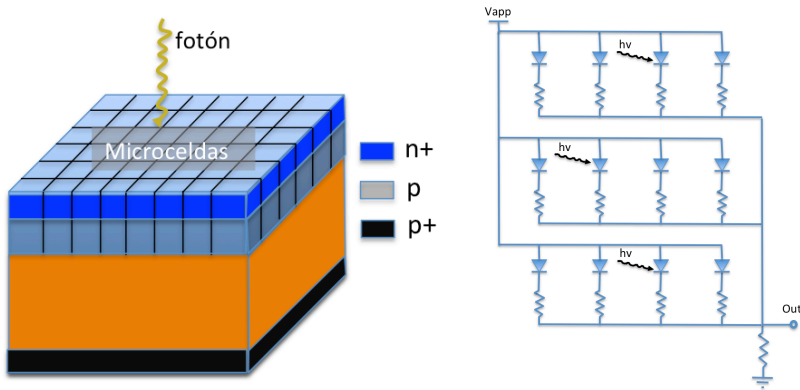


Figura 2-7. Estructura de fotomultiplicador basado en silicio. Las imágenes muestran la composición de un bloque SiPM con sus celdas (izquierda) y el modelo electrónico equivalente (derecha).

El conocido modo *Geiger* en el que se hace funcionar a los APDs consiste en hacerlos trabajar ligeramente por encima de su tensión de ruptura. De esta forma se consigue que se generen avalanchas de forma exponencial. Con este modo de operación, se hace posible que se alcancen ganancias muy elevadas (10^5 a 10^6). Para detener este fenómeno y posibilitar la aceptación de nuevos fotones incidentes, se necesita un mecanismo para reducir el sobre-voltaje de ruptura durante cierto tiempo. Esto se consigue mediante los llamados circuitos de *quenching*. Los más sencillos consisten en colocar una resistencia serie que genera la caída de tensión necesaria. Esto fijará el periodo de recuperación del detector, que suele situarse en torno a decenas de ns.



Figura 2-8. Distintos modelos de fotomultiplicadores comerciales basados en silicio.

Tras describirse ambas tecnologías, se va a realizar una comparación entre ellas a través de sus principales características. La siguiente tabla (Tabla 2-2) muestra dos detectores comerciales de los tipos que se han descrito. A continuación se hará un repaso en algunas de ellas para dejar claro su papel en cada caso.

Tabla 2-2. Comparativa de los fotosensores más comunes en sistemas PET.

	PMT	SiPM
	H8500 Hamamatsu	S10362-11-050 Hamamatsu
Respuesta espectral	300 to 650 nm	320 to 900 nm
Pico longitud de onda	420 nm	420 nm
Ventana (material, grosor)	Borosilicato, 1,5 mm	Epoxy, <300 μ m
Píxels ánodo	64 (8 x 8)	50 x 50 μ m
Área activa	49 x 49 mm	1 x 1 mm
Voltage alimentación	-1100 V	70 V
Eficiencia cuántica	24%	50 %
Ganancia	1.5x10 ⁶	7.5x10 ⁵
Tiempo (rise, transit, transit spread)	0.8 ns, 6 ns, 0.4 ns	NA, NA, < 0.3 ns
Cuentas oscuras	0.1 nA	100 kcps

La respuesta espectral se refiere al rango de frecuencias de luz que aceptan los detectores. Esto está directamente relacionado con la longitud de onda que emite el cristal. En este caso se observa como el SiPM tiene un rango mayor, a pesar de que ambos tienen el pico en el mismo valor.

Se observa también como, debido a que se puede conseguir un tamaño de área sensible menor en los SiPMs, la cantidad de estos que se agrupan formando un detector es mayor, con lo que se podrá detectar con mayor precisión la posición de impacto de los fotones de 511 keV.

Un factor que los diferencia enormemente es su voltaje de alimentación. Como se puede ver, los PMTs necesitan de un voltaje de polarización para los dínodos de hasta -1100 V, con las consiguientes dificultades que entraña generarlos. En cambio, los SiPMs únicamente necesitan una tensión de polarización para que la unión p-n trabaje en modo avalancha en la zona de ruptura. En este caso, el voltaje de trabajo está en torno a los 70 V, pero existen otros modelos en los que este es del orden de 30 V [24].

Existen otros dos parámetros decisivos de los SiPMs en el diseño actual de sistemas PET, la eficiencia cuántica y la ganancia. La eficiencia cuántica es el porcentaje de fotones que impactan en la superficie del material fotosensible que generarán un par electrón-hueco, es decir, que podrán producir una corriente eléctrica. Es una medida de la sensibilidad del dispositivo. Como se puede ver en la tabla, el SiPM presenta el doble de eficiencia cuántica (50% frente al 25% del PMT). Se puede decir para el caso del SiPM, que la mitad de los fotones que impacten en su superficie, producirán un par electrón-hueco.

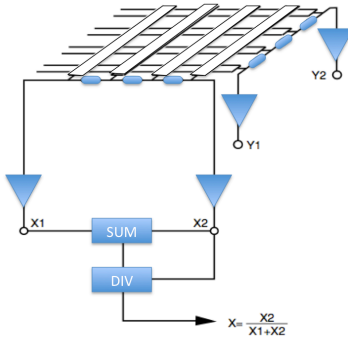
Por su parte, la ganancia de un SiPM suele ser algo menor que la del PMT. Este es también un factor determinante puesto que interesa que la corriente que el dispositivo genera frente al menor número de fotones impactados sea lo más grande posible para su posterior acondicionamiento.

Por último, en el *jitter* del tiempo de tránsito (se describirá con detalle en los apartados siguientes), el cual es el mayor responsable de la incertidumbre temporal que introduce el dispositivo en la medida, el SiPM presenta una mejor respuesta, siendo esta una característica crucial en el cálculo del Tiempo de Vuelo. Por el contrario, los SiPM introducen un mayor número de cuentas oscuras (corrientes no deseadas que se generan en ausencia de luz), debiendo prestar atención a la Relación Señal Ruido (SNR, del inglés *Signal-to-Noise Ratio*) del dispositivo para que estas no influyan excesivamente en la medida.

En posteriores apartados se describirán más a fondo las ventajas que ofrecen los SiPMs frente a los PSPMTs así como su uso óptimo para sistemas PET con capacidades de cálculo del Tiempo de Vuelo.

2.2.1.3. Electrónica de acondicionamiento

Como se ha visto en el apartado anterior, los SiPMs están compuestos por un conjunto de microceldas de APDs trabajando en modo Geiger. Un módulo de SiPM para uso en PET suele estar compuesto por agrupaciones de SiPM en forma matricial, haciendo posible así cubrir áreas de detección mayores. Para poder determinar la posición de impacto, las señales de salida de cada SiPM de la matriz han de ser procesadas. Dado que se pretenden unir muchas de estas señales para abarcar grandes áreas de detección, se suele recurrir a un método de reducción para que tal número sea manejable. Para este propósito, se suelen utilizar redes de resistencias por las que se hacen pasar las señales, reduciendo el número de estas y produciendo una señal de voltaje [25], [26]. Este método se conoce como lógica de Anger, según la cual los electrones que se liberan en el último dínodo son reconducidos por ánodos adaptados linealmente a las direcciones X e Y. Como los ánodos de la misma dirección están conectados a través de una cadena de resistencias, los electrones que se recogen se dividen en cuatro señales, X_1 , X_2 , Y_1 e Y_2 . Mediante la suma y división de estas señales, se puede deducir el centro del impacto de la partícula. Este proceso se ilustra en la Figura 2-9.



$$X = \frac{X_2}{X_1 + X_2} \quad (1)$$

$$Y = \frac{Y_2}{Y_1 + Y_2} \quad (2)$$

$$E = X_1 + X_2 + Y_1 + Y_2 \quad (3)$$

Figura 2-9. Red de resistencias para la determinación de la posición del impacto XY en el detector. Fuente de la imagen [27].

La señal de energía (E) es la suma de las señales por separado. Esta señal de energía se utiliza para discriminar señales que no se correspondan con el rayo gamma de 511 keV. En el correspondiente capítulo, se ampliará la información de la configuración utilizada.

La siguiente figura (Figura 2-10) muestra un ejemplo de la forma de una señal procedente de un SiPM antes y después de ser acondicionada (amplificada e invertida). La señal sin amplificar tiene una amplitud de unos 30 mV con un tiempo de subida cercano a los 10 ns. Tras ser acondicionada, la señal se amplifica por un factor próximo a 10, pasando a tener una amplitud de unos 300 mV, mucho más aceptable para ser procesada. En este caso, el flanco de subida se mantiene en los 10 ns, lo que quiere decir que la electrónica de acondicionamiento es lo suficientemente buena como para que no degrade la señal. Como se verá en apartados posteriores, el flanco de subida juega un papel importante en la resolución total del sistema.

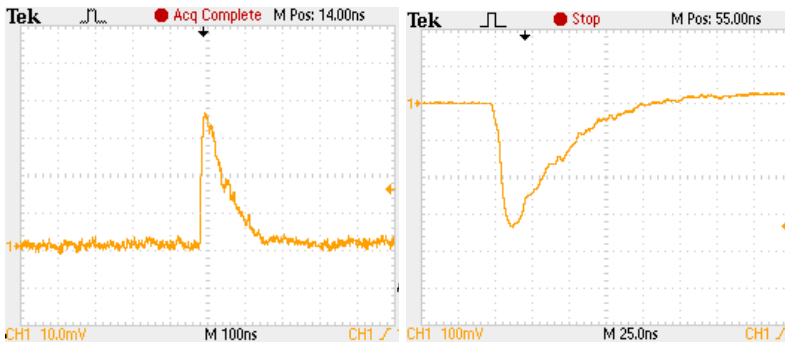


Figura 2-10. Acondicionamiento de la señal procedente de un pixel de SiPM. Antes del amplificador (izquierda) y después (derecha).

2.2.2. Sistema de disparo

El sistema de disparo, también conocido como sistema de *Trigger*, tiene diversos objetivos en un sistema PET. Por un lado, el de decidir qué sucesos de los que procesa se encuentran en la llamada ventana de coincidencia para dar la orden de digitalización al sistema de adquisición. Antes de procesarse la señal de disparo, se obtiene su información temporal mediante técnicas digitalizadoras. Normalmente, un dispositivo de procesado se encarga de establecer las relaciones válidas entre detectores y establece la ventana temporal para enviar la señal de disparo al sistema de adquisición. Por lo general, se suele integrar la función de cálculo del Tiempo de Vuelo en esta parte.

La Figura 2-11 presenta 3 bloques principales, ya expuestos en los apartados anteriores. Como se puede observar, el sistema de disparo proporciona los datos de TOF y *Trigger* al sistema de adquisición.

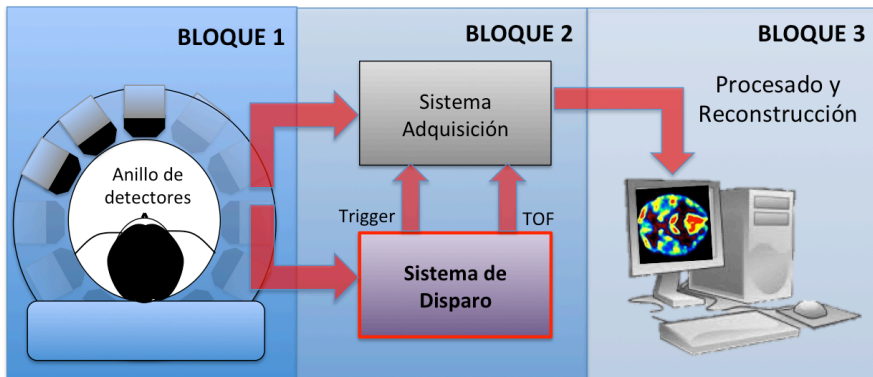


Figura 2-11. Emplazamiento del sistema de disparo dentro de los bloques básicos de un sistema PET.

Existen, sin embargo, otras arquitecturas que incorporan el cálculo del Tiempo de Vuelo en el propio sensor a través del uso de ASICs [28], [29]. En esta Tesis se ha seguido el método anterior donde el tiempo se determina en el sistema de disparo, así que se pasará a describir los elementos que componen tal arquitectura.

- **Etapa digitalizadora.** Aunque no se realice una conversión ADC propiamente dicha de las señales de entrada procedentes de los detectores, se suele referir a esta etapa con tal nombre. En realidad, lo que normalmente se hace es detectar la llegada de las señales con circuitos disparadores por umbral de tensión, generando estos a su vez un pulso digital al producirse la detección. Tales circuitos se encuentran en diversas implementaciones, habiendo surgido en los

últimos años técnicas que perfeccionan tal proceso y que permiten preservar la información temporal con el menor error [30]-[32].

- **Sistema de procesado.** Se encarga de la determinación de diferencias temporales y del aviso al sistema de adquisición para proceder a la digitalización. Tras digitalizar, los distintos pulsos generados por los circuitos son procesados por un dispositivo lógico programable, el cual establece las relaciones entre detectores y calcula las diferencias temporales para comprobar aquellas que estén dentro de la ventana de coincidencia establecida. Si la resolución del sistema es lo suficientemente buena, con las diferencias de tiempo se podrá hacer una estimación del TOF de las partículas y así saber con mayor exactitud el punto dentro del campo de visión en el que se ha producido la aniquilación.
- **Envío de datos.** Este bloque gestiona el envío de una señal de disparo al sistema de adquisición cuando se haya considerado que se ha producido una coincidencia válida.

Mediante esta configuración, se permite disponer de un sistema genérico, anexo al propio sistema de adquisición del equipo PET, con lo que es fácilmente portable a otros equipos. En cambio, en las alternativas en las que se incorpora este módulo al sistema de adquisición, se pierde flexibilidad pero se gana en espacio. En este caso, ha primado la funcionalidad, por lo que se justifica la elección del modelo propuesto.

En el siguiente apartado (2.3) se describirán con mayor nivel de detalle cada una de estas partes, haciendo hincapié en el sistema de procesado, dada su importancia en esta Tesis.

2.3. Tiempo de Vuelo en sistemas PET

El Tiempo de Vuelo (TOF) en un sistema PET consiste en determinar de la forma más precisa el instante en el que la aniquilación positrón-electrón se ha producido. Esta función añadida a los sistemas PET se está popularizando debido a las ventajas que su determinación conllevaría. Existen múltiples métodos para implementarlo. En este apartado se hará una revisión de algunos de ellos, deteniéndose en aquellos que son de interés en la presente Tesis Doctoral.

2.3.1. Fundamentos del TOF

La incorporación de la función del cálculo del TOF de los rayos gamma que se generan en una aniquilación positrón-electrón en un sistema PET tiene numerosos beneficios. Uno de ellos es la mejora en la calidad de

imagen a consecuencia de la reducción del nivel de ruido, proveniente de falsas coincidencias. Otro beneficio de gran impacto es que la dosis del radiofármaco que se utiliza puede reducirse debido a que el proceso de toma de datos se acelera. Esto implica, por un lado, menor tiempo de exposición del paciente al fármaco radiactivo; y por otro lado, un ahorro en costes al utilizar menos cantidad de trazador, el cual suele tener un coste relativamente alto [33].

Otra de las ventajas que ofrece poder determinar con alta precisión la diferencia temporal entre los dos rayos gamma, reside en su aportación cuando se tiene una estructura de detectores parcial. Esto se da en diseños donde la colocación de detectores alrededor del punto de interés no puede llevarse a cabo o en casos donde algún detector se encuentra fuera de operación. En ambos casos, se ha demostrado que el conocimiento de la diferencia temporal precisa aporta una mejora en la calidad de la imagen [34]-[36]. La siguiente imagen muestra un ejemplo de las implicaciones del cálculo del TOF en un sistema PET de anillo.

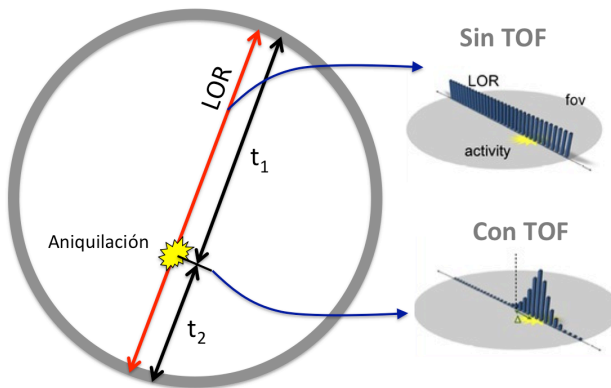


Figura 2-12. Consecuencias de la incorporación de medidas TOF en sistemas PET.

Tal y como muestra la Figura 2-13, cuando no se conoce el Tiempo de Vuelo, se tiene constancia de que el evento se ha producido en la línea imaginaria que une dos detectores enfrentados (LOR). Por eso, para poder determinar con exactitud el punto de aniquilación, es necesario registrar múltiples eventos mediante un proceso iterativo cuyas LOR acaben intersectando en el punto buscado. Esto conlleva, por tanto, una demora de tiempo en la determinación del punto de interés, con el añadido de que la resolución es dependiente del número de detectores, es decir, a mayor número de detectores, mayor capacidad de determinar la aniquilación con exactitud. Por el contrario, cuando se dispone de un sistema con capacidad de cálculo de TOF, es posible acotar un intervalo en la LOR con cierta desviación, que permitirá conocer el punto de interés con menos datos. En la siguiente figura se muestran imágenes tomadas con un PET, variando el número de detectores y con/sin TOF, en las que se visualiza el miocardio.

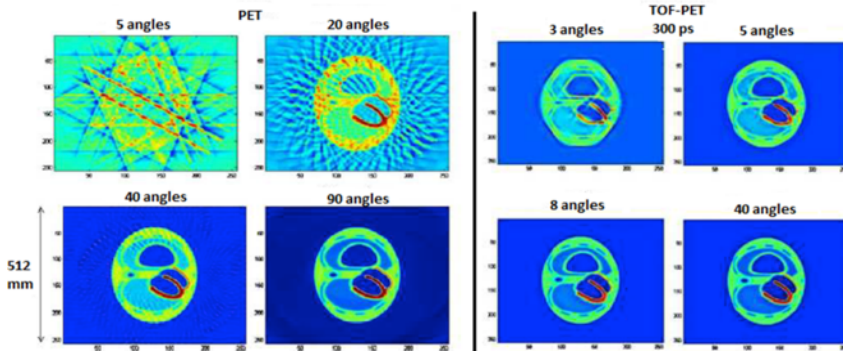


Figura 2-13. Generación de imágenes de un maniquí en PET del miocardio sin TOF (izquierda) y con TOF (derecha).

La Figura 2-13 está dividida en dos partes: la parte izquierda (sin TOF) y la derecha (con TOF). El número de ángulos correspondería al número de detectores del anillo, habiendo adquirido datos durante cierto tiempo fijo. Es fácil apreciar cómo varía la calidad de imagen en función del número de detectores para los dos casos [35]. Sin TOF y con un número de 5 ángulos, por ejemplo, se tiene una incertidumbre mucho mayor que para el mismo caso con TOF. Esto pone de manifiesto las ventajas comentadas, destacando lo beneficioso del TOF cuando se disponen de pocos detectores (o estos no pueden rodear al punto de interés).

Los sistemas PET actuales están implementados en su mayoría con sistemas analógicos y algunas partes digitales. Los avances en electrónica están permitiendo el reemplazo de los sistemas analógicos por sus equivalentes digitales. Las ventajas de tal sustitución pasan por ser las mismas que presentan los circuitos digitales frente a los analógicos. Algunas de ellas son: la mayor velocidad de procesamiento; ocupan menor espacio; existe una evolución tecnológica constante alrededor de estos; suelen permitir más facilidad de integración y por tanto, fabricarse en masa a un coste más bajo, etc. En contraste con estas ventajas, aparecen errores asociados debidos a la digitalización de las señales, como errores de muestreo y cuantificación.

Como se ha comentado en el apartado de los bloques del PET, estos contienen una unidad para la identificación de coincidencias conocida como bloque de disparo que, primero, identifica las coincidencias y, después, envía la señal de disparo al bloque de adquisición. Para tal fin, se requieren sistemas que procesen gran cantidad de señales. Tradicionalmente, estas funciones han sido desempeñadas por Dispositivos Lógicos Programables Complejos (CPLDs, del inglés *Complex Programmable Logic Devices*) o Circuitos para Aplicaciones Específicas (ASICs, del inglés *Application Specific Integrated Circuits*), combinados en muchos casos con Procesadores Digitales de Señal (DSPs, del inglés *Digital Signal Processors*).

Los CPLDs son dispositivos lógicos reconfigurables con diversas entradas (menor de cien normalmente) y algunos bloques lógicos para procesado [37]. Durante la última década, se han ido reemplazando por dispositivos más complejos que requerían de más entradas de procesado así como recursos lógicos internos. Entre ellos, el diseño de ASICs se ha hecho más asequible con el avance de las herramientas de desarrollo. Los ASICs son una alternativa a tener en cuenta cuando se pretenden producir grandes volúmenes pues, aunque el coste inicial en recursos y tiempo es elevado, este compensa cuando la fabricación alcanza números considerables. Además, los ASICs presentan la ventaja de optimización de espacio, puesto que se integra únicamente aquello que se desea utilizar. Es por esto también por lo que pueden alcanzar mayores velocidades, ya que toda la lógica puede ser emplazada y optimizada para el propósito de la aplicación. Por contra, una vez diseñado el ASIC su arquitectura fija limita opciones de reconfiguración hardware, con lo que muchas veces se hace necesario su rediseño, teniendo que invertir nuevos recursos y tiempo. La aparición de FPGAs de altas prestaciones supone una alternativa entre las limitadas CPLDs y los ASICs, ofreciendo ventajas intermedias entre unos y otros [38].

Las primeras FPGAs presentaban el inconveniente de no incluir herramientas de manejo de algoritmos de procesado digital de señal. Además, su relativo alto coste frente a las CPLDs hacía que su uso no fuera eficiente en ciertas aplicaciones. Estas limitaciones han ido desapareciendo con la incorporación de bloques DSP dedicados en la mayor parte de modelos, habiendo incrementado su capacidad lógica al mismo tiempo. Las características que han popularizado más las FPGAs son: la capacidad de trabajar con un número elevado de señales en paralelo; incorporación de bloques DSP; reconfigurabilidad, es decir, se puede reprogramar el hardware si la aplicación lo requiere y el bajo coste en comparación con alternativas similares. Las FPGAs, además, incluyen elementos críticos para las aplicaciones DSP, como memoria integrada y procesadores embebidos. Las FPGAs actuales llegan a incorporar hasta 100 DSPs, con 384 bloques multiplicadores operando a más de 400 MHz (por ejemplo las familias Spartan-6). Esto implica unas 160 billones de multiplicaciones por segundo, suponiendo una mejora muy significativa a los actuales procesadores DSP, los cuales se encuentran muy por detrás en rendimiento. El uso de estos bloques permite la liberación de otros recursos que pueden utilizarse para integrar otros elementos, como interfaces de alta velocidad para aplicaciones ópticas, controladores de memoria, bloques generadores de relojes de precisión, etc.

En definitiva, las FPGAs se han convertido en una alternativa muy potente para la implementación de sistemas digitales. Entre los últimos avances, la incorporación de procesadores integrados como la Zynq de Xilinx (que incorpora un procesador ARM Cortex-M9 con dos cores) y la posibilidad de embeber procesadores (como por ejemplo MicroBlaze, también de Xilinx) han dotado a las FPGAs todavía de más potencia que

hace que se desmarquen de tecnologías similares. Esto sumado a la gran cantidad de memoria que pueden albergar a través de sus bloques distribuidos mediante sus Tablas de Funciones (LUTs del inglés, *Look up Tables*) unido a los millones de puertas lógicas disponibles, hacen de las FPGAs un firme candidato, cuando se quieren incorporar funciones más avanzadas tipo TOF, para reemplazar a los CPLDs como unidad de *Trigger* en sistemas PET. La siguiente tabla recoge un resumen de las ventajas e inconvenientes de las tres tecnologías comentadas.

Tabla 2-3. Comparación entre sistemas capaces que calcular el TOF.

	Ventajas	Desventajas
CPLD	Bajo coste Reconfigurable	Recursos lógicos internos escasos
ASIC	Rentable alto volumen Optimización elementos Alto rendimiento	Alto coste de desarrollo Poca flexibilidad Elevada producción para rentabilizar
FPGA	Bajo coste Reconfigurable Pueden integrar procesadores	Totalmente digital Rendimiento menor al ASIC

2.3.2. Field Programmable Gate Arrays

Llegar a obtener el TOF de las partículas gamma es posible mediante la medida precisa de tiempos. En este apartado se van a exponer las capacidades para el cálculo del TOF que presentan las FPGAs, haciendo hincapié en las características específicas de estas que favorecen tal implementación. Las FPGAs son dispositivos fundamentalmente digitales, tal y como se ha dicho, por lo que medir con ellas tiempos en el rango de decenas de picosegundos es una tarea compleja para la cual no han sido específicamente diseñadas. Existen múltiples técnicas para conseguir realizar medidas de tiempo precisas. A continuación se hará un repaso de las técnicas más extendidas que se han ido adoptando a lo largo de los últimos años.

2.3.2.1. Bloques internos de las FPGAs

Como se ha dicho en el apartado anterior, las FPGAs tienen asociados numerosos recursos que favorecen cálculos precisos de tiempo. En primer lugar, se introducirán las capacidades internas de las FPGAs actuales.

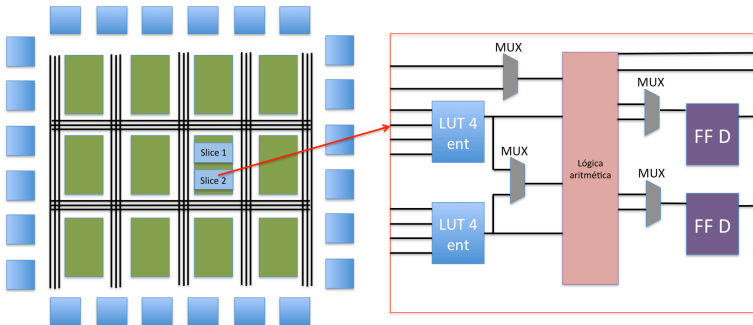


Figura 2-14. Diagrama de bloques de una FPGA (izquierda) y detalle interno de una de sus Slices (derecha).

Las FPGAs están formadas, principalmente, por conjuntos de bloques lógicos repetitivos encargados de implementar funciones lógicas y de interconexión (ver Figura 2-14). Estas estructuras están compuestas por:

- **CLBs (*Configurable Logic Blocks*)**. Albergan la lógica necesaria para implementar funciones lógicas. Suelen contener uno o más subbloques, llamados Slices, las cuales a su vez están compuestas por LUTs (memoria RAM distribuida) de varias entradas, lógica de acarreo, multiplexores y biestables (FF-D en la imagen representa un biestable de tipo D) (ver Figura 2-14 derecha).
- **IOBs (*Input-Output Blocks*)**. Corresponden a los pines físicos del dispositivo.
- **Interconexiones programables**. Bloques conmutadores que se encargan de conectar los distintos elementos lógicos mediante los múltiples caminos predefinidos.
- **Bloques de memoria RAM (BRAM) dedicados**. Suelen proveer de 18 Kbits de almacenamiento de datos, con dos puertos independientes para su lectura y escritura.
- **Bloques DSPs**. Como ya se ha comentado, se disponen múltiples bloques DSPs dedicados para realizar algoritmos iterativos u otras funciones.
- **Administradores de Señales de Reloj (DCMs, del inglés *Digital Clock Managers*) y Bucles de Enganche de Fase (PLLs, *Phase-locked loop*)**. Ambos se encargan de generar señales de reloj. Los DCMs están más indicados cuando se pretende hacer desplazamientos de fase y se debe tener la precaución de usar una señal de reloj limpia, debido a que no minimizan el jitter. Además, ocupan menos silicio. En cambio, los PLLs se pueden usar con una señal de reloj menos limpia ya que reducen su jitter, pero es mucho más complicado hacer desplazamientos de fase.

- **MGTs** (*Multi-gigabit Transceiver*). Transceivers para comunicaciones de alta velocidad, normalmente destinados a comunicaciones ópticas.

Todas estas estructuras combinadas pueden dar lugar a sistemas digitales complejos presentando además la ventaja de que tanto las interconexiones como las funciones lógicas pueden cambiarse hasta un número casi ilimitado de veces. Las últimas FPGAs, incluso, ya incorporan ADCs (*Analog-to-Digital Converters*) para tratar con señales analógicas de entrada [39]. A diferencia de los microcontroladores, las FPGAs no incorporan memoria no volátil, con lo que suele ser necesario, en la mayor parte de casos, añadir una memoria externa (Flash o EEPROM) para almacenar la configuración.

2.4. Convertidores Digitales de Tiempo

Los Convertidores Digitales de Tiempo (TDCs, del inglés *Time-to-Digital Converters*) se encargan de digitalizar eventos temporales, bien generando una etiqueta temporal o calculando diferencias de tiempos. Hace dos décadas, se empezaron a utilizar TDCs para cálculo del TOF en sistemas PET [40], [41], ofreciendo resoluciones de varios cientos de picosegundos. Actualmente, la electrónica ha avanzado lo suficiente como para que las frecuencias de trabajo de los circuitos alcancen valores de GHz, favoreciendo así el cálculo preciso de tiempos. Además, las técnicas de diseño ASIC han proliferado lo suficiente como para poder integrar múltiples TDCs de alta precisión y así poder tratar las señales procedentes de los diversos detectores PET [42].

2.4.1. Principio

Los TDCs suelen disponer de múltiples entradas encargadas de recibir los pulsos de los tiempos a determinar. Normalmente, su cometido consiste en establecer el intervalo de tiempo entre una señal de *start* y otra de *stop*. La siguiente figura muestra un ejemplo de cálculo entre estas:

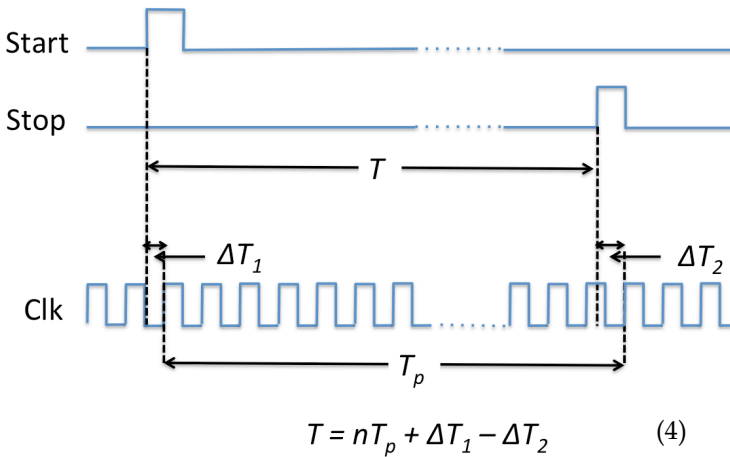


Figura 2-15. Determinación de periodos por debajo de la señal de reloj en los TDCs.

El intervalo a determinar se corresponde con la T , siendo esta la diferencia de tiempo de llegada entre las señales *start* y *stop*. Como estas señales son asíncronas con la señal de reloj del sistema, no basta con contar los periodos enteros de este (nT_p), si no que hay que tener en cuenta los incrementos desde que se produce el *start/stop* hasta el siguiente/anterior flanco de reloj. Si se pretenden conseguir resoluciones menores a un centenar de picosegundos, la señal de reloj debe ser lo suficientemente rápida como para coincidir siempre con la llegada de un pulso, lo que implicaría una frecuencia de decenas de GHz. En este caso, la señal de *start* se produce en el flanco de bajada de la señal de reloj (generalmente, no se podrá procesar hasta el flanco de subida) con lo que hay que sumar un semiperiodo (ΔT_1). En cambio, la señal de *stop* tiene lugar un semiperiodo y medio antes del flanco de subida del reloj, con lo que será necesario restar tal tiempo del cálculo final. Como resultado, se tiene la ecuación (4), que se muestra en la parte inferior de la Figura 2-15.

2.4.2. Evolución

Tanto ASICs, como recientemente FPGAs, se han usado como soluciones innovadoras para el cálculo del Tiempo de Vuelo [38]. En este apartado, se va a hacer un breve repaso en la evolución de las técnicas para cálculos precisos de tiempo, haciendo especial hincapié en los métodos que tienen posibilidad de implementación en FPGAs, ya que es la tecnología que se ha escogido para el diseño del TDC en esta Tesis.

Las implementaciones tradicionales estaban basadas en circuitos analógicos, en los cuales se utilizaban fuentes de corriente precisas, combinadas con condensadores de carga, cuyo valor en tensión es

proporcional al tiempo de carga [43]. Posteriormente, este valor se muestrea para ser digitalizado y así extraer el valor temporal para poder ser procesado, tal y como se ilustra en la Figura 2-16. A estos circuitos también se los conoce como Conversores de Tiempo a Amplitud (TAC, del inglés *Time-to-Amplitude Converter*) por la conversión que hace de la tensión de carga del condensador a valor digital de tiempo. Como se puede deducir, esta técnica presenta algunos inconvenientes. Por un lado, la topología analógica del circuito dificulta su escalabilidad. Se requieren interruptores analógicos que conmuten a una velocidad muy alta, que las fuentes de corriente sean de precisión y que los ADCs tengan una buena resolución. El consumo estático que del circuito analógico se desprende sumado a todo lo anterior, hace que su implementación sea también compleja.

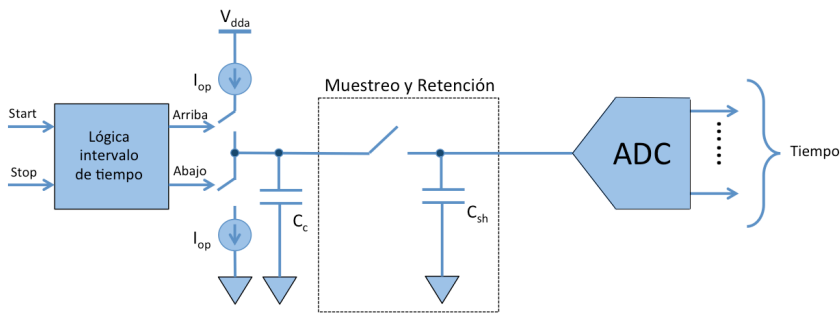


Figura 2-16. Esquema de un conversor de tiempo a amplitud tradicional.

La siguiente generación de TDCs dejaron de lado la base analógica para ser digitales. El primer modelo y más sencillo se basaba en un contador de pulsos. El tiempo resultante de la medida era determinado mediante el número de pulsos multiplicado por el periodo de la señal de reloj. La ventaja de esta configuración es que el rango de medida de tiempo puede ser muy amplio y es fácilmente implementable en los dispositivos lógicos programables [44], [45]. Otra ventaja que aporta esta arquitectura es que ofrece una baja disipación de potencia al trabajar sólo durante fluctuaciones de la señal de reloj. Sin embargo, en esta configuración, la resolución estaba limitada a la frecuencia de reloj y el jitter asociado a este.

Debido a la problemática que presentaban los TDCs basados en contadores (no se disponían de relojes suficientemente rápidos como para hacer medidas precisas) se pensó en una arquitectura que aprovechara los pequeños retardos internos de los elementos lógicos [46]-[52]. Su rango de medidas era más corto comparado con los anteriores pero la medida de tiempo más precisa. En la Figura 2-17 se puede entender este funcionamiento. La señal de *start* se introduce por una cadena de elementos lógicos, también conocida por línea de retardo o *delay line* en inglés, cuya

longitud coincide con el periodo de la señal de reloj que se utiliza para activar elementos síncronos. Estos elementos síncronos son biestables tipo D que se conectan a la salida de las puertas lógicas para muestrear su estado, de tal forma que se tendrá un código binario correspondiente al estado de la línea (se suele conocer como *thermometer code*, del inglés, ya que su estructura se asemeja a la de un termómetro). Resulta necesario remarcar que la longitud de la línea de retardo ha de ser del orden del periodo de la señal de reloj o superior. De no ser así, se podrían producir cambios en la cadena que impedirían el muestreo con el reloj.

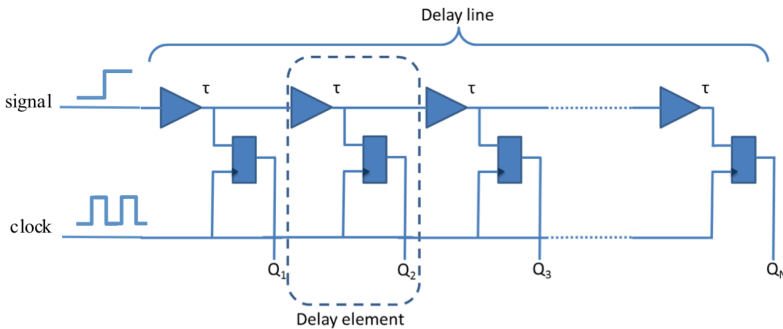


Figura 2-17. Línea de retardo compuesta por puertas lógicas y biestables.

Se puede extrapolar de la Figura 2-17 que la resolución mínima corresponderá al retardo asociado a un elemento de la cadena, que se supone idealmente el mismo para todos. Los elementos lógicos asociados a esta cadena que se han implementado a lo largo de las distintas generaciones de TDCs han sido diversos [46], [49]. Por ejemplo, inicialmente se utilizaron LUTs convencionales configuradas en modo buffers, de tal forma que había que definir una a una su conexión dentro de la FPGA. Posteriormente, se introdujeron elementos de acarreo en las celdas lógicas cuyas características propiciaban su uso en líneas de retardo [53]. También se ha aprovechado la estructura repetitiva de los DSPs para propagar señales [54].

La diferencia entre las posibilidades de implementación comentadas pasa por la homogeneidad en los retardos de los elementos implicados y la facilidad en la implementación. Los elementos de acarreo presentan una estructura no homogénea que hace que su calibración sea indispensable, mientras que su implementación es la más sencilla de las tres alternativas. Por otra parte, la implementación en LUTs es quizás la más costosa, pero no incorporan desequilibrios en la propagación de señales como las líneas de acarreo [52]. En esta estructura, la etiqueta temporal (la diferencia de tiempo entre la señal de *start* y la de *stop*) será igual a la suma de los retardos individuales de la cadena por los que haya pasado la señal de *start*.

Asumiendo que los retardos son los mismos para cada puerta, el tiempo será:

$$T_{tdc} = \frac{T_{clk}}{2^N} \cdot \sum_{i=0}^{N-1} 2^{d_i} \quad (5)$$

donde N es el número de puertas lógicas de la cadena de retardo; T_{clk} es el periodo de reloj del sistema y d_i es el elemento lógico actual de la cadena a evaluar. Si los retardos no fueran iguales, se tendría que tener en cuenta cada uno de ellos por separado, lo que implicaría haberlo determinado previamente mediante algún proceso de calibrado. Se debe remarcar que esta estructura presenta una gran ventaja frente a otras: su topología la hace fácilmente escalable a dispositivos de mayor tamaño, diferentes familias lógicas e incluso a FPGAs de diferentes fabricantes. Esta ventaja puede ser determinante en la selección de una alternativa u otra.

Con la aproximación anteriormente descrita se pueden medir tiempos por debajo del periodo de reloj, lo cual rompe una barrera que parecía imposible de superar años atrás. Sin embargo, uno de los problemas que presenta es que se requiere un espacio de FPGA considerable para poder incorporar la/las línea/s de retardo, ya que los elementos se colocan en cascada, pudiendo contener hasta centenares de elementos y comprometiendo por consiguiente el espacio para otros recursos y el camino de rutado. Otra de las dificultades que se deducen del funcionamiento es la imposibilidad de registrar grandes intervalos de tiempo, tal y como hacían los contadores. Es por eso que posteriormente surgieron configuraciones mixtas, las cuales se presentan a continuación. Tampoco hay que dejar a un lado las restricciones de sincronismo, debiendo procurar que la señal de reloj llegue con el menor retardo posible a todos los elementos de la cadena para que no se produzcan diferencias de sincronismo que se traduzcan en un empobrecimiento de la linealidad.

Uno de los métodos que más se ha popularizado es la línea de Vernier, basado en la línea de retardo. La particularidad de este método es que requiere de dos líneas de retardo como las de la Figura 2-17, compartiendo la parte de biestables. Como el retardo de los elementos de ambas líneas va a ser diferente, se pueden medir diferencias de tiempo menores al tiempo de retardo de un elemento lógico, superando la limitación del método anterior. Se puede decir que es una cadena de retardo diferencial.

El método de Vernier presenta el mismo problema en cuanto al rango de medidas que la estructura anterior de cadena de retardo simple. El método Nutt surge como solución a la limitación del rango de medidas [55], pudiendo ampliar su uso a sistemas en los que se requiere medir eventos temporales dentro de un rango amplio (milisegundos o incluso segundos). Esto se consigue mediante la combinación de dos técnicas: usando los

contadores simples, para registrar eventos cada ciclo de reloj y líneas de retardo para medir periodos inferiores al periodo de reloj. Ambas cuentas se llevan por separado para, en la fase final, proporcionar una etiqueta temporal que es combinación de ambas. De hecho, esta es la estructura que se ha utilizado para el diseño del TDC en esta Tesis Doctoral. En la Figura 2-18 se presenta un esquema de la estructura. Los dos métodos coexisten para conformar la etiqueta de tiempos final. Por un lado, un contador está a la espera de un flanco en la señal de entrada para proporcionar los intervalos de reloj acumulados hasta ese momento. Por otro lado, la señal de entrada se hace pasar por la línea de retardo para hacer el conteo del número de puertas lógicas que ha cruzado (y saber así el retardo total). Por último, ambos resultados se integran para dar el resultado final. Más detalles al respecto de esta implementación serán proporcionados en el bloque 2, en el que se describirá ampliamente la solución adoptada.

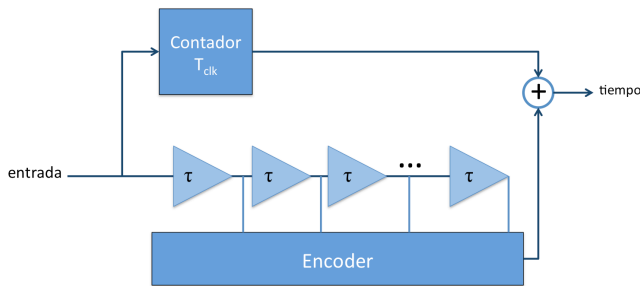


Figura 2-18. Esquema del método Nutt, que combina la cuenta de ciclos de reloj con el método Vernier para cuentas por debajo del periodo del reloj.

El avance en la tecnología de fabricación de las FPGAs, en las que la capacidad de integración ha crecido de forma exponencial así como los retardos intrínsecos de la lógica, ha permitido la implementación de osciladores de anillo de frecuencias mucho más elevadas que las de los relojes externos. Estos osciladores están compuestos por un conjunto de puertas lógicas inversoras conectadas en cascada (como si de una línea de retardo se tratara) en los que la entrada y la salida están conectadas. De esta forma se produce una oscilación permanente siempre y cuando el número de estas sea impar. Su frecuencia de funcionamiento depende, pues, de las características de propagación de las puertas lógicas que lo conforman. Dado que estos retardos suelen estar en el orden de decenas de picosegundos, se pueden obtener osciladores del orden de decenas de GHz. Esta capacidad ha sido usada en la generación de TDCs precisos [56]. La estructura básica se compone de dos osciladores de anillo con ligeras diferencias en sus frecuencias de funcionamiento. La diferencia entre estas dos frecuencias se corresponde con la resolución del TDC, habiendo conseguido resultados con una precisión de centenares de picosegundos.

Aunque con FPGAs los límites de rendimiento en los TDCs están en decenas de picosegundos, existen otras técnicas que se aplican a ASICs y que permiten conseguir medidas en el rango de sub-picosegundos [53], las cuales no se van a tratar puesto que no es el objeto de la presente Tesis Doctoral.

2.4.3. Parámetros de funcionamiento

Es de vital importancia conocer los parámetros que se utilizan para evaluar y comparar las distintas alternativas en implementaciones de TDCs. Hay que aclarar que estos parámetros presuponen TDCs digitales, que son con los que se trabaja actualmente. Aunque pueden encontrarse algunas más, las principales características son:

- a. **Resolución.** Unidad mínima de tiempo que el TDC puede medir. Es un parámetro importante para establecer comparaciones puesto que está relacionado con la precisión, aunque no es directamente equivalente. Viene determinada por el rango de medidas del TDC y del tamaño de bits del convertor. Se suele decir que este valor equivale a 1 LSB (del inglés, *Less Significant Bit*).

$$R_{es} = \frac{T_{clk}}{2^N} \quad (6)$$

siendo R_{es} la resolución, T_{clk} el periodo de la señal de reloj que utilizan los bloques digitales implicados en el cálculo de tiempos y N el número de bits del convertor. Una aclaración referente a la resolución es que, como se ha visto en la estructura de retardo de Vernier, la señal de reloj se divide en distintas puertas lógicas para poder segmentar la medida. Así pues, el tamaño en bits del convertor debe ser tal que permita al convertor registrar la unidad mínima de medida, que vendrá determinada por el retardo mínimo de la cadena de retardo. Este será el parámetro a determinar. Por ejemplo, si de acuerdo al fabricante se conoce que el retardo mínimo de puerta lógica es de 1 ps y el periodo de reloj que se usa es de 10 ns, haría falta un convertor de $N = 14$ bits para poder registrar cada cuenta mínima.

- b. **Precisión.** La precisión es el parámetro clave porque de él depende que los resultados que el TDC mida sean fiables. Es el parámetro que más se suele tener en cuenta porque de nada sirve medir tiempos muy pequeños si la precisión con la que se miden no es suficiente. Es por eso que se suele mezclar con la resolución, pues la precisión máxima que se puede alcanzar es muchas veces llamada resolución.

- c. **Rango dinámico.** Indica el intervalo total de medida de un TDC. En los TDCs digitales, esto dependerá del número de bits y de la resolución del contador.

$$D_r = 2^N \cdot R_{es} \quad (7)$$

Si el conversor mide únicamente tiempos por debajo del periodo de la señal de reloj, el rango dinámico coincidirá con el mismo. En cambio, puede que el TDC también cuente periodos enteros de la señal de reloj y que combine ambas partes, luego entonces el número de bits N será mayor y el rango dinámico D_r también.

- d. **Linealidad.** Este concepto se utiliza para cuantificar la linealidad del TDC digital. La No-Linealidad Diferencial (DNL, del inglés *Differential Non-linearity*) se obtiene de la diferencia entre el valor de cada escalón digital y su valor ideal, normalizado al valor ideal. La siguiente fórmula lo expresa:

$$DNL(i) = \frac{T_{real}(i) - T_{ideal}(i)}{T_{ideal}(i)} \quad (8)$$

$$INL(i) = \sum_{n=0}^{i-1} DNL(i) \quad (9)$$

Como puede verse, el DNL es el error relativo (ϵ_r) que se comete en cada intervalo de LSB del TDC. Representando el DNL se tiene una idea de la desviación lineal del TDC y del máximo error que se puede cometer. Por su parte, la No-Linealidad Integral (INL, del inglés *Integral Non-linearity*) es la suma acumulativa del DNL. Con el INL se puede ver lo que se aproxima el TDC a la supuesta recta imaginaria que deberían proporcionar sus medidas. Ambas medidas se suelen dar en unidades LSB.

- e. **Tiempo muerto (en inglés, *deadtime*) y latencia.** Estos dos parámetros aparecen frecuentemente en la literatura como indicadores de rapidez y capacidad del TDC. Cuando este recibe un evento, transcurre un tiempo hasta que produce una respuesta. El tiempo que transcurre se conoce como latencia. Cuanto menor sea ese tiempo, más rápido se dice que procesa el TDC. En cambio, el *deadtime* da una idea de la capacidad de procesamiento, no de la rapidez. Es el tiempo necesario para poder procesar un evento después de haber recibido un evento anterior. Es decir, aunque no se haya generado la respuesta a un evento, el sistema puede tener la capacidad de ir procesando otro en paralelo. Si el sistema

permanece bloqueado hasta que se genera la respuesta, la latencia coincide con el *deadtime*.

Hasta el momento, se han expuesto los principios de funcionamiento de los sistemas que forman un PET. Después, se han propuesto y descrito las FPGAs como elemento integrador en el bloque de disparo para llevar a cabo el cálculo del TOF. En concreto, se ha propuesto la implementación de un TDC, que actuará como elemento de medida de tiempos. Así pues, el bloque de disparo quedaría de la siguiente manera (ver Figura 2-19):

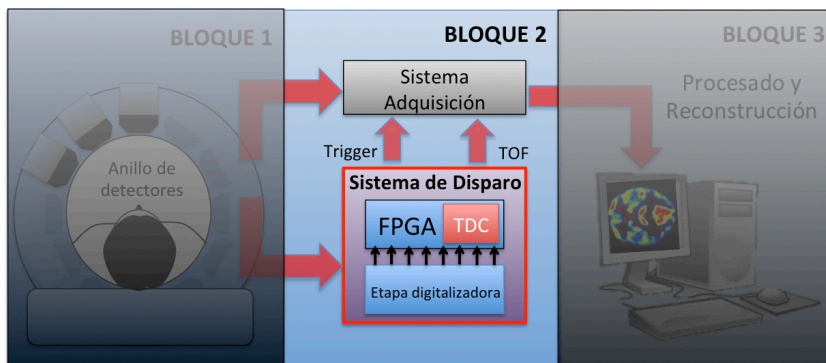


Figura 2-19. Detalle del bloque 2, en el que se encuentra el sistema de disparo, que se compone de una etapa digitalizadora/discriminadora y un TDC basado en FPGA.

2.5. Factores que influyen en la determinación del Tiempo de Vuelo

Mejorar la resolución temporal en el cálculo del TOF tiene una consecuencia directa en la mejora de la Relación Señal Ruido. Esto es consecuencia de la reducción de la tasa de eventos aleatorios que se producen, por un lado y, por otro lado, de la capacidad del sistema de reconstrucción de imagen si la resolución es lo suficientemente buena. Esto es así porque se ha demostrado que la tasa de eventos aleatorios es proporcional a la ventana de coincidencia [2], [34]. Entonces, reduciendo la ventana de coincidencia se puede mejorar la SNR para favorecer el proceso de reconstrucción de imagen. La reducción de la ventana puede llevarse a cabo hasta cierto límite, en el cual se puede ocasionar la pérdida de eventos válidos. Este límite vendrá determinado por el tamaño del anillo. La siguiente ecuación ilustra el cálculo de eventos en coincidencia:

$$t_{dif} = t_a - t_b = \frac{x_a - x_b}{c} = \frac{x_a - (d - x_a)}{c} = \frac{2x_a - d}{c} \quad (10)$$

donde t_a y t_b son los tiempos de propagación de los rayos gamma tras la aniquilación, x_a y x_b son las distancias que han recorrido los fotones desde la aniquilación hasta llegar a los detectores, c es la velocidad de la luz y d el diámetro del anillo. Si la aniquilación se produce pegada a un detector, lo que sería el caso límite, la diferencia de tiempo quedaría d/c . Aunque se tenga una resolución temporal mejor de este caso extremo, la ventana de coincidencia ha de situarse igual o por encima de este valor para no perder eventos. Por ejemplo, si el diámetro del PET es de 20 cm, la ventana de coincidencia debería fijarse a un valor de 666 ps o mayor para que ninguna coincidencia válida se escape.

Si no hubiera incertidumbre en la determinación del punto de aniquilación, no harían falta los algoritmos de reconstrucción. Una buena aproximación a un error muy bajo sería poder discernir con una resolución de 1 mm, lo que equivaldría a medir con una resolución temporal de 3.3 ps, valor que se aleja mucho de los 500 ps que alcanzan los PET comerciales actuales para humanos [57], [58]. A pesar de esto, esta resolución aporta beneficios interesantes. La siguiente tabla, recoge un resumen de los beneficios resultantes que introducen mejoras en la resolución temporal [34].

Tabla 2-4. Beneficios derivados de la mejora de resolución en la determinación del punto de colisión en PET.

Resolución temporal (FWHM)	Beneficios
2.3 -3 ns	Reducción de 1,5-2 la tasa de eventos aleatorios. Reducción de un factor de 1,4-1,6 del ruido
1.5 ns	Los beneficios anteriores más una reducción de 1,5 la varianza del ruido
1 ns	Los beneficios anteriores pero la varianza del ruido decrece un factor de 2,3. Se hace posible la transmisión/emisión simultánea
0.5 ns	Todos los beneficios anteriores, pero la varianza del ruido decrece un factor de 5

Para considerar los parámetros que influyen en la medida de la resolución del TOF se tiene en cuenta una estructura de dos detectores en coincidencia. Los diversos bloques implicados en ambos caminos serán los responsables de la resolución final. Entonces, la resolución temporal se define con la siguiente ecuación:

$$\sigma_t = \sqrt{\sigma_1^2 + \sigma_2^2} = \sqrt{2} \cdot \sigma_1 \quad (11)$$

siendo σ_t la resolución total y σ_1, σ_2 las resoluciones asociadas a cada rama de los detectores enfrentados. Normalmente, la composición de ambas ramas estará constituida por elementos casi idénticos, por lo que la resolución se puede aproximar tal y como indica la ecuación (11). Desglosando el término, la resolución de una rama dependerá de los siguientes factores:

- La resolución temporal asociada al cristal centellador σ_{xtal} .
- La resolución temporal asociada al fotosensor σ_{ps} .
- La resolución que está asociada a la electrónica de acondicionamiento de los fotomultiplicadores σ_{ce} .
- La de la electrónica asociada al circuito de disparo $\sigma_{trigger}$.

Suponiendo que el error que introduce cada parte es independiente, se tiene:

$$\sigma_t = \sqrt{\sigma_{xtal}^2 + \sigma_{ps}^2 + \sigma_{ce}^2 + \sigma_{trigger}^2} \quad (12)$$

Todos estos factores no son igual de críticos, puesto que las optimizaciones que se pueden alcanzar en algunos casos son muy pequeñas en comparación con el error introducido por los otros factores. Identificar las partes críticas permite focalizar los esfuerzos de optimización hacia estas. En [59] se presenta un estudio donde se caracterizan los principales factores que contribuyen a la resolución temporal de un PET. En el estudio, se utilizan versiones mejoradas de los componentes básicos del PET y se compara con este, el cual está basado en cristales LSO, fotomultiplicadores PMT y la electrónica de disparo. El objetivo es conocer los límites de un sistema PET y saber en qué partes merece la pena invertir esfuerzo para mejorarlas. El análisis hace énfasis en que una electrónica inapropiada puede hacer que esta sea el factor más determinante. La resolución temporal de los detectores en coincidencia que se obtiene para el sistema comercial oscila entre 3 y casi 5 ns de la Anchura a Media Altura (FWHM, del inglés *Full Width at Half Maximum*). Según las pruebas llevadas a cabo, el límite de un sistema PET basado en la misma tecnología, con los componentes que se disponían entonces (2006), estaría situado en unos 500 ps. Debido al avance de la electrónica en los últimos años, la contribución de esta al error ha podido minimizarse en gran medida. A continuación, se hará un repaso de los factores que contribuyen a las fuentes de error expuestas al inicio de este apartado. Conocer estos factores también ayudará a identificar de entre las distintas propiedades o parámetros de ciertos elementos, aquellos que estén más ligados a la resolución.

2.5.1. Resolución de un cristal centellador (σ_{xtal})

El error que introduce el cristal centellador responde a multitud de fuentes, las cuales requieren un análisis avanzado [60]-[62]. En este caso, se van a describir las fuentes principales, sin entrar en un desarrollo profundo puesto que no es el principal objeto de esta Tesis. La ecuación (13) recoge tales parámetros:

$$\sigma_{xtal} = \sqrt{\sigma_{est}^2 (\tau_{sub}, \tau_{cai}) + \sigma_{prop}^2} \quad (13)$$

donde σ_{est} representa la variación estadística en la producción de fotones del cristal, el cual depende del tiempo de subida de la emisión de fotones (τ_{sub}) y de la caída en la emisión de luz (τ_{cai}); y σ_{prop} corresponde a la incertidumbre que se introducirá en el tiempo de propagación del fotón en el cristal. A su vez, la generación de fotones una vez impactan los rayos gamma en el cristal no se produce de forma inmediata, siendo este tiempo un factor más a sumar en la incertidumbre, el cual está en torno a los 10 ps para la variedad LSO [60].

La gráfica de la Figura 2-20 muestra los resultados para un cristal LSO de la desviación estándar del tiempo de emisión de cada uno de los fotones del cristal [63].

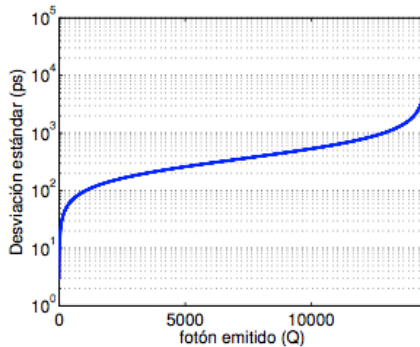


Figura 2-20. Desviación estándar del tiempo de emisión de un cristal LSO.

Lo que se extrae de la gráfica anterior es que la detección de los primeros fotones que impactan en el cristal produce menos error en la resolución temporal. Esto se traduce en que lo óptimo es extraer el punto de llegada de la señal lo antes posible, es decir, teniendo en cuenta la señal eléctrica que los primeros fotones generan en el fotomultiplicador. Como se verá posteriormente en el apartado 2.3.3.3, este sería el caso ideal, pero en la práctica no será posible adquirir la información producida por el

primer/primeros fotones debido al ruido electrónico que el sistema de medición tendría que asumir.

2.5.2. Resolución de un fotosensor (σ_{ps})

El parámetro ligado a la resolución temporal en el caso de un fotosensor es su tiempo de tránsito. La variación de este parámetro (TTS, del inglés *Transit Time Spread*) es lo que se encuentra en la mayoría de las hojas de datos. Este tiempo va desde que el fotocátodo recibe un fotón hasta que suministra una señal eléctrica de corriente máxima. O lo que es lo mismo, es el tiempo que los electrones tardan en viajar desde el fotocátodo al ánodo, en el que se extrae la señal de corriente eléctrica. Este no es un parámetro fijo, por eso los fabricantes lo proporcionan bajo ciertas condiciones. Las causas de la variación de este parámetro están recogidas en los artículos [64]-[66]. En el caso de los PMTs, algunas de estas causas son:

- Se produce una diferencia en los instantes de tiempo en que los electrones son arrancados a causa del impacto del fotón incidente en el material fotosensible. Esta fluctuación suele considerarse despreciable.
- El electrón que se genera fruto del impacto del fotón no siempre recorre la distancia hasta el primer dínodo con la misma velocidad, de ahí que se produzca una fluctuación de tiempo.
- Se produce una variación en los trayectos de los electrones que se van generando que hace que no tarden el mismo tiempo en llegar al último dínodo.

Por lo dicho, el TTS se conoce como el jitter del dispositivo. Pero, al contrario de lo que sucede en otros sistemas, este no es un parámetro estático. Los fabricantes de fotomultiplicadores suelen definirlo como el FWHM de la fluctuación del tiempo de tránsito entre pulsos individuales de eventos de fotoelectrones.

Para los PMTs, el TTS depende, básicamente, del número de fotoelectrones generados, del voltaje elevado a una potencia no entera (entre 0.65 y 0.75), de la longitud de onda del fotón luminoso incidente (hasta un 40% al comparar longitudes de onda entre 400 y 560 nm), de las fluctuaciones entre el cátodo y el primer dínodo y entre el primer dínodo y el segundo (primera etapa de un PMT). Una ecuación que identifica los factores principales es la ecuación (14):

$$\sigma_{TT_{PMT}}(TTS) \propto \frac{1}{\sqrt{N_{ph} \cdot g}} \quad (14)$$

donde N_{ph} hace referencia al número de fotoelectrones generados, y g a la ganancia de la primera etapa. El valor de g de la ecuación está directamente relacionado con el voltaje (elevado a una potencia no entera entre 0.65 y 0.75). Cualitativamente hablando, para reducir el TTS debido a la componente cátodo/primer dínodo se intenta curvar el fotocátodo (de ahí la forma de muchos PMTs) para reducir la componente geométrica y aumentar el voltaje entre el fotocátodo y el primer dínodo (que hace disminuir la fluctuación en la velocidad inicial de los fotoelectrones).

Para los SiPMs, se puede establecer una ecuación que relacione los parámetros que más intervienen en las variaciones del tiempo de tránsito para minimizar aquellos que perjudiquen e incrementar los que beneficien. En la ecuación (15), se presenta una relación de proporcionalidad aplicable a estos [67].

$$\sigma_{TT_{SiPM}}(TTS) \propto \frac{1}{\sqrt{N_{ph} \cdot PDE \cdot G}} \quad (15)$$

donde N_{ph} hace referencia al número de fotones que llegan al detector fotoeléctrico, el PDE es la eficiencia en la detección de fotones y G la ganancia del dispositivo. De esta relación se deduce que la variación del TTS es inversamente proporcional a N_{ph} , PDE y G .

Por un lado, el número de fotones que llegan depende del tipo de cristal centellador y la geometría de acoplamiento entre este y el fotomultiplicador. Hay que tener en cuenta que, dependiendo del material por el que esté compuesto el cristal, la eficiencia en la emisión de luz puede variar. Lo ideal será utilizar cristales cuya eficiencia en emisión de fotones sea la mayor posible. Además, el pico de respuesta espectral tanto del cristal como del fotomultiplicador deberán ser coincidentes para una mayor eficiencia (ver Tabla 2-1). La cantidad de luz que se proporciona a los fotosensores individuales del detector es mayor en el caso de cristales pixelados, con lo que se reduce el error en el tiempo de tránsito del fotomultiplicador.

Por otro lado, el PDE es también un parámetro clave en la reducción del TTS. Lo definen los siguientes parámetros de la ecuación (16):

$$PDE = QE \cdot \epsilon_{geo} \cdot \epsilon_{Geig} \quad (16)$$

donde QE es la eficiencia cuántica, ϵ_{geo} es la eficiencia geométrica y ϵ_{Geig} la eficiencia del modo Geiger (probabilidad de que un fotón genere una avalancha). La eficiencia cuántica, como ya se ha visto, es la probabilidad de absorber un fotón incidente. Los parámetros que influyen en esta son: la

reflexión en el contacto superior del detector, el espesor efectivo del mismo y la absorción óptica como función de la longitud de onda del detector. Por su parte, la eficiencia geométrica es el ratio de área activa frente a la total del detector. Para mejorar este parámetro se suele incrementar el tamaño de los píxeles del detector. Por último, la eficiencia del modo Geiger hace referencia a la probabilidad de que un fotoelectrón genere una conducción en avalancha en el dispositivo.

Tal y como se ha demostrado en algunas publicaciones [67]-[69], el PDE mantiene cierta dependencia con el voltaje de alimentación del dispositivo SiPM. Las siguientes gráficas muestran esta dependencia:

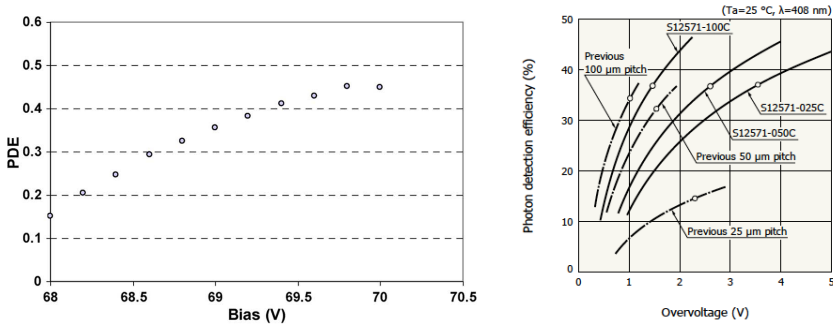


Figura 2-21. Variación de la eficiencia en la detección de fotones con respecto al sobre-voltaje. Fuente [68].

La probabilidad de que un fotón incidente cree una avalancha es dependiente del campo eléctrico que se genera en la unión p-n del fotodiodo. Este campo eléctrico, a su vez, se genera a partir del voltaje de alimentación, de ahí que modificando este parámetro también lo haga la probabilidad de que se produzca la conducción por avalancha. En los PMTs, la generación de fotoelectrones entre el fotocátodo y el primer dínodo tiene poco que ver con el voltaje de alimentación, de ahí que los PMTs no presenten esta dependencia.

En el experimento [68] (ver Figura 2-21) se muestra el PDE para un SiPM de Hamamatsu (mod. S10362-33-050C 7252) cuya microcelda es de $50 \mu\text{m} \times 50 \mu\text{m}$, al que se le ha acoplado un láser (420 nm) de 1.1 ns de ancho de pulso. Como se comprueba en la imagen, el valor del PDE va aumentando casi linealmente con el voltaje de alimentación del SiPM, hasta cierto valor límite en el que la señal que se genera pasa a ser muy ruidosa y la eficiencia no experimenta incremento alguno.

2.5.3. Resolución de la electrónica (σ_{ce} , $\sigma_{trigger}$)

Después de analizar los parámetros de influencia relevante en la resolución de los detectores, compuestos por cristales centelleadores y

fotomultiplicadores, es necesario pararse a estudiar aquellos que introduce toda la electrónica, tanto la propia de acondicionamiento del detector como la introducida por el sistema de disparo. Este error que introduce la electrónica dependerá, en cierta medida, de la calidad de la señal que tenga que procesar y del sistema para la extracción del tiempo de llegada.

a. Error en la electrónica de acondicionamiento.

En el caso en el que la electrónica de acondicionamiento contenga un circuito para reducir el número de señales procedentes de los píxeles de los fotomultiplicadores a un número manejable para ser digitalizado [25], [26], este puede presentar un error (σ_{ce}). En este proceso interviene también la electrónica de acondicionamiento compuesta, en su mayoría, por amplificadores operacionales (AOs). Estos últimos son los que merecen especial atención porque su elección puede influir notablemente en las características de la señal. Los dos parámetros que se tienen que tener en cuenta a la hora de seleccionarlos son: el *slew rate* y el ancho de banda.

- **Slew Rate (SR).** El *slew rate* es la capacidad de un sistema de seguir los cambios que se producen en su entrada y reflejarlos en la salida. Este parámetro cobra mayor importancia a medida que las transiciones de la señal de entrada se produzcan en menores instantes de tiempo. En el caso de la señal de voltaje que llega procedente del fotomultiplicador, el tiempo de subida (o bajada si la señal es negativa) conocido en inglés como *rise time*, es un factor determinante en la elección del AO. El $SR = dV/dt$ suele venir expresado por los fabricantes en $V/\mu s$ y el tiempo de subida de la señal a procesar suele ser menor de 10 ns. La diferencia de valores de voltaje que se produce en ese instante de tiempo dependerá de la ganancia que se configure. Si tenemos en cuenta una diferencia de 1 V, el mínimo *slew rate* para tratar con tal señal sería:

$$SR = \frac{dV}{dt} = \frac{1 V}{10 ns} = 1000 (V/\mu s) \quad (17)$$

Se tendría que seleccionar un Operacional con un *slew rate* como el de la ecuación (17) para que pudiera procesar una diferencia de 1 V en 10 ns. Si se quiere un amplificador con un elevado *Slew Rate*, un criterio a tener en cuenta es que los AOs realimentados en corriente suelen proporcionar un SR mucho mayor que los realimentados en tensión, a pesar de que son menos estables.

- **Ancho de Banda (BW).** El ancho de banda de un AO es el rango de frecuencias para las cuales la ganancia permanece constante. Dado que la señal que deberá procesar tendrá componentes frecuenciales de unos pocos GHz, será necesario que contemple tal valor en su rango. Una restricción

que no se ha de ignorar es que, en un AO, el producto de su ancho de banda por su ganancia ha de ser constante. Entonces, se debe hacer una previsión de la ganancia que se requiere para ver el ancho de banda que será necesario. El fabricante suele proporcionar el ancho de banda a ganancia unidad ($BW@G=1$). A modo de ejemplo, se plantea la siguiente ecuación:

$$BW = 1 \text{ GHz}@G = 1 \rightarrow (G = 10) \rightarrow BW = 100 \text{ MHz} \quad (18)$$

Con la ecuación (18) se da una idea de que, si se requiere una ganancia de 10, el ancho de banda decrecerá proporcionalmente un orden de magnitud. Es por ello que lo ideal es tener que amplificar poco la señal para poder utilizar AOs de una menor calidad.

b. Error en la electrónica de disparo.

La electrónica de disparo se encarga, tal y como se ha explicado, de recibir las señales procedentes de los detectores y de determinar cuáles de los sucesos registrados corresponden a coincidencias verdaderas. El error en la electrónica de disparo ($\sigma_{trigger}$) se manifiesta debido, principalmente, a dos fuentes: la del propio TDC (σ_{TDC}), cuyo error se deriva de su precisión; y la del sistema discriminador (σ_{Dis}), el cual recibe las señales analógicas de los detectores y genera un pulso digital a su llegada. La fórmula del error, pues, se expresa en la siguiente ecuación:

$$\sigma_{trigger} = \sqrt{\sigma_{TDC}^2 + \sigma_{Dis}^2} \quad (19)$$

En los TDCs actuales, la resolución que se puede alcanzar está por debajo de centenares de picosegundos. Aunque en etapas avanzadas de optimización este será un parámetro a tener en cuenta, en etapas iniciales este error suele ser despreciable comparado con el que introduce el sistema detector (cristal + fotomultiplicador). Se considera el error introducido por el TDC ya que se utiliza en la presente Tesis. De utilizarse otro elemento, el error que introdujese debería ser modelizado y reemplazado.

Por su parte, la etapa discriminadora puede suponer una fuente de error de relativa importancia. Existen diversas técnicas para capturar la señal analógica y generar el pulso digital. Dependiendo del método que se implemente y del tipo de señal, el error que se introduce puede variar significativamente. Los métodos para tal propósito siguen siendo mayoritariamente analógicos debido a la naturaleza de la señal recibida por parte de los detectores, aunque se están empezando a plantear técnicas puramente digitales debido a la reciente aparición de detectores cuya señal de salida es un (o unos) pulso digital [70]. En este caso, las señales digitales se introducirían en un procesador que aplicaría algoritmos de discriminación, generalmente basados en los mismos conceptos que se

aplican en los analógicos. Para esta Tesis, los métodos empleados han sido puramente analógicos.

Antes de entrar en la descripción de los principales métodos de discriminación, se van a introducir las principales fuentes de error, ya que muchas de ellas son comunes a la mayor parte de métodos [71]-[73]. En estos métodos de extracción de tiempos, se tiene en cuenta una naturaleza de la señal puramente analógica pues, como se ha dicho, sigue siendo la más común. Estos errores son: el error de jitter y el error conocido como *time walk*, los cuales suelen venir especificados por los fabricantes de los discriminadores comerciales.

El error de *jitter* se produce debido a las variaciones de la señal de entrada generadas por el ruido, tanto del detector como de la electrónica, así como por los sucesos estadísticos procedentes del cristal y del detector. Tal y como se muestra en la Figura 2-22, a pesar de que el umbral del discriminador se fije en cierto valor de voltaje, las fluctuaciones de la señal harán que exista una incertidumbre en el punto de discriminación que introduzca un error en la medida. Este es un efecto muy difícil de paliar/optimizar puesto que, como se ha dicho, parte de este proviene de fenómenos asociados a los módulos detectores. Si estos vienen dados, no hay mucho que hacer pero, si se tiene la oportunidad de seleccionar su tecnología, habrá que fijarse en los parámetros adecuados para minimizar este efecto. Por ejemplo, y a modo de resumen de lo que se ha visto en apartados anteriores, en el caso de sistemas basados en PMTs, el *jitter* cobra importancia por la variación en la tasa media de generación de fotones del centellador, el TTS de los fotoelectrones que genera el PMT y por su variación de ganancia. En cambio, en un sistema con SiPMs, el jitter procede de las corrientes de fuga, variaciones de capacitancia en el detector y el *rise time* del preamplificador. Por supuesto, tanto los componentes analógicos que se seleccionen para discriminar la señal como los empleados para acondicionarla en el paso previo, deberán introducir el menor ruido para que la señal presente el menor jitter posible.

El error de *walk* corresponde a una diferencia en el momento de la discriminación para señales que, se supone, deberían presentar un intervalo temporal fijo (pulsos periódicos, por ejemplo). Es decir, se producirían diferencias temporales con cierta desviación estándar para pulsos equiespaciados. Esto es debido a la naturaleza de los detectores que, dependiendo del número de píxeles que sean excitados por el fotón incidente, hacen que la señal de salida varíe en amplitud. Como el *rise time* de la señal se va a preservar, la variación de amplitud provocará que el umbral del discriminador tome instantes temporales distintos, tal y como se aprecia en la Figura 2-22.

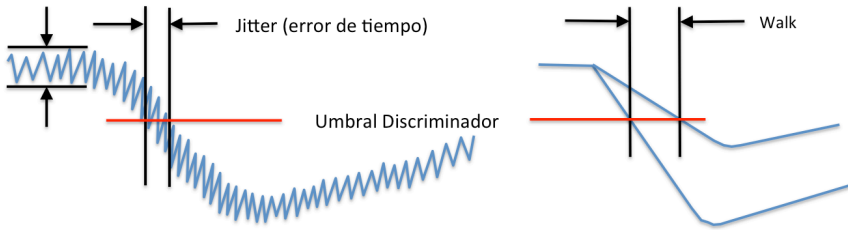


Figura 2-22. Errores comunes en el proceso de discriminación de señales de fotodetectores. Error de Jitter (izquierda) y error de Walk (derecha).

Al margen del error debido a las distintas amplitudes, también existe un error cuya contribución no debe despreciarse. Este proviene de la variación en el tiempo de subida de los pulsos procedentes del detector, fenómeno que se produce debido a ciertas propiedades no homogéneas en los detectores, tal y como se ampliará en los próximos apartados.

Seguidamente, se describirán los métodos de discriminación más usados en PET, para los que se justificarán las principales fuentes de error que contribuyen a su respuesta. Precisamente el error asociado a estos, ha hecho que las técnicas de discriminación evolucionen de la manera en que se presentan.

2.5.3.1. *Leading edge discriminator*

Leading edge discriminator (LED) es una de las primeras técnicas que se llevaron a cabo para la determinación de instantes temporales en sistemas TOF-PET [66]. Su fundamento es muy sencillo: se utilizan comparadores de voltaje con un umbral de detección variable para que generen un pulso digital al rebasarse el mismo. Es común a este y a otros sistemas para tal propósito que el pulso de salida se mantenga durante cierto tiempo, conocido como tiempo de bloqueo, que normalmente se corresponde con el tiempo de recuperación que tiene la señal del fotomultiplicador (tiempo durante el cual el detector no puede procesar otro fotón). La siguiente figura muestra un ejemplo del proceso descrito.

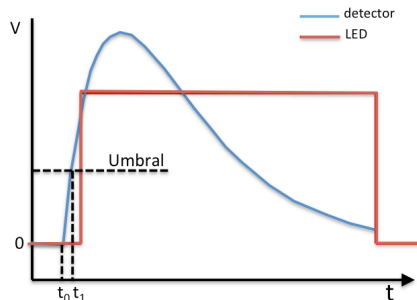


Figura 2-23. Detección de umbral mediante el método LED.

En la Figura 2-23 se aprecia cómo, naturalmente, la generación del pulso no es inmediata, sino que transcurre cierto tiempo fruto de las propias características intrínsecas de los comparadores. Este tiempo de propagación, a pesar de que pueda parecer que introduce una incertidumbre en la medida, no es tal porque las medidas de tiempos que se efectúan son diferenciales (tiempo en coincidencia, ver apartado 1.2.2). Está claro que ese tiempo no será exactamente el mismo para todos los comparadores (e incluso para uno mismo) pero la incertidumbre es tan pequeña comparada con los errores de otras partes, que puede despreciarse. El voltaje del pulso resultante dependerá de las características lógicas del sistema digital que lo vaya a procesar.

Como ya se ha dicho antes, el *jitter* es una característica que depende de los detectores y de la electrónica asociada a estos y al proceso de discriminación. Si la tecnología de los detectores viene dada, los esfuerzos han de centrarse en la etapa de discriminación. Considerando el *jitter* como una distribución gaussiana de media cero y desviación estándar σ_v , se puede aproximar el error de este con la siguiente ecuación [73]:

$$\sigma_{T(LED)} \cong \frac{\sigma_v}{\left. \frac{dV(t)}{dt} \right|_{t=T}} \quad (20)$$

siendo T el tiempo de cruce de la señal con el umbral fijado. Se deduce que señales con una pendiente más pronunciada (mayor $dV(t)/dt$) reducirán el error introducido. Esto ha de tenerse en cuenta a la hora de acondicionar la señal de disparo pues, dependiendo del circuito que se utilice, este puede hacer que el tiempo de subida se incremente, haciendo en consecuencia que la pendiente sea menos abrupta. Este error contribuirá de forma cuadrática al error total.

También se debe dedicar tiempo al error debido al *time walk*, que es justo del que más adolece esta técnica. Se ve claramente cómo, al tener un umbral fijo, señales con amplitudes distintas harán que se generen disparos en instantes distintos.

Otro problema añadido a esta técnica es que el establecimiento de un umbral de disparo es crítico. Independientemente de dónde se coloque, tendrá consecuencias perjudiciales en algún caso. Por ejemplo, si se coloca demasiado alto, no se comenzará el proceso de discriminación en los primeros fotones tal y como se recomendaba en el apartado 1.3.3.1. Pero si se coloca a un valor bajo para aprovechar este efecto, se permite el procesado de cuentas oscuras (señal que proporciona el dispositivo en ausencia de luz), las cuales son fruto de un efecto indeseado y deberían minimizarse.

2.5.3.2. Constant fraction discriminator

La técnica de *Constant Fraction Discriminator* (CFD) surge debido a la problemática que presentan los LED en el ya explicado *time walk*, pudiendo hacer que el rendimiento del sistema cambie en el orden de cientos de picosegundos. La corrección de este efecto supondrá que el comienzo del flanco de subida (o bajada si es negativa) de todas las señales generadas en el mismo instante de tiempo procedentes de los detectores, tengan el mismo punto de inicio independientemente de su amplitud.

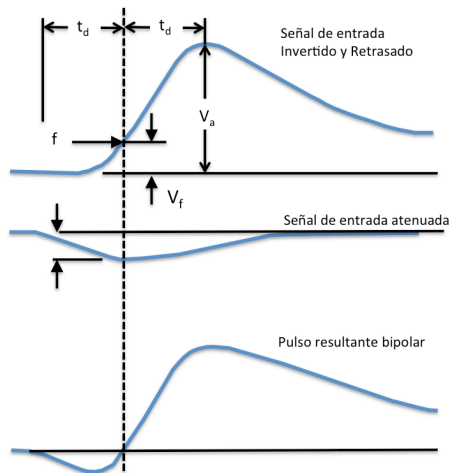


Figura 2-24. Discriminación mediante la técnica CFD en la que se genera una señal bipolar.

El método se basa en los 3 pasos que se muestran en la figura anterior (Figura 2-24). La señal de entrada se divide en dos partes: en primer lugar se invierte y se retarda cierto tiempo. Este tiempo es normalmente reconfigurable para que se adapte a la señal de interés. Y en segundo lugar, la misma señal origen se atenúa para, finalmente, sumar ambas modificadas y formar el pulso que se aprecia en último lugar en la figura. Se crea, pues, un pulso bipolar en el que el cruce por cero será detectado por el circuito correspondiente para generar el pulso digital.

Para que el método CFD pueda surtir efecto, se ha de configurar el tiempo de retardo teniendo en cuenta que este ha de estar cerca del instante en que la señal de entrada alcanza su máximo. Se suele recomendar que [72]:

$$t_d > t_r (1 - f) \quad (21)$$

siendo t_d el tiempo de retardo a configurar, t_r el tiempo de subida de la señal y f la fracción de atenuación. Esta restricción asegura que el cruce por cero ocurre después de que la señal atenuada alcanza su máximo.

Análogamente al LED, esta técnica presenta un error debido al *jitter* según la siguiente ecuación:

$$\sigma_{T(CFD)} \cong \frac{\sigma_{v(cf)}}{\left. \frac{dV_{cf}(t)}{dt} \right|_{t=T_{cf}}} \quad (22)$$

siendo $\sigma_{v(cf)}$ la desviación estándar del ruido de la señal bipolar de salida del CFD $V_{cf}(t)$ y T_{cf} el tiempo hasta el cruce por cero de la señal bipolar. En esta ecuación se ha asumido que el *jitter* es de tipo Gaussiano. Si se asume que no hay correlación entre el *jitter* introducido por la señal de entrada σ_v y el generado por la señal bipolar, se puede estimar el error a causa del ruido de más introducido por el CFD en comparación con el LED. Este sería:

$$\sigma_{v(CFD)} = \sigma_v \cdot \sqrt{1 + f^2} \quad (23)$$

sustituyendo este término en la ecuación (23) se puede apreciar que el error debido al *jitter* en el CFD se incrementa en un factor $\sqrt{1 + f^2}$, lo cual se ha de tener en cuenta en las estimaciones del cálculo de la resolución.

2.5.3.3. *Amplitude and rise time compensated*

El CFD tenía la ventaja con respecto al LED de que compensaba las variaciones de amplitud que este último no tomaba en consideración. Sin embargo, en la técnica del CFD no se tienen en cuenta las posibles variaciones que puede experimentar el tiempo de subida. Este es el propósito de este método (ARC), mejorar el CFD añadiendo la compensación del tiempo de subida y haciendo que el cruce por cero se mantenga en todos los casos [74], [75]. El proceso se puede apreciar en la Figura 2-25. Al contrario de lo que pasaba en el caso del CFD, para este caso el tiempo de retardo que se le debe aplicar a la señal bipolar debe ser menor que el tiempo que tarda la señal no retardada en alcanzar su máximo:

$$t_d < t_r (1 - f) \quad (24)$$

siendo t_r el tiempo de subida menor que tarda una señal de entrada en alcanzar su máximo.

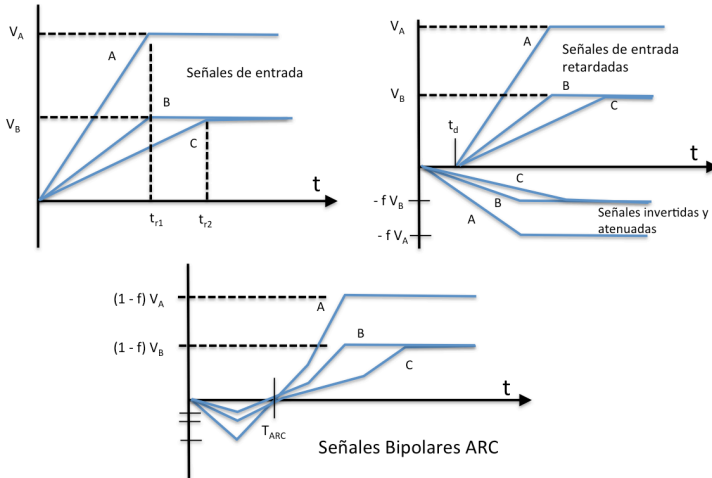


Figura 2-25. Discriminación mediante la técnica ARC que compensa los errores de amplitud y tiempo de subida.

Como se ha dicho, en ARC el cruce por cero ocurre antes de que la señal atenuada alcance su máximo. Para señales lineales que empiecen en tiempo igual a cero, el tiempo de cruce por cero T_{ARC} en este caso es:

$$T_{ARC} = \frac{t_d}{1-f} \quad (25)$$

de la cual se extrapola que para una entrada lineal, la pendiente de la señal en el cruce por cero se define como:

$$\left. \frac{dV_{cf}(t)}{dt} \right|_{t=T_{ARC}} = \frac{(1-f)V_A}{t_r} \quad (26)$$

donde V_A es la amplitud en el momento del cruce por cero. Sabiendo este parámetro, es inmediato percibir que, si se sustituye este término en la ecuación (26), el error se diferencia en un factor de $1/(1-f)$ con respecto al caso del CFD. Así pues, el error introducido por esta técnica será mayor que en el caso del CFD.

Existe una problemática asociada a CFDs/ARCs con función añadida de LED (sistemas que incorporan ambos métodos) (el caso de [72]) debida a señales que se generan con una pendiente muy pequeña, fruto de regiones en el detector donde la recolección de carga es menor. Estas señales provocan tiempos de subida tan grandes que hacen que se genere la detección por LED antes de que se produzca el cruce por cero de la señal CFD. Esto conlleva el error asociado de *walk* del que adolecen estos discriminadores. Es por eso que algunos equipos integran la función de SRT

(del inglés, *slow rise time rejection*), los cuales bloquean la salida ante este tipo de señales.

2.5.3.4. Differential leading edge discriminator

El Differential Leading Edge Discriminator (DLED) surge como una mejora en la implementación del LED aplicada a los detectores de silicio, concretamente a la limitación de este último en el rechazo a las cuentas oscuras. En concreto, el DLED ha sido utilizado para los SiPMs, en los que el ruido producido por las cuentas oscuras genera fluctuaciones de baja tensión que deben ser reducidas ya que tienen impacto directo en la resolución del sistema total [32]. Esta necesidad surge por la carencia de métodos que aborden tal problemática.

Existen técnicas de filtrado que podrían solucionar este problema [30], pero requieren de cálculos complejos y de una discriminación de relativa velocidad que hacen impracticable su implementación cuando se quiere procesar un gran número de canales.

La probabilidad de que las fluctuaciones que provocan las cuentas oscuras en la señal de los SiPMs acaben siendo una coincidencia verdadera, son muy bajas. Sin embargo, tales fluctuaciones sí tienen un impacto directo en el ruido o *jitter* de la señal, haciendo que se produzca un desplazamiento en la pendiente de la señal (ΔT) y que se genere una incertidumbre en la medida y afectando, pues, a la resolución.

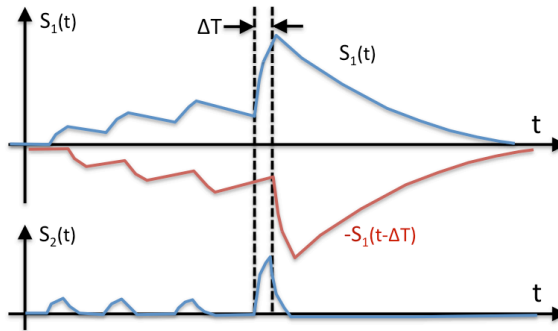


Figura 2-26. Discriminación mediante la técnica DLED aplicada para reducir el efecto de desplazamiento de las cuentas oscuras en los SiPMs.

Lo que se hace en DLED es generar una señal corrigiendo la influencia de las cuentas oscuras y compensando el efecto del desplazamiento de pendiente. El ΔT que se produce en la pendiente es un parámetro que podrá variar en función del detector, por eso debe ajustarse. Es importante remarcar que la detección se produce en el mismo instante de

tiempo para S_1 y S_2 , es decir, antes de que la resta entre señales tenga efecto. Con lo que, finalmente, se trata de un LED mejorado que corrige el problema de las cuentas oscuras.

El DLED presenta ciertas ventajas frente al uso de CFDs para SiPMs. Por ejemplo, que es posible configurar un umbral bajo de detección para preservar la llegada de los primeros fotones. Con el DLED, además, no se atenúa la amplitud de la señal como pasa con el CFD, hecho que influye en el *jitter* introducido, como se ha demostrado en los apartados anteriores.

2.6. Conclusiones

En este capítulo se han descrito los fundamentos físicos de un detector PET así como su estructura más general. Se ha descrito cada una de sus partes, exponiendo las distintas ventajas y desventajas de las diferentes alternativas. El entendimiento de estas ha sido fundamental para el desarrollo de la presente Tesis, ya que se han utilizado diferentes tipos de materiales y detectores. Posteriormente, se han presentado las alternativas para el cálculo del TOF en sistemas PET, haciendo un repaso histórico y entrando en detalle en la alternativa reconfigurable como es la FPGA que finalmente se seleccionó. Por último, se han presentado las principales fuentes de error en el cálculo del TOF en sistemas PET, siendo esto de gran utilidad para así acotar el rendimiento del sistema final.

En resumen, de todas las propiedades que se han presentado, las siguientes características son importantes para configurar un sistema PET con capacidades de TOF, dejando al margen el sistema de adquisición y el de reconstrucción:

- Detectores.
 - **Cristal.** Los parámetros claves son la eficiencia y tiempo de decaimiento. La eficiencia es la conversión de fotones/luz, y cuanto más luz mejor respuesta. El tiempo de decaimiento ha de ser bajo para permitir procesar nuevos fotones con la mayor rapidez posible. En cuanto a la morfología del propio cristal, se ha expuesto que los cristales pixelados suelen presentar mejores características para el cálculo del TOF, debido a la mayor cantidad de luz que proporcionan a los píxeles del fotosensor, lo cual está directamente relacionado con la resolución.
 - **Fotosensor.** Los parámetros que más influyen en la resolución son la eficiencia cuántica (conversión de fotones de alta energía en luz) y la desviación en el tiempo de tránsito (σ_{TTS}). Se debe considerar la alternativa de sensores de estado sólido como los SiPMs por las ventajas que ofrece: menor tiempo de tránsito, inmunidad a campos magnéticos (testado hasta 7 Teslas), treinta veces menos tensión de operación, mejor eficiencia, etc.

- **Circuito de acondicionamiento.** Un requisito que debe tener el circuito de acondicionamiento es preservar el tiempo de subida, ya que está directamente relacionado con el error temporal. A mayor pendiente, menor error derivado. Por eso, los AOs que se utilicen deben tener un amplio ancho de banda y un *slew rate* adecuado.
- Electrónica de disparo.
 - **Discriminadores.** Se han visto cuatro tipos de discriminadores: LED, CFD, DLED y ARC. De los cuatro, el ARC se sugiere como el más completo por compensar las fluctuaciones en las pendientes de subida y en las amplitudes de las señales. La alternativa CFD se ha presentado como la segunda más apropiada, compensando el error producido por señales con diferentes amplitudes. Por último, el LED se presenta como la alternativa más sencilla en cuanto a implementación pero la que menos errores compensa. Se debe tener en cuenta que el *jitter* que se introduce en cada método es justamente el opuesto a la relación que se ha expuesto para los otros errores. Pero, dado que los errores asociados a la amplitud y tiempo de subida suelen ser de magnitud mayor, siempre se ponen por encima estos al del propio *jitter*. También se ha concluido que es óptimo capturar la señal tras la llegada de los primeros fotones para minimizar el error en la medida de tiempo.
 - **TDC.** El parámetro más destacable para el cálculo del TOF es la precisión en la medida de tiempos. De esta forma se garantiza que las medidas puedan emplazar de la forma más precisa el lugar de la aniquilación. Se han presentado las FPGAs como alternativa para la implementación, habiéndose utilizado en multitud de aplicaciones para medidas de tiempos precisas. Las características necesarias en un TDC aplicado a TOF es que disponga de múltiples canales para poder procesar todos los eventos (un canal por detector), debiendo contener decenas de estos en la mayor parte de casos.

Todas estas consideraciones se han tenido en cuenta a lo largo del desarrollo de la presente Tesis Doctoral, tal y como se justificará debidamente en cada capítulo.

Bloque 2

- **Capítulo 3.** Diseño preliminar del sistema
 - 3.1. High resolution Time of Flight determination based on reconfigurable logic devices for future PET/MR systems

 - **Capítulo 4.** Implementación del TDC en FPGA
 - 4.1. Time-to-Digital Converter based on FPGA with multiple channel capability
-

Capítulo 3

Diseño preliminar del sistema

En este capítulo se agrupan todos los aspectos referentes al sistema de medida de tiempos, compuesto por un sistema lógico reconfigurable de bajo coste. Se propone una primera idea de sistema, planteando lo que deberá ser el sistema global y presentando algunas pruebas preliminares.

3.1. High resolution Time of Flight determination based on reconfigurable logic devices for future PET/MR systems

Autores: José Torres, Albert Aguilar, Raimundo García-Olcina, Julio Martos, Jesús Soret, José María Benlloch, Antonio J. González, Filomeno Sánchez.

Publicado: Nuclear Instruments and Methods in Physics Research A, 702, pp. 73-76 (2013).

Factor de Impacto (2012): 1.142

Cuartil (categoría “Nuclear Science & Technology”): Q2

Resumen. Este primer artículo consiste en una declaración de intenciones, que sirven de hipótesis para esta Tesis. Se expone la necesidad de utilizar un sistema para el cálculo del Tiempo de Vuelo en sistemas PET que pueda ser compatible con una Resonancia Magnética (MR). Inicialmente, se presenta un modelo de sistema completo, al que se denomina Tarjeta de Disparo. Esta tarjeta se prevé que conste de tres partes principales: una etapa discriminadora, que recogerá las señales procedentes de los detectores y enviará un pulso digital tras su recepción; el bloque FPGA, que albergará la estructura para medir tiempos; y un procesador embebido, encargado del cálculo de coincidencias (concepto que se introduce en el artículo). Se justifica el uso de una FPGA para el cálculo tiempos precisos mediante el uso de una estructura lógica repetitiva. Se propone utilizar la estructura de acarreo interna (CARRY4 logic) para propagar las señales por su interior a través de la concatenación de múltiples bloques, formando lo que se conoce

como línea de retardo. Los bloques CARRY4 (de las familias de FPGAs de Xilinx) suelen estar compuestos por 4 bloques multiplexores (MUXCY), cada uno de los cuales tiene asociado un biestable tipo D. El retardo asociado a cada bloque MUXCY suele estar en el orden de unas pocas decenas de picosegundos, lo cual favorece la implementación de la línea de retardo.

Se presenta un proceso de calibrado en el que se determina cada retardo individual de los elementos que forman la línea de retardo, necesario por la no-homogeneidad en los retardos de las etapas (MUXCY) involucradas. Por último, se presentan unos resultados preliminares con un modelo de FPGA comercial (Spartan-6, mod. XC6SLX45), en los que se registra una precisión en la medida de dos canales de unos 140 ps FWHM.



Contents lists available at SciVerse ScienceDirect

Nuclear Instruments and Methods in Physics Research A

journal homepage: www.elsevier.com/locate/nima

High resolution Time of Flight determination based on reconfigurable logic devices for future PET/MR systems

José Torres^{a,*}, Albert Aguilar^a, Raimundo García-Olcina^a, Julio Martos^a, Jesús Soret^a, José María Benlloch^b, Antonio J. González^b, Filomeno Sánchez^b

^a Communications and Digital Systems Design Group (DSDC), Universidad de Valencia, Spain

^b Institute for Instrumentation and Molecular Imaging (ISM), Universidad Politécnica de Valencia – CSIC – CIEMAT, Spain

ARTICLE INFO

Article history:

Received 15 June 2012

Received in revised form

12 August 2012

Accepted 14 August 2012

Available online 30 August 2012

Keywords:

Time of Flight

Digital electronic design

Reconfigurable logic devices

Embedded system

Positron emission tomography

ABSTRACT

This contribution shows how to perform Time of Flight (TOF) measurements in PET systems using low-cost Field Programmable Gate Array (FPGA) devices with a resolution better of 100 ps. This is achieved with a proper management of the FPGA internal resources and with an extremely careful device calibration process including both temperature and voltage compensation. Preliminary results are reported.

© 2012 Elsevier B.V. All rights reserved.

1. Introduction

Nowadays, there is a considerable research activity concerning the development of new materials applied to the PET systems detectors, like those based on solid state photosensors, which can determine the positron annihilation gamma particles with higher accuracy. Such photosensors have the additional advantage to be almost non-sensitive to magnetic fields as those generated by an MR scanner and, thus, enabling the possibility to be PET/MR combined.

In addition, they present a very fast time response, enabling the possibility of accurate TOF measurements also [1]. These could significantly improve the quality of PET images [2,3]. However, currently there exist very few PET systems [4] with this capability, because it is difficult and in consequence expensive, to develop and to implement the electronic systems required to acquire TOF with sub-nanosecond resolution.

There are several alternatives for implementing the TOF measurement, most of them based on ASICs, that are expensive, hardly reconfigurable, and they need to be produced in high volumes to be cost-effective [5]. However, the FPGA reconfiguration capability and their low cost compared to other solutions have made them the ideal candidates for the development of complex electronic equipment, as PET systems [6]. Additionally, it is technically possible to use FPGAs to measure TOF with a very high time resolution [7],

much better than the resolution of current commercial PET systems (around 600 ps).

This contribution describes how to implement a TOF system using a low-cost FPGA with a resolution better than 100 ps, in order to provide cost-effective trigger devices with TOF capability to PET systems.

2. System architecture

The system architecture is based on a Time-to-Digital (TDC) core implemented in hardware description language (VHDL) that generates timestamps with accuracy better than 100 ps for every incoming pulse. The TDC core is embedded on a FPGA and controlled by a 32-bit MicroBlaze Xilinx Soft Processor. Apart from the TDC core, the software is programmed in standard C language, so is relatively easy and fast to introduce any modification or improvement into the system. The system architecture is illustrated in Fig. 1.

The signal coming from the PET detector is injected into one of the multiple channels of the trigger system. A fast timing signal generator (TSG) adapts the voltage level to those required by the FPGA, while preserving the timing information.

The TDC core determines the timestamp for every input signal and stores it in a FIFO memory, for asynchronous communication with the microprocessor. It also stores information about the channel, which generated that signal.

The microprocessor retrieves the timestamp and the channel (detector) identifier from the FIFO memory. Then, by knowing the detector coincidence map and the time difference between two consecutive events, the microprocessor selects the true coincidences.

* Corresponding author. Tel.: +34963543453.

E-mail address: Jose.Torres@uv.es (J. Torres).

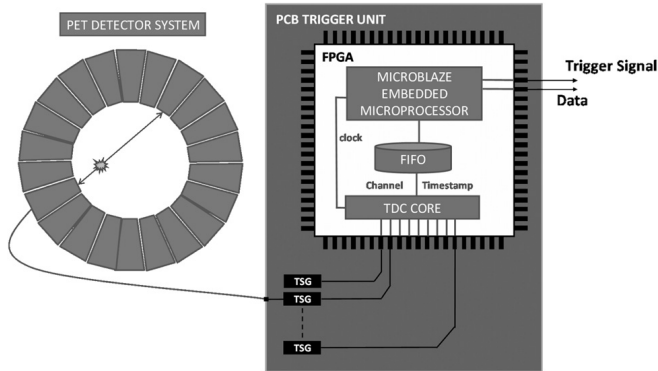


Fig. 1. TOF-PET system architecture.

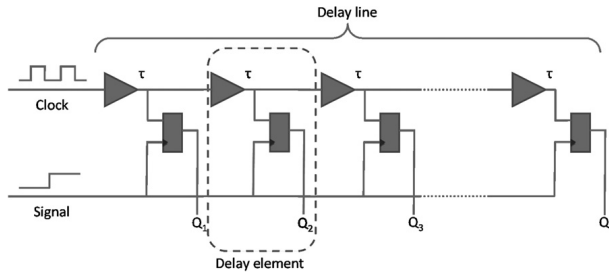


Fig. 2. Delay line used in the TOF-PET system.

In that case, the trigger signal is activated and information about the coincidence (time difference and channel numbers) is also provided.

Using the proposed TOF-PET system architecture, it is possible to obtain a TOF resolution of about two orders of magnitude better than the FPGA clock period (10 ns).

3. Implementation

Due to its complexity, the TDC core is the most critical component of this architecture. A chain of delay elements is formed; each of them based on fast carry (CARRY4 block, typically implemented in Xilinx FPGAs) primitives with delay ranges between 10 and 50 ps each. The total delay is greater than the system clock period. The clock signal is injected into the delay line, and when the data signal to be time stamped arrives, the propagation status of the clock signal across the delay line is measured. Using this novel technique, time measurements with resolution under the system clock period can be achieved. A scheme of the implementation is shown in Fig. 2.

The system calibrates itself. Before starting the TOF measurements, the system has to be feed with randomly time distributed pulses. These pulses are introduced into the delay line and the number of reached taps is stored in a histogram. If the pulses are truly randomly distributed, the height of each histogram column will be proportional to the time of delay of each tap. The more delay of the tap, the higher number of elements will contain.

The system uses this histogram in order to calculate the time delay W of each delay element. In fact, if we assume that the total amount of taps contained in the delay line is n , the individual time delay of each tap would be:

$$W(n) = (H(n+1)/C)T_{CLK}$$

where C is the number of calibration pulses, $H(n)$ is the number of times that the calibration pulses have reached the tap n is the last tap, and T_{CLK} is the system clock period.

This self-calibration capability is one of the major advantages of this design because the TOF results are independent of the particular implementation and FPGA used. Obviously, using this technique no manual routing is required.

Additionally, a ring oscillator based on a chain of NOT gates is implemented. Assuming that temperature and/or voltage fluctuations will affect equally the components of the ring resonator and those of the delay chain, the system measures periodically the frequency of the ring resonator and uses this value to compensate these fluctuations. Therefore, automatic compensation for power supply and/or thermal variations is implemented.

4. Results

The described system has been implemented on a FPGA Spartan-6 from Xilinx, according to the architecture shown in Fig. 1. Preliminary results have been already obtained using this

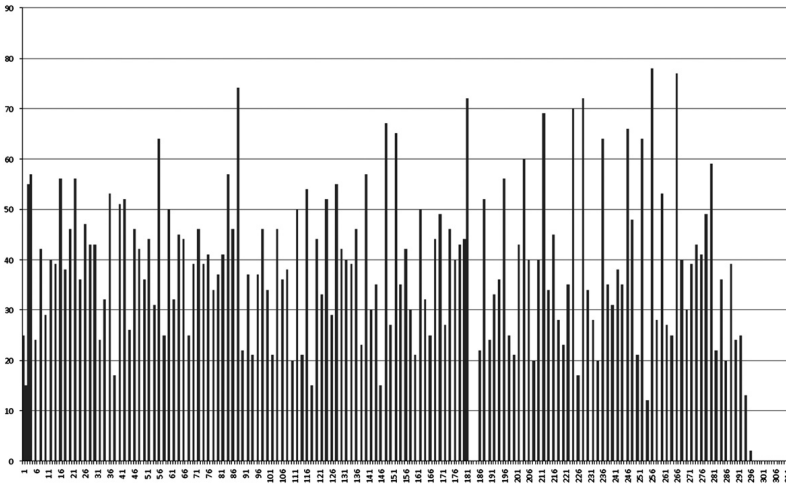


Fig. 3. Calibration histogram (frequency vs. tap number).

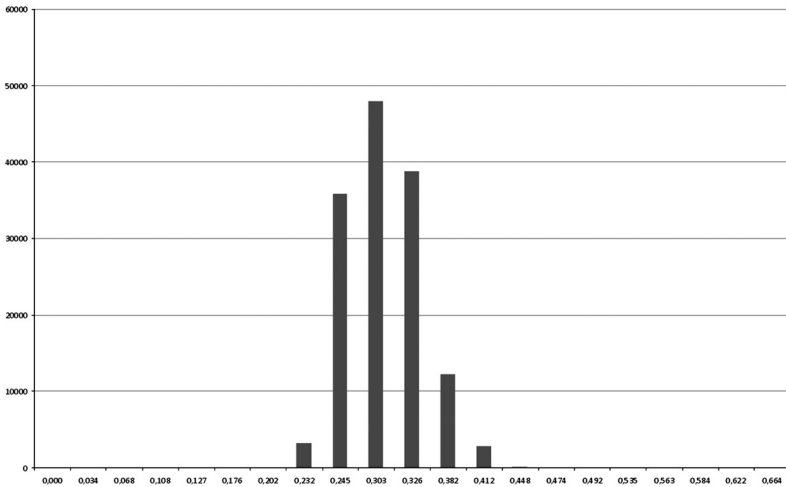


Fig. 4. TOF measurement results (frequency vs time (ns)).

setup. For the initial calibration, randomly time distributed pulses have been injected into the system and the position of the clock pulse along the delay chain has been registered. The data is shown in Fig. 3.

As it can be seen from the figure, the last tap reached by the clock signal is the tap number 296. As the system clock period is 5 ns (200 MHz) that means that the accumulated delay time at tap 296 is 5 ns. As the histogram columns are proportional to the time delay of each tap, from this histogram the specific time delay

of each tap can be calculated. As expected, the delays are not uniform.

After calibration, TOF measurements can be performed. To calculate the system resolution, a delayed version of the system clock signal is measured 5000 times, and a histogram is built using the measured data. The TOF measurement results are shown in Fig. 4.

The represented values show a Gaussian distribution with a mean value of 0.299 ns and a standard deviation (σ) of just

0.061 ns. These results are still very preliminary and additional work is required but, if confirmed, indicates that it is possible to achieve a TDC with a resolution better than 100 ps using a low-cost FPGA.

5. Conclusions

The design and implementation of a TOF system using a low cost FPGA is presented. The results, even though very preliminary, seem to confirm that the adopted approach is valid and time resolutions better than 100 ps can be obtained.

Additional intensive work has to be done in order to validate the system resolution, especially regarding temperature and voltage fluctuations.

References

- [1] P. Buzhan, et al., *Nuclear Instruments and Methods A* 567 (2006) 353.
- [2] S. Sürti, et al., *Journal of Nuclear Medicine* 48 (3) (2007) 471.
- [3] S. Vandenberghe, et al., *Physics in Medicine and Biology* 51 (6) (2006) 1603.
- [4] H. Zaidi, N. Ojha, M. Morich, et al., *Physics in Medicine and Biology* 56 (10) (2011) 3091.
- [5] Worchel Jerry, The field programmable gate array (FPGA): expanding its boundaries. In-Stat Market Research, 2006, p. 1–42. <<http://www.instat.com/abstract.asp?id=68&SKU=IN0603187-SI>>.
- [6] M.D. Haselman, et al., CiteSeerX—Scientific Literature Digital Library, (2010)<http://dx.doi.org/10.1.1.152.3344>.
- [7] C. Favi, et al., *Proceedings of the ACM* 2009 (2009) 113.

Capítulo 4

Implementación del TDC en una FPGA

En este capítulo se describe de forma detallada toda la estructura del sistema para medida de tiempos precisa. Se proporcionan los detalles de su implementación y se presentan diversas medidas que validan las especificaciones fijadas.

4.1. Time-to-Digital Converter based on FPGA with multiple channel capability

Autores: José Torres, Albert Aguilar, Raimundo García-Olcina, Julio Martos, Jesús Soret, José María Benlloch, Antonio J. González y Filomeno Sánchez.

Publicado: IEEE Transactions on Nuclear Science, Vol 61, No 1, pp. 107-114 (2014).

Factor de Impacto (2012): 1.219

Cuartil (categoría “Nuclear Science & Technology”): Q1 (2012)

Resumen: En este segundo artículo se desarrolla en más profundidad la idea presentada en el capítulo 3. En primer lugar se desglosa al detalle la composición del bloque de medida de tiempos (de ahora en adelante TDC). Se proporcionan medidas de estabilidad, tiempo muerto, linealidad, etc., todos ellos parámetros que determinan la capacidad del TDC. Uno de los problemas con el que cuentan las FPGAs para el propósito que se expone es la inestabilidad de los retardos ante variaciones de voltaje y temperatura. Es por esto por lo que se propone un método de compensación basado en osciladores de anillo, cuya frecuencia es dependiente de tales cambios. Esto se aprovecha para extrapolar los valores de los retardos antes las fluctuaciones, manteniendo la línea calibrada en todo momento.

El objetivo principal de este artículo es explotar una de las características clave del sistema, que es la capacidad de gestionar múltiples canales. Se integran un total de 24 canales simultáneamente a los cuales se envían pulsos para estimar retardos entre ellos. Se establece un emplazamiento de canales distribuidos de forma controlada para conseguir retardos progresivos y se calculan las diferencias de tiempo con respecto a un canal

referencia. Se obtiene una precisión promedio para todos los canales de unos 85 ps FWHM. Las causas de la mejora con respecto al caso del Capítulo 3 son diversas, entre ellas:

- Se utiliza un modelo de FPGA (Kintex-7, mod. XC7K325T) que presenta mejoras con respecto al modelo anterior. Además de tener capacidad para albergar más canales (la anterior estaba limitada a unos 10), la lógica interna es de mayor velocidad (menor retardo interno de propagación) con lo que la incertidumbre en la medida también es menor.
- Se realiza un emplazamiento que permite una mejor distribución de la señal de reloj a las líneas de retardo. Así como en el caso anterior las líneas de retardo se habían emplazado en posiciones arbitrarias, en este caso se colocan de tal manera que presenten la menor discontinuidad. Además, se minimiza el rutado de los bloques de entrada a las líneas para reducir efectos de acoplamiento no deseados.
- Se incrementa la precisión en la determinación del retardo individual de cada elemento de la línea de retardo. Esto se consigue mediante la generación de más muestras por cada proceso de calibrado.
- Se minimizan los efectos no deseados debidos a procesos de variación de voltaje y temperatura (se produce una variación en los tiempos de propagación de la lógica interna). El oscilador de anillo, que antes estaba emplazado de forma arbitraria, se coloca muy cercano a las líneas de retardo, con lo que las variaciones que experimenta debido a tales procesos son compartidos con mayor exactitud con los de las líneas de retardo y pueden, por tanto, compensarse más fácilmente.

En la última parte del artículo se realiza una prueba de compensación de temperatura, en la que se muestra la respuesta del sistema con/sin compensación y en la que se comprueba la efectividad de este ante el citado problema.

Time-to-Digital Converter Based on FPGA With Multiple Channel Capability

J. Torres, A. Aguilar, R. García-Olcina, P. A. Martínez, J. Martos, J. Soret, J. M. Benlloch, P. Conde, A. J. González, and F. Sánchez

Abstract—This contribution describes an accurate approach implementing a Time-to-Digital Converter using a Field-Programmable Gate Array (FPGA) device. Time differences with a FWHM better than 100 ps for 24 pairs of channels working simultaneously have been achieved. This was possible through the proper management of FPGA internal resources and by an accurate device calibration process minimizing the effect of temperature and voltage fluctuations. The system calibration results and the time differences between multiple channels are presented. The current approach suggests the possibility of carrying out precise Time of Flight (TOF) measurements with, for instance, Positron Emission Tomography (PET) systems.

Index Terms—Delay lines, field programmable gate arrays, positron emission tomography, time measurement.

I. INTRODUCTION

THE improvement that Time of Flight (TOF) measurements can provide for image quality in Positron Emission Tomography (PET) systems was experimentally demonstrated several years ago [1]. Due to the complex method suggesting implementation of electronics to achieve picosecond resolutions, there exist very few PET systems, which enable this TOF capability [2].

Reconstruction approaches in conventional PET systems only record that the two photons detected are within the same time coincidence window and, therefore, belong to the same positron annihilation event. Such an event is registered along the line connecting the two coincidence detected impacts with the same emission probability. However, in PET systems enabling TOF capabilities, it is possible to measure the time arrival difference of the two resulting gamma rays, providing a better localization of the annihilation event along the line connecting the two detectors. Nevertheless, the position is blurred by a time measurement uncertainty, termed time resolution.

There are several approaches to electronically implement TOF measurements. Most of them are based on Application

Specific Integrated Circuits (ASICs), which offer a great advantage in terms of recurring costs as very little material is wasted due to the fixed number of basic elements in the design. Although the recurring cost of an ASIC is quite low, its non-recurring cost is relatively high. Another major drawback of ASICs is that they are nearly unconfigurable, in addition to needing to be produced in high volumes to be cost-effective [3].

In recent years, the development of very high performance Field-Programmable Gate Arrays (FPGAs) has allowed for their successful application in a wide spectrum of areas [4]. FPGAs present high-speed data transfer, fast processing capabilities and the ability to simultaneously handle a huge number of electronic signals. Moreover, they enable the possibility of reconfiguration to adapt to a very wide range of applications without the need for modifying the hardware design. All these features have served to promote FPGAs as ideal candidates for the development of complex electronic systems.

FPGAs internal structures allow one to accurately determine the TOF of gamma rays, improving the signal to noise ratio of the reconstructed image [4]. The technical feasibility of using FPGAs to determine PET photons TOF with very accurate time resolution has been demonstrated [5], contributing to the improvement of commercially available PET systems (around 600 ps) [2]. The most significant advantages provided by FPGAs to PET systems are the high number of possible input channels and their huge data processing capability, allowing the implementation of complex detector coincidence maps in order to improve the true coincidence detection ratio. Additionally, the FPGA reconfiguration capability could allow for rearranging the detector setup without the need of a hardware redesign and in doing so becoming a cost effective solution.

Regarding TOF estimation, a possible approach to cope with time measurements below 1 nanosecond might be the use of high-speed clocks in the order of few GHz. Nevertheless, due to limitations in the bandwidth, this solution is not feasible in most currently available FPGAs [5].

The possibility of implementing Time-to-Digital Converters based on FPGAs has already been demonstrated [5]–[7]. Current FPGA TDCs relies on digital components such as buffers and flip-flops. There are several possible approaches, for instance, those that rely on the use of internal GHz ring oscillators, which are enabled when an input signal is received and the number of cycles counted. That is the case of [8], in which the purpose is to measure the width of a pulse and a resolution below 100 ps was achieved with the Altera Straix II device. Another common techniques take advantage of the internal logic gates, interconnecting several of them forming a chain, for which the

Manuscript received February 27, 2013; revised June 25, 2013 and September 13, 2013; accepted September 19, 2013. Date of publication November 11, 2013; date of current version February 06, 2014. This work was supported in part by the University of Valencia.

J. Torres, A. Aguilar, R. García-Olcina, P. A. Martínez, J. Martos, and J. Soret are with the Communications and Digital Systems Design Group (DSDG) Universidad de Valencia, Valencia 46010, Spain (e-mail: jose.torres@uv.es).

J. M. Benlloch, P. Conde, A. J. González, and F. Sánchez are with the Institute for Instrumentation in Molecular Imaging (I3M), Universidad Politécnica de Valencia-CSIC-CIEMAT, Valencia 46022, Spain.

Color versions of one or more of the figures in this paper are available online at <http://ieeexplore.ieee.org>.

Digital Object Identifier 10.1109/TNS.2013.2283196

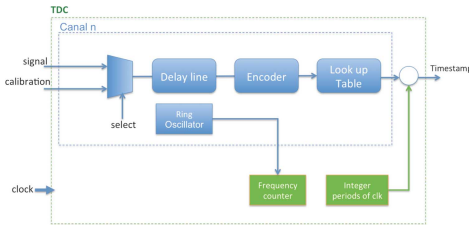


Fig. 1. Basic scheme of the implemented TDC.

individual delay is measured and the number of taps reached by the input signal counted.

In [5] a Virtex-5 FPGA is used to build a pipelined interpolating TDC. A counter is used for coarse measurements and a tapped delay line for the fine time ones. The achieved TDC resolution resulted on 17 ps. This solution is intended to be used as a high throughput time difference discriminator for optical communications. In [6] single tapped delay line interpolator in a Virtex-5 device is also used, obtaining a time resolution below 200 ps.

Another approaches, like [8], use multiple channels based on delay lines in combination with a technique called Wave Union, which minimize the ultra-wide bins problem by avoiding them. With such an alternative, a bin resolution of 10 ps has been achieved using an Altera Cyclone II FPGA device.

One of the drawbacks of a TDC-FPGA implementation is their sensitivity to voltage and temperature variations, which cause problems in system performance [5]. The problems relating to Process of Voltage and Temperature variations (PVTs) are also reported together with some strategies for assuring that their impact on the system performance is negligible.

This contribution presents the procedures carried out to accurately measure time differences with a resolution better than 100 ps and for multiple channels using a FPGA device. The suitability of a fine time measurement procedure for TOF calculation in PET systems will also be shown. Following an overview of the system architecture, the characterization of the TDC is described, focusing on aspects such as its calibration and PVT compensation. Then the implementation details of the experimental set-up used for time resolution measurements as well as its analysis will be described, followed by the conclusions and final remarks.

II. TDC ARCHITECTURE

The system architecture presented in this work relies on a Time-to-Digital Converter (TDC) core generating timestamps for every incoming pulse signal. The TDC architecture scheme is presented in Fig. 1.

The goal of the TDC is to recognize events and provide a digital representation at the time they occurred. The current implementation of the TDC core is based on a modified Vernier delay line, better known as Nutt structure [9]. The delay line is in charge of getting times under the clock period. Fig. 2 shows a basic delay line structure with logic gates connected to form a chain.

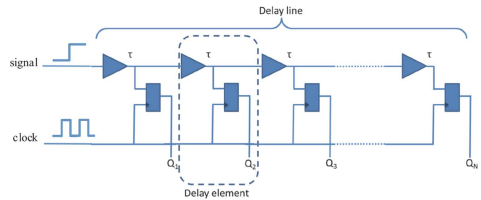


Fig. 2. Delay line scheme.

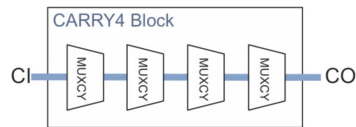


Fig. 3. Sketch of the Xilinx CARRY4 block.

Each delay element (also known as tap) corresponds to the MUXCY element of a CARRY4 block, found in several Xilinx FPGAs (see Fig. 3) [10]. The MUXCY can be modeled as a logic gate with certain time propagation so that the input signal is delayed as long as the total time of all taps belonging to the delay line. The goal of using a carry chain is that the blocks can only be placed along the longest physical dimension of the device. Once the first element is placed, the location of other taps is almost automatically determined by the tools used to program the device. Because of this, the delay line design is easily portable to other devices as long as they have this type of structure.

The lower the delay of each MUXCY element, the better time resolution achievable. Depending on the device selected and its speed grade, these times vary. Normally, propagation times are not presented as MUXCY individual delays in Xilinx datasheets but for the complete CARRY4 block delay. The time is designated by T_{BYP} and it is described as *CI input to CO output*. For instance, a Xilinx Spartan-6 device has a maximum T_{BYP} of 100 ps for a -2 speed grade type. Since each CARRY4 block has 4 MUXCY elements, the average delay for one MUXCY element is about 25 ps. In the case of a Kintex-7 Xilinx device, the maximum T_{BYP} is 60 ps, also for -2 speed grade. Consequently, the delay average of each MUXCY is about 15 ps, significantly lower than the Spartan device [10].

Once the signal crosses the delay line, the number of taps reached is counted (what it is also known as thermometer code) by an encoder and converted to time by means of a Look Up Table (LUT), which has previously stored the equivalencies in a calibration process (the details are presented in Section III). The timestamp is finally generated using a combination of the integer number of clock periods and the fine time provided by the LUT.

III. TDC CHARACTERIZATION

In this work a 24 channel TDC has been implemented on a Kintex-7 device, more specifically on the xc7k325t-2ffg900 model. A 200 MHz oscillator with a frequency jitter of 20 ppm has been used as the system clock. The 24 channels distributed

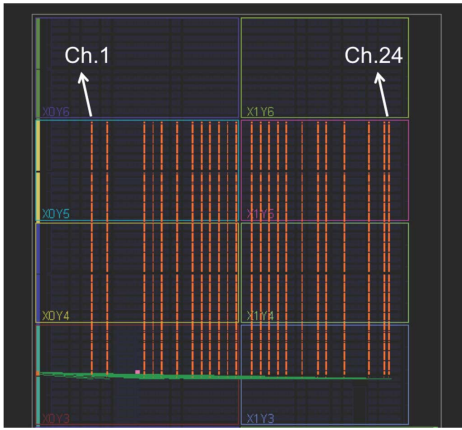


Fig. 4. Distribution of channels inside the used Kintex-7.

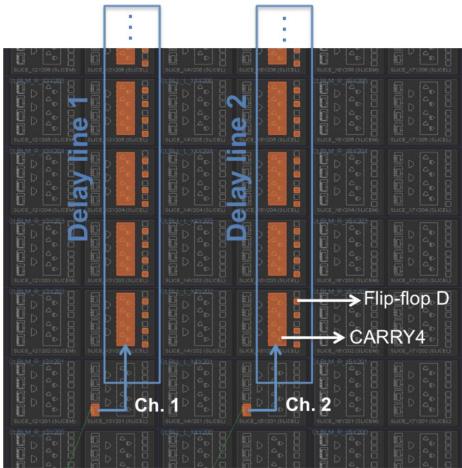


Fig. 5. Detail structure of two channels. When the system clock enables the output of D flip-flops, the position in the delay line of the incoming pulse is recorded.

inside the FPGA are depicted in Fig. 4. Here, the dashed orange blocks are the CARRY and sequential logic, while green wires at the bottom are the connections between the input signal and the delay lines.

It is convenient to note that only the delay lines are shown in Fig. 4 in order to clearly visualize the 24 channels and, for that reason, other resources are hidden.

Fig. 5 shows the details of two channels. It exhibits the scheme of the modified Vernier delay line already presented in Fig. 2, in which each tap has its own flip-flop D. Although it is not shown in this figure, the output of each carry block is connected with the next carry immediately above.

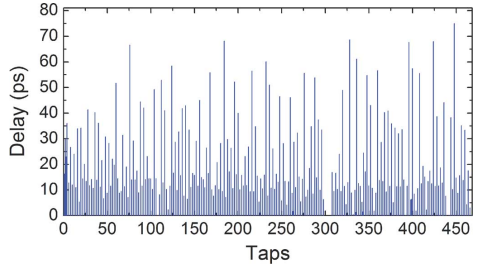


Fig. 6. Delay line histogram of the first channel.

A. Initial Calibration

An initial calibration is required since the delay of each tap must be determined in order to characterize the whole delay line of each channel. A ring oscillator based on 41 NOT gates has been implemented, resulting a ring frequency of around 30 MHz. Apparently, it should be enough to use only one ring oscillator for all channels but, due to the necessity of compensating for the PVT processes, an individual ring oscillator per channel is devised to compensate more accurately for the variations of each delay line (see the “C” section for more details).

The ring oscillator output is initially injected into the delay line with the purpose of measuring the events registered by the taps: each ring oscillator pulse is propagated through its corresponding delay line and only its rising edge is taken into account. When the system clock rising edge enables the output of D flip-flops, the last tap reached by the input signal is stored. Hence, the longer the delay of the tap, the more events it will register. If the sum of the delay taps is higher than the system clock period, there will be a tap from which no events will be registered because the system clock period has completed it already. Then, by sending pulses asynchronously, registering the taps in which the input event is and knowing that the last tap reached corresponds to a delay equal to the system clock periods, it is possible to compose a histogram of events and extrapolate the delay of each tap. This process is known as a code density test [11]. Due to the asynchronisms between the ring oscillator and the system clock, the entire delay line can be covered. Once each delay is determined, the values are stored in a LUT, enabling the TDC to start the measurements. The time that it takes to calibrate the delay line depends on the number of pulses that are defined. 200 000 pulses have been used, which results in a time of roughly 29 ms per channel since the logic resources to determine the values of the LUT are shared. It should be remarked that this calibration process is only carried out once, before the TDC starts to generate timestamps.

After the initial calibration process, the individual delay time of each element belonging to each delay line is determined, as depicted in Fig. 6, and time values are stored in the internal device memory.

The last tap reached for all the incoming calibration pulses shows that the total amount of time corresponds to the system clock period. For the system clock period of 5 ns, the last tap reached was 463, which means that the accumulated delay corresponds, precisely, to the system clock period. As the system

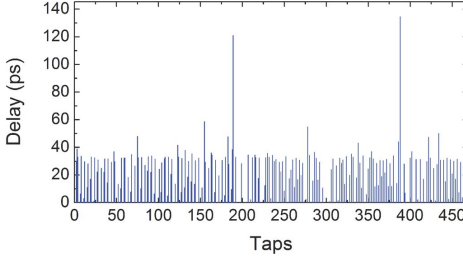


Fig. 7. Delay line histogram of the channel shown in Fig. 6 after the readjustment process.

clock period decreases, the number of required taps decreases as well. The more taps, the more space used on the FPGA, the more complex the design becomes and the higher accumulated jitter results [11]. The use of a higher system clock frequency was not permissible due to the constraints of the system some of which could then be compromised. Then, according to the Kintex FPGA model used, it was determined that the delay line length does not compromise our requirements in terms of number of channels and, thus, the decision was made to adopt the model presented. It is important to highlight the fact that almost the half of the taps do not present any delay at all. This might occur because of the intrinsic structure of the CARRY4 blocks and remain an unreconcilable hindrance.

Fig. 6, readily shows that time delays are not homogeneous. Depending on the period in which the incoming signal falls, the time accuracy can vary significantly. Therefore, different time events may not be registered with the same accuracy. The origin of delay discrepancies between taps seems to come from the CARRY4 structure. It was observed that, according to the carry chain distribution, some taps, which are placed far from others in a single CARRY4 block, register the event coming from the input signal first. This is due to the “look ahead” feature of the CARRY4 blocks, which is supposed to improve the CARRY logic and which allows some taps to accomplish their task easily. That might be the reason for the appearance of the bubbles mentioned in [5]. Another explanation can be found in the clock path differences that trigger the D flip-flops of the delay line. If those differences are notable, asynchronisms between them will appear and may cause the effect mentioned. In order to avoid this, the thermometer output was analyzed as well as the value of the flip-flops. The taps that are located nearest in the delay line and have registered the event later than the ones located further are realigned, giving more uniformity in the encoder counting process. Once these corrections were addressed, the initial calibration process was launched again, obtaining the histogram showed in Fig. 7.

An improvement in the homogeneity of the tap delays is observed. Except for some taps (those with longer delays due to the longer path until the next tap) the histogram presents a narrower distribution value. Specifically, the Fig. 6 presented a standard deviation of 17.8 whereas in the Fig. 7 the value decreases until 12.3 ps. As has been mentioned, this will allow the improvement on the achievement of specific time resolutions indepen-

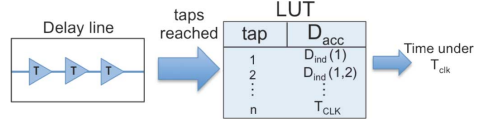


Fig. 8. Generation of times under T_{CLK} .

dent of the delay line period in which the input signal falls. In the following subsection, the homogeneity details resembling those from this last histogram are studied.

The individual delay D_{ind} of each tap can be determined using the following equation:

$$D_{ind}(n) = \frac{H(n+1)}{C} \cdot T_{CLK}, \quad (1)$$

where H is the number of hits registered in the n tap, C is the total amount of generated calibration pulses and T_{CLK} the system clock period. Once the individual delay is known, the time accumulated until the tap n has to be determined from the (2).

$$D_{acc}(n) = \sum_{i=1}^{n-1} D_{ind}(i). \quad (2)$$

Finally, the calibration process ends with the storage of the time values in a LUT, in which the fine portion (times below system clock period) of the timestamp is composed. Fig. 8 illustrates this process.

B. DNL and INL

The DNL is the difference of the bin size from its ideal value normalized to the ideal bin size value. The integral nonlinearity (INL) corresponds to the cumulative addition of the DNL values. By a proper tap selection, it is possible to reduce the DNL [6] but then the design becomes placement and routing dependent and this difficult the portability to other devices. Consequently, the decision was made to maintain the carry chain structure, taking into account about half of the bins since the others had such a short delay that was negligible in comparison.

In Fig. 9, graphs for both cases, both DNL and INL, are depicted. These values have been taken from the channel that presented the worst-case values. For a system clock period of 5 ns, the bin size is supposed to be 22.7 ps. For the differential non-linearity a value of less than 3 Least Significant Bits (LSBs) and an INL < 4 LSB, both peak to peak, has been achieved. Taking into account all channels, the mean value of DNL is 2.6 LSB and 3.4 LSB for INL. Moreover, the standard deviation obtained for the 24 channels has been of 0.8 LSB in the case of DNL and 0.6 LSB for INL.

C. PVT Compensation

When the delay line is characterized, a second calibration process takes place at the same time that the system provides timestamps. This is necessary since PVTs may affect the delay features of the carry chain [12].

In some contributions, additional delay lines strategically placed apart from the ones in charge of timestamp determina-

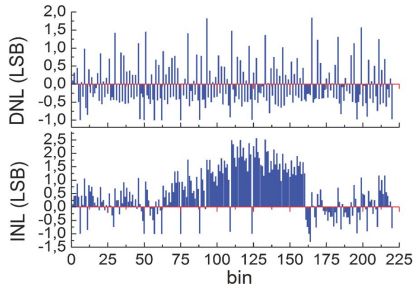


Fig. 9. Top, DNL measurement plot. Bottom, INL measurement plot. Both for the worst channel case.

tion are implemented for PVT compensation using the stable reference of the system clock period [13]. With this principle in mind, corrections to the timestamps can be made, for instance, by an adjusting the device voltage supply or through compensation of the stored bin time values.

In this work, the same ring oscillator used for initial calibration is reused for this purpose. While the system is working, the ring oscillator frequency is measured and compared with that which was stored at the beginning of the measurements. As the tap delay varies with the fluctuations of voltage and temperature [6], the ring oscillator frequency will vary with PVT, thus making it possible to extrapolate its effect on the delay line interpolating the differences of frequency values of the delay elements previously stored and overwriting them with new ones. In the Results section, Subsection B, the details of the experiment carried out are presented.

D. Dynamic Range

The TDC core generates timestamps, the widths of which are 32 bits: 20 for the system clock periods and 12 for the fractional portion, which means that for a system clock period of 5 ns, the LSB corresponds to 1.22 ps and the measurement range to up to 5.24 μ s. This is large enough for the application, since it does not require measurement of times above few hundred nanoseconds. In fact, a 32 bits timestamp is adopted because of the microprocessor register length that is used, which is precisely this value.

E. Deadtime

Between the arrival of the event to the TDC and generation of a timestamp, a certain amount of processes take place which induce deadtime. Among them, the propagation time until the event is registered (less than one clock cycle), the encoding process, the LUT access and the final operations to shape the timestamp. The total time is 30 ns for a system clock period of 5 ns, which determines the system deadtime. This time is not critical for the main application of the designed TDC, in which data with a periodicity above 100 ns for the incoming signals is expected.

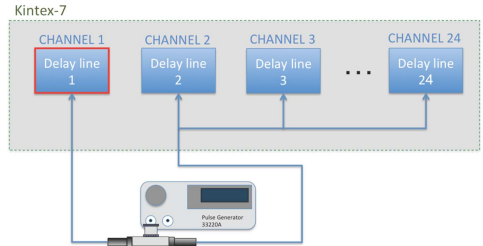


Fig. 10. Configuration scheme for the 24 channels.

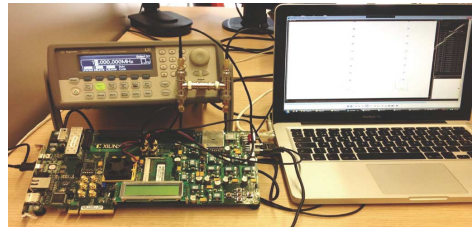


Fig. 11. Measurements set-up. KC705 Kintex-7 board, function generator and data acquisition.

IV. IMPLEMENTATION

In the following set-up, the usage of the new TDC for a possible PET system with up to 24 detectors with TOF calculation capabilities will be described (see Fig. 10). The signal coming from the pulse generator was injected into a taped delay line implemented in the Kintex-7. The output was divided into two identical signals in order to simulate the arrival of true coincidences coming from different detectors forming a PET system. Internally, in the FPGA, one of these signals is split into 23 more signals and each of them connected to one of the remaining delay lines.

The various delays are measured with respect to channel 1. Since the channels are placed along the FPGA (see Fig. 4), the higher the channel number the longer internal routing path associated and, thus, the longer time difference.

One of the main advantages of analyzing these time differences is that the input pulse is the same for all channels suppressing signal jitter and making the results independent of this effect. Doing the experiment in this way makes it possible to analyze the TDC core independently of the input signal jitter, allowing a precise characterization.

Fig. 11 illustrates the set-up used during the measurements. The signals coming from the pulse generator were injected into the Xilinx KC705 board through SMA connectors. A 12 MHz, 1 V_{pp} , $V_{off} = 0.5 V_{dc}$ square signal was generated. TDC timestamps were serial with the JTAG port to a computer, which receives and presents the data using the software ChipScope, which is an internal logic analyzer developed by Xilinx. This was necessary in order to analyze the more than 400 bits generated.

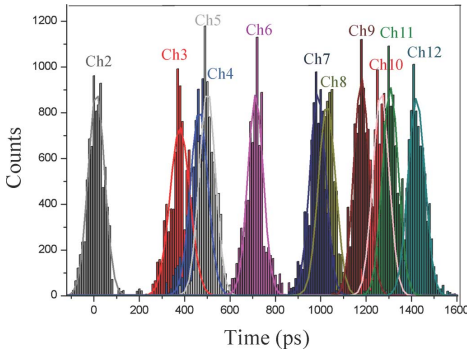


Fig. 12. Measured time differences between channel 1 and channels from 2 to 12.

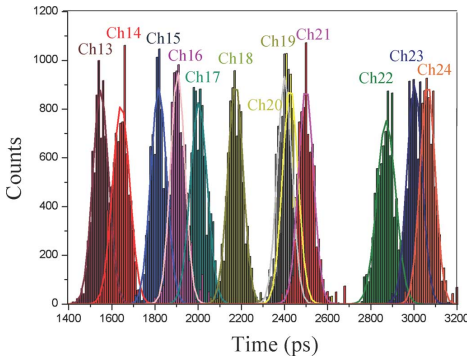


Fig. 13. Measured time differences between channel 1 and channels from 13 to 24.

V. RESULTS

A. Time Differences

Figs. 12 and 13 present the time differences between the first channel and the other 23. The profiles have been fitted to a Gaussian distribution. It is expected that the mean of each histogram would rise with the increasing number of channels. These results are generated with a total amount of around 6 500 samples each.

In Fig. 12 the location inside the FPGA of each channel (2 to 12) can be seen through the spaces between each histogram. The first histogram (time difference between channel 2 and channel 1) has its centroid at 10 ps while the last is centered at 1422 ps. Fig. 13 shows the results for channels 13 to 24. In this case, channel 13 has a time delay with respect to channel 1 of 1547 ps while channel 24 shows a difference of 3063 ps.

Fig. 14 represents the FWHM of all channels and their differences respect to the average value. Analyzing the FWHM values of all channels, it can be observed that, regardless of the point of the delay line on which the input signal falls, the FWHM values are very similar. In particular, the minimum value is 78.2

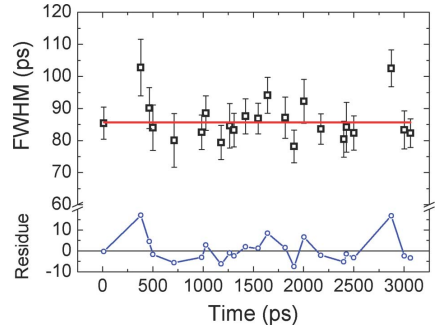


Fig. 14. Values of FWHM resulting of the time differences between the 24 channels.

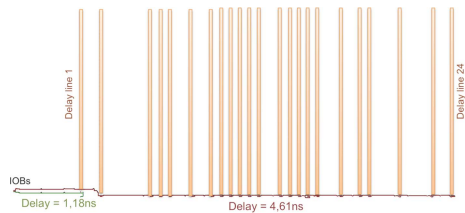


Fig. 15. Internal routing of the input signal to the delay lines. Times are measured with FPGA Editor tool.

ps whereas the maximum only extends to 102.7 ps, making the total deviation of all channels as small as 6.5 ps. The average value of the FWHM is 85.7 ± 1.2 ps showing that the system performance is dependent neither on the introduced delay nor on channel position.

In order to better understand the delay between each channel histogram, Fig. 15 plots an internal view of the Kintex-7 FPGA key delays measured with the specific tool FPGA Editor for Xilinx FPGAs. It also depicts the total delay of the signals coming from the Input/Output Block (IOB) to the delay lines (red bottom wire) as well as the delay from the IOB to the first channel (green bottom left wire), being 4.61 ns and 1.18 ns, respectively. The difference value (3.46 ns) is roughly the center of the histogram belonging to the channel 24 of Fig. 11. The remaining time differences can be extrapolated from the distance between the delay lines of Fig. 12.

B. PVT Compensation

In order to validate the compensation effects, the temperature of the internal FPGA die was measured through the internal on-chip sensor, which provides a digital value of it. The FPGA temperature was increased from 35° C to nearly 75° C by means of a climate chamber (Mod. ACS CH600C) with a ramp of 2° C/min. At the same time, pulses coming from the pulse generator used in the experiment of the last section were introduced into two TDC channels, numbers 1 and 2 (see Fig. 15), and the time differences between them calculated. Fig. 16 presents the results obtained. Time differences are Gaussian adjusted and their mean value evaluated. In order to test the compensation

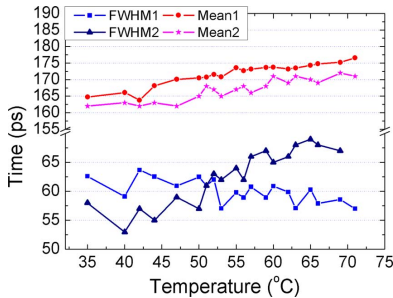


Fig. 16. Mean and FWHM values of the time differences corresponding to measurements with PVT compensation and without it.

effects of the suggested method, the time differences as well as the centroid values are calculated for two assumptions: one with PVT compensation and a second one without it.

The two lines on the top of the graph represent the Gaussian mean values of the time differences for both cases. The one with circles belongs to the case of PVT compensation whereas the one with stars belongs to the test without PVT compensation. Moreover, the two lines on the bottom of the graph show the FWHM of the time differences. The one with triangles and the other one with squares belong to non-compensation and compensation respectively. Fig. 16 shows the consequences of temperature variations on system performance for the two mentioned cases. For the one with PVT compensation, a low variation of the mean value with the temperature, in the order of $0.25 \text{ ps}/^\circ \text{C}$ (a 1.1% of the LSB), can be observed. However, this is not critical since the FPGA is intended to work under a temperature-controlled environment, in which the temperature will not fluctuate more than $\pm 5^\circ \text{C}$. Regarding the FWHM of the time differences, the fluctuation in the measured temperature range is also negligible, these being less than $0.13 \text{ ps}/^\circ \text{C}$. In contrast, in the case of turning the compensation off, the value of the time differences increases at the rate of $0.5 \text{ ps}/^\circ \text{C}$. Therefore, for a ten degrees variation, it would correspond to 5 ps of increment, what it is considered interesting to compensate. The mean values shows roughly the same tendency than the first case and thus, they can be neglected.

As it was expected, the FWHM of the time differences increases with the temperature. The reason is the increment of the bin delay with the temperature, which makes the measurements more imprecise.

Moreover, although the voltage variations have not been characterized, their effect on the system performance is also compensated in the same way in as much as, the higher voltage supply the longer tap time delay [6].

VI. CONCLUSION

In this work, the FPGA capabilities for precise time difference measurements have been tested. It has been shown the possibility of measuring time intervals with better than 100 ps accuracy. The histograms presented in Figs. 11 and 12 resulted in an average FWHM of $(85.7 \pm 1.2) \text{ ps}$ and 6.5 ps as the total

FWHM deviation for the 24 channels. The results show the capability of multiple channels working simultaneously.

The initial calibration has been carried out to characterize the delay line, i.e., to determine the delay of each tap. Pulses coming from an internal ring oscillator have been used for this purpose and the same ring oscillator has been reused for PVT compensation, resulting in a low dependence of system performance on temperature and voltage. A DNL of 2.6 LSB and an INL of 3.4 LSB for a LSB = 22.7 ps has been achieved for the 24 channels in an average, being the standard deviation of 0.8 and 0.6 LSB respectively. The DNL value can be improved through proper clock distribution inside the FPGA. The FPGA is divided into different clock sections, with an optimized clock path in order to minimize skew. Since the clock signal is in charge of triggering the delay line flip-flops, it may cause asynchronisms between them. Additional work is therefore required in order to evaluate such effects.

Concerning the deadtime and the delay line size, increasing the system clock frequency could reduce both. So, should the application need more data rate, its value could be modified. Additionally by reducing the delay line size, logic resources are gained as well as a reduction in the jitter introduced by the taps. Wave union techniques are usually implemented when the time between the delay line taps is significantly long [8], i.e., several times bigger than the average bin width. Concerning this design, wave union techniques would not introduce substantial improvement due to the adopted structure and the proper location of the carry chains.

Initial tests suggested the possibility of including more channels in a Kintex-7 type. In particular, up to about 64 channels might be allocated, since only 21% of device Slices have been occupied for the present test with 24 channels. The implemented TDC is intended to be used in a complete PET-TOF system [14], [15]. A time calibration process for such a PET system using photomultiplier tubes as photosensor and constant fraction discriminators for precise time information is currently being worked on.

Finally, the results here presented demonstrate the viability of using FPGAs for fine time measurements as TOF in complex PET systems, highlighting parameters such as the reconfigurability for implementing more channels and functionalities as well as the cost, this last being lower than a hundred of dollars for some models.

REFERENCES

- [1] S. Surti *et al.*, "Performance of philips gemini TF PET/CT scanner with special consideration for its time-of-flight imaging capabilities," *J. Nucl. Med.*, vol. 48, no. 3, pp. 471–480, Mar. 2007.
- [2] [Online]. Available: <http://www.healthcare.philips.com/-Gemini TF PET/CT>
- [3] The Field-Programmable Gate Array (FPGA): Expanding Its Boundaries, InStat Market Research, Apr. 2006.
- [4] M. D. Haselman *et al.*, "Digital pulse timing in FPGAs for positron emission tomography," *CiteSeerX-Scientific Literature*, 2010.
- [5] C. Favi and E. Charbon, "A 17 ps time-to-digital converter implemented in 65 nm FPGA technology," *ACM 2009* [Online]. Available: <http://infoscience.epfl.ch/record/139431>
- [6] C. Hervé *et al.*, "High resolution time-to-digital converter (TDC) implemented in field programmable gate array with compensated process voltage and temperature (PVT) variations," *Nucl. Inst. Meth. Phys. Res. A*, vol. 682, pp. 16–25, 2012.

- [7] S. Junnarkar *et al.*, "FPGA-based self-calibrating time-to-digital converter for time-of-flight experiments," *IEEE Trans. Nucl. Sci.*, vol. 56, no. 4, pp. 2374–2379, Aug. 2009.
- [8] Wu *et al.*, "The 10-ps wave union TDC: Improving FPGA TDC resolution beyond its cell delay," in *Proc. IEEE NSS Conf. Rec.*, 2008, pp. 3440–3446.
- [9] J. Kalisz, M. Pawlowski, and R. Pelka, "Error analysis and design of the nutt time-interval digitiser with picosecond resolution," *J. Phys. E: Sci. Instrum.*, vol. 20, pp. 1330–1341, 1987.
- [10] [Online]. Available: http://www.xilinx.com/support/documentation/data_sheets/ds182_Kintex_7_Data_Sheet.pdf
- [11] H. Menninga *et al.*, "A multi-channel, 10 ps resolution, FPGA-based TDC with 300 MS/s throughput for open-source PET applications," in *Proc. IEEE NSS Conf. Rec.*, 2011.
- [12] J. Song *et al.*, "A high-resolution time-to-digital converter implemented in field-programmable-gate-arrays," *IEEE Trans. Nucl. Sci.*, vol. 53, no. 1, pp. 236–241, Feb. 2006.
- [13] J. Wu *et al.*, "Firmware-only implementation of TDC in FPGA," in *Proc. IEEE NSS Conf. Rec.*, 2003, pp. 177–181.
- [14] J. Torres *et al.*, "High resolution time of flight determination based on reconfigurable logic devices for future PET/MR systems," *Nucl. Instrum. Meth. Phys. Res. A*, vol. 702, pp. 73–76, 2013.
- [15] W. Gao *et al.*, *Integrated High-Resolution Multi-Channel Time-to-Digital Converters (TDCs) for PET Imaging*. N. Laskovski, Ed., ISBN: 978-953-307-475-7.

Bloque 3

- **Capítulo 5.** Cálculo del TOF en un PET de mama comercial.
 - 5.1. Time of Flight measurements based on FPGA using a breast dedicated PET.
 - **Capítulo 6.** Determinación del TOF con bloques individuales de SiPMs.
 - 6.1. Time of Flight measurements based on FPGA and SiPMs for PET-MR.
 - **Capítulo 7.** Pruebas de TOF con matrices de SiPMs.
 - 7.1. Timing results using an FPGA-based TDC with large arrays of 144 SiPMs.
-

Capítulo 5

Cálculo del TOF en un prototipo PET-mama

Este capítulo integra el sistema diseñado en un prototipo de PET dedicado a la exploración de lesiones en mama. El sistema PET lo forman 12 módulos en forma de anillo. Se realizan medidas de tiempo de vuelo, analizando los beneficios que estas pueden tener en último término.

5.1. Time of flight measurements based on FPGA using a breast dedicated PET

Autores: Albert Aguilar, Raimundo García-Olcina, Julio Martos, Jesús Soret, José Torres, José María Benlloch, Antonio J. González y Filomeno Sánchez.

Publicado: Journal of Instrumentation, SISSA Accepted (2014).

Factor de Impacto (2012): 1.656

Cuartil (categoría "Instruments & Instrumentation"): Q2

Resumen: Una vez realizada la verificación de funcionamiento del TDC, se llevó a cabo su integración en un sistema real para explorar las posibilidades que ofrece y ajustar los parámetros para que sea compatible con un equipo comercial, en este caso un prototipo de PET de mama. Para ello, se preparó el siguiente set-up, en el que se integran diversos elementos que se explican a continuación.

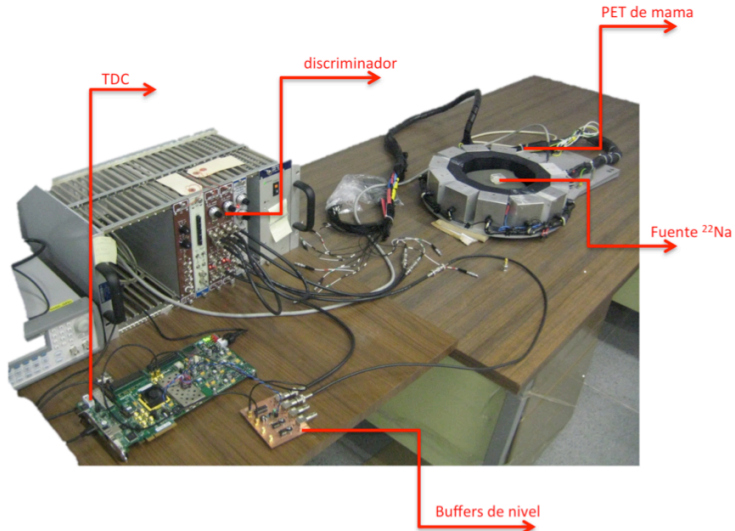


Figura 5-1. Esquema de montaje para las pruebas con el prototipo de PET de mama

El montaje experimental se compone de las siguientes partes:

- **Prototipo PET de mama.** Se utiliza un prototipo del PET de mama MAMMI (de la empresa Oncovision) compuesto por 12 módulos agrupados en forma de anillo (ver los detalles de la composición en el artículo). Los módulos, a su vez, están compuestos por cristales LYSO y fotomultiplicadores sensibles a la posición (PSPMTs).
- **Discriminador.** La señal de salida de los 2 módulos empleados en el experimento se conecta a los bloques discriminadores, trabajando en modo CFD. Se utilizan dos módulos comerciales de la empresa ORTEC.
- **Buffers de nivel.** Debido a que la señal de salida de los discriminadores tiene un valor de tensión de 5 V (la FPGA que se utiliza soporta tensiones máximas de 2.5 V) se diseñó una PCB convertora de niveles basada en buffers digitales (7407) con tensión regulable, para que se pueda adaptar a diversos niveles de tensión (la FPGA dispone de bancos de entradas/salidas que pueden operar a distintos voltajes). Hacer pasar la señal procedente de los fotomultiplicadores por estos dispositivos puede tener cierto impacto en la resolución final, dado que su retardo de propagación tiene un jitter asociado. Pero, tras caracterizarlo introduciéndolo junto con el TDC y un generador de funciones, se concluyó que su aportación era despreciable en comparación con la resolución del TDC.
- **Unidad de medida de tiempos TDC.** Se utiliza un kit de desarrollo de Xilinx (KC-705, familia Kintex-7, mod. XC7K325T) en el que se implementa el TDC multicanal. Se implementan dos canales para

poder hacer coincidencias con dos módulos, determinando así las diferencias de tiempo en la llegada de partículas a los detectores. La utilización de dos únicos canales se justifica por su simplicidad. Demostradas ya las capacidades de procesar múltiples canales en el Capítulo 4, lo que ahora se pretende es determinar la precisión que se podría obtener con módulos sensores. Los resultados serían extrapolables a un mayor número de canales.

- **Fuente radiactiva.** Se coloca una fuente puntual de sodio 11 kBq (0.3 μ Ci) en diferentes posiciones, cuya emisión de positrones produce aniquilaciones con electrones, derivándose fotones en direcciones opuestas que captarán los módulos del PET. Mediante este procedimiento, se simula el caso de lesiones tumorales como en su funcionamiento clínico.

El objetivo principal es reducir la ventana de coincidencias, que en este prototipo PET fue seleccionada a 5 ns, a un valor cercano al nanosegundo, pudiendo disminuir el ruido de fondo y obtener así los beneficios que ya se han explicado en capítulos previos. En el artículo se presentan diversas pruebas de linealidad y calibración del sistema completo, acabando con pruebas de precisión en la medida de tiempos que permitan aplicar técnicas de determinación del TOF.

Time of flight measurements based on FPGA using a breast dedicated PET

**A. Aguilar^a, R. García-Olcina^a, J. Martos^a, J. Soret^a, J. Torres^a, J. M. Benlloch^b,
A. J. González^b and F. Sánchez^b**

^a *Communications and Digital Systems Design Group, University of Valencia
Av. De la Universidad, 46100, Burjassot, Spain*

^b *Institute for Instrumentation in Molecular Imaging (I3M). Centro Mixto UPV – CSIC – CIEMAT.
Camino de Vera s/n, 46022, Valencia, Spain
E-mail: albert.aguilar@uv.es*

ABSTRACT: In this work the implementation of a Time-to-Digital Converter (TDC) using a Nutt delay line FPGA-based and applied on a Positron Emission Tomography (PET) device is going to be presented in order to check the system's suitability for Time of Flight (TOF) measurements. In recent years, FPGAs have shown great advantages for precise time measurements in PET. The architecture employed for these measurements is described in detail. The system developed was tested on a dedicated breast PET prototype, composed of LYSO crystals and Positive Sensitive Photomultipliers (PSPMTs). Two distinct experiments were carried out for this purpose. In the first test, system linearity was evaluated in order to calibrate the time measurements, providing a linearity error of less than 2% and an average time resolution of 1.4 ns FWHM. The second set of measurements tested system resolution, resulting in a FWHM as good as 1.35 ns. The results suggest that the coincidence window for the current PET can be reduced in order to minimize the random events and thus, achieve better image quality.

KEYWORDS: Time of Flight; Positron Emission Tomography; Field Programmable Gate Array; Position Sensitive Photomultipliers; Time-to-Digital Converter;

Contents

1. Introduction	1
2. System overview	2
3. Characterization	2
3.1 Time to Digital Converter	3
3.2 MAMMI breast prototype	4
4. Test and Results	5
4.1 Test 1. System calibration and linearity	5
4.2 Test 2. System resolution	6
5. Summary and discussion	7

1. Introduction

Nuclear medicine has significantly improved in recent years due to the progress made in various technological fields such as electronics, mechanics and materials, to name but a few. Among them, Positron Emission Tomography (PET) systems have notably evolved thanks to the appearance of new types of sensors and technologies that improve scanner performance. One of the features that new PET systems incorporate is the ability to measure the Time of Flight (TOF) of the gamma particles arising from electron-positron annihilation. TOF determination allows locating the annihilation events within the line of response inside the system's field of view. When TOF is enabled, the algorithm of image reconstruction converges faster than in a system without this feature for a given number of detectors [1]. This has the advantage of application in scanners with certain detector apertures, as for instance those used in carrying out biopsy procedures, without reducing image quality.

There are several approaches for TOF determination. Traditionally, the use of custom-manufactured circuits has been the most common. Such circuits, typically known as ASICs (Application Specific Integrated Circuits) need to be produced in high volumes to be cost-effective in most cases. In addition to the fabrication issues, they are difficult to reconfigure. However, their design can be precisely adjusted in a way that significantly increases device performance.

More recently, new technologies offer the possibility of using devices with multiple capabilities at relatively low cost. Field Programmable Gate Arrays (FPGAs) came up as a possible alternative, both for their competitive cost and their re-programmability. Moreover, these devices have already been used for TOF calculations [2][3].

In this work, a set-up for TOF determination using a breast dedicated PET prototype is presented. The various parts of the set-up are explained, focusing on the TDC-FPGA implemented and providing the results of the first TOF measurements on the breast PET device.

2. System overview

The experimental set-up used in this work is based on a dedicated breast PET and a custom trigger unit, as shown in Figure 1. The PET detector's outputs are connected to the PCB trigger unit in charge of determining the TOF of the gamma particles resulting from the positron-electron annihilation. The trigger is composed of Constant Fraction Discriminators (CFDs) and a FPGA, which contains a Time to Digital Converter (TDC) and an embedded software processor. A fast timing signal is distributed to different inputs of the trigger unit. Since the amplitudes of the signals (typically the last dynode of the PSPMTs, Position Sensitive Photomultiplier Tube) coming from the detectors are not always the same, the CFDs help to properly digitize the output signals [4]. If the amplitudes of the signal were constant, a leading edge could be used. Even so, alternatives such as double leading edge [5] must be undergoing to study in order to estimate the impact on the system performance.

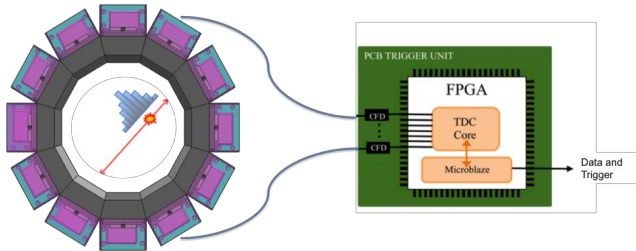


Figure 1. Architecture used for time measurements. The PCB trigger is composed of a digitizer for each detector module and an FPGA in charge of determining the TOF of the incoming particles.

The TDC generates a timestamp for each input signal, which is sent to the Microblaze, a Xilinx software processor core. They communicate with each other through Advanced Microcontroller Bus Architecture (AMBA) that is specially designed for 32-bit processors. Timestamps are stored in dedicated software registers and Microblaze checks if there is a true coincidence matching the timestamp differences of the confronted detectors. When this happens, it sends first the trigger signal to the acquisition PET system and then the value of the TOF. Once this data arrives, the acquisition system has at its disposal more information about the impact position inside the ring and it is easier for the software algorithm to reconstruct the image.

3. Characterization

The TDC architecture is based on a modified version of the Vernier structure called Nutt structure [6]. One part takes care of counting the system clock periods and the other of the sub-nanosecond measurements. The following subsections explain these two parts in more detail.

3.1 Time to Digital Converter

The TDC is composed of a basic counter that counts the entire periods of the system clock and an accurate counter, which counts the intervals below the system clock period [7]. The first one is a classical counter that counts in increments of each system clock event. The second one is implemented using a delay line. The combination of both is known as the Nutt method and allows the counting of relatively high intervals of time with a high degree of precision.

There are multiple ways of implementing a delay line. One implementation could consist of two oscillators with different frequencies, which would start to operate with start/stop signals coming from outside the TDC. When the leading edges of the oscillators coincide, the measurement ends and, by knowing the period of the two oscillators, the original time interval can be deduced. The drawback of this method is the difficulty in implementing two oscillators with stable and small frequency differences.

There is another approach in which the two oscillators are replaced by two tapped delay lines. They are composed of a number of logic elements connected forming a chain for which the input signal is propagated (Figure 2, left side). The TDC implemented in this work relies on this last topology, using logic gates forming the delay line and registering their state through flip-flops [8]. One of the drawbacks of the structure adopted is that the delay lines need to be calibrated so that the delay of each tap is determined. An internal ring oscillator that is asynchronous to the system clock carries this out. It allows the sending of pseudo-random pulses to the delay line and counting the events registered by the flip-flop of each clock cycle. Since the delay line is configured in such a way that its total delay is higher than the system clock period, the more counts registered by a tap, the higher the delay associated with it. Therefore, it is possible to save the delay belonging to each tap and to count the number of taps reached for every incoming pulse in order to determine the timestamps. This calibration process is only performed once and when finished, the TDC is ready to start the measurements. The processing time depends on the number of pulses introduced but is normally less than 1 ms.

Measurements of time differences were performed in order to check the TDC capabilities. Two channels were implemented and a signal coming from a function generator was split into two branches and each of them injected into the TDC. Sub-nanosecond time resolution was tested following the scheme depicted in Figure 2, right side. The results have been Gaussian adjusted and a standard deviation of 31.8 ps has been achieved for a pair of channels, resulting in a FWHM of 75 ± 5 ps.

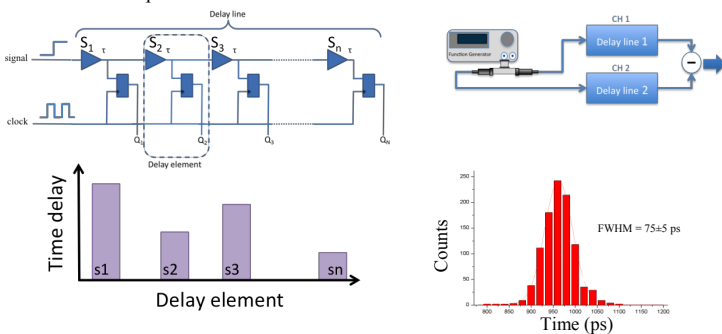


Figure 2. Adopted delay line structure based on the individual delay gate determination (left). Scheme of time difference measurements and histogram of the acquired values (right).

3.2 MAMMI breast PET prototype

MAMMI is a dedicated breast PET suitable for the detection of small size tumor lesions as well as for cancer therapy assessment [9][10]. MAMMI consists of 12 identical detector modules with a scanner aperture of 186 mm. Each detector is composed of a single black painted monolithic Cerium-doped Lutetium Yttrium Orthosilicate (LYSO) crystal measuring 50x50 mm², a PSPMT (Hamamatsu, model H8500) and an electronics board composed of a high voltage power supply and conditioning circuits. LYSO is suitable for PET systems due to its high light yield, fast response time and high density. The pyramidal shape of the crystals is used to minimize dead areas and increases the overall sensitivity of the scanner.

The last dynode signal of the PSPMT is conditioned by an operational amplifier, which amplifies and inverts the signal that will be used for timing measurements, the shape of which is shown in Figure 3 right.

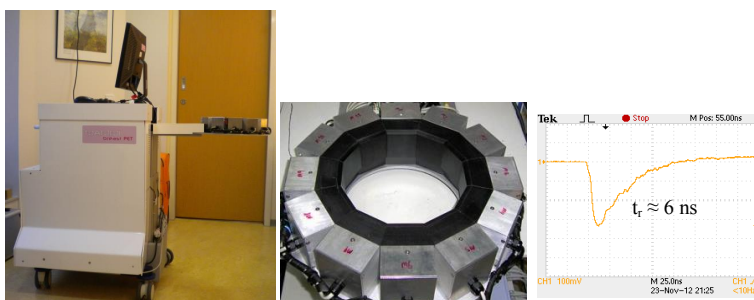


Figure 3. From left to right: MAMMI breast prototype; a close-up of the MAMMI ring; the output signal of the last dynode of a sensor after conditioning through an operational amplifier.

An energy spectrum is presented in Fig. 4. It corresponds to one of the modules of the ring and for a centered region of interest of roughly 5x5 mm². An energy resolution of ≈15% can be obtained from this plot. It also depicts the ADC linearity with a ratio of the gamma line at 1274 keV to the 511 keV photopeak energy of 2.48 measured (2.49 theoretical).

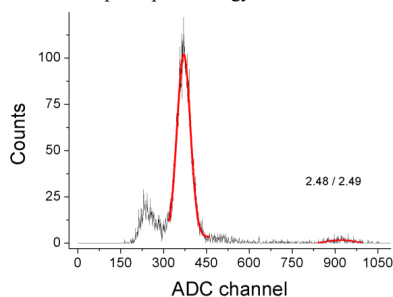


Figure 4. Energy spectrum corresponding to a single module.

4. Test and Results

4.1 System calibration and linearity

In this first test, a radioactive ^{22}Na source of 1 mm^3 active area was placed on the front face of one detector whereas that used for the coincidence was located at different positions with incremental distances of 5 cm, as the next figure shows. The two last dynode outputs of both detectors were directly injected into the CFDs, taking into account the rise time (t_r) of the signals to configure the delay time of the device. The CFD generates a bipolar output signal, which is the sum of two copies of itself: one delayed and inverted and the other one attenuated. Using such a method and with the proper configuration of its parameters, it is possible to achieve simultaneous zero crossing of all signals and in doing so, minimize the time walk. As has been briefly mentioned in section 2, the time walk is a time shift due to the amplitude differences between the sensor output signals, being that the rise time is independent of the signal amplitude. If the pulse rise time is defined as the time from 10% to 90% of the signal maximum, the delay must be equal to or less than (50%-80%) this rise time in order to minimize the walk time. The internal delay of the CFD must also be considered in establishing the final delay time which, depending on the design, may vary by a few nanoseconds. In the present configuration, the rise time of the signal was measured at about 6 ns and, according to the principles mentioned above, the delay has been fixed at 5 ns.

A dark blanket was used to cover both modules and protect them from the ambient light. The measurements were carried out for about 2,000 samples. The data were fitted to a Gaussian distribution, recording both its centroid and the standard deviation.

Figure 5 right depicts the centroid of each distribution as a function of the detectors distance. In the Y axis is represented the expected time steps of the six points measured, whereas in the X axis is shown the time differences measured. The determined regression coefficient resulted in 0.9985. Figure 6 shows the six distributions measured. The average Full Width at Half of the Maximum (FWHM) was found to be 1.416 ns with a small deviation of only 30 ps, which is an error of less than 2%. This experiment shows the high linearity of our measuring procedure and, moreover, provides us with an accurate time calibration method.

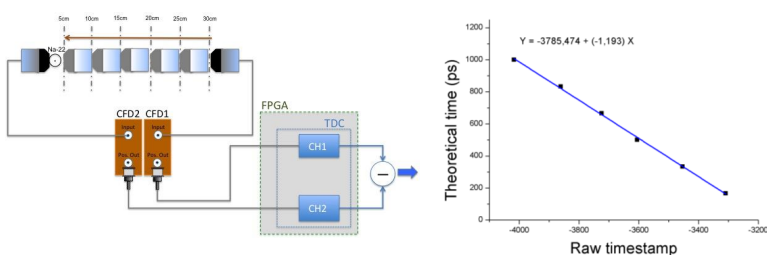


Figure 5. Left, linearity set-up. Right, results of the measured centroids.

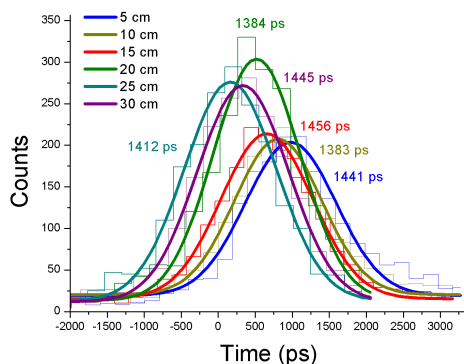


Figure 6. Representation of the Gaussian distributions referred to Figure 5.

4.2 System resolution

The electronics designed for TOF capabilities were tested with two opposite detectors of the MAMMI system recording the arrival time of coincidence events. The ^{22}Na source was placed at three different radial positions in the scanner field of view, namely the center and the edges of the PET aperture. The same conditions were applied for both the detectors and the CFDs as in the prior experiment. The time difference was measured, providing information on the source location within the ring, as shown in Figure 6 right. The profiles were fitted to a Gaussian distribution and their centroids and FWHM recorded. The measurements resulted in Gaussian centroids of -612, -9.3 and 640 ps (from left to right). Therefore, the distance between the two-border positions with respect to that in the center are 602.75 and 649.29 ps, *i.e.*, the distance between centroids is 1,252.05 ps. The Gaussian fits resulted in a centroid error of about 15 ps.

FWHM values are all about 1.4 ns, as expected according to the results of the previous experiment.

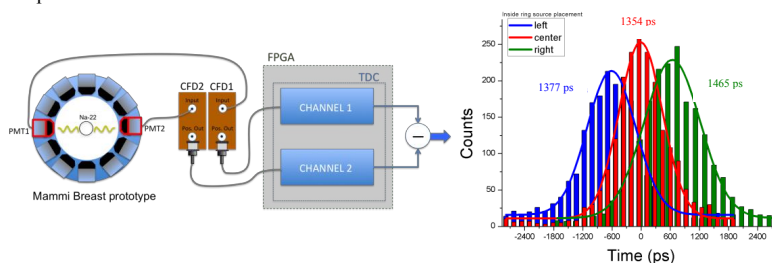


Figure 7. Timing measurement set-up used to test the system capability to estimate the TOF of the gamma particles produced by the radioactive source.

The distance between opposing front crystal faces is 190 mm. Since the most probable depth of interaction point is about 4.2 mm from this surface [11], there is a maximum TOF distance of about 661 ps. Therefore, the expected distance between the centroid of the TOF distributions of sources located on opposite edges of the ring should be of 1,326 ps.

There is a difference of 100 ps between the theoretical value (1,326 ps) and the obtained value (1,252 ps). The reason for the disparity in times could be due to an error in the positioning of the source, which is assumed to be about 1 cm (± 33 ps). Moreover, the error in the Gaussian fit adjust function can be considered to be about 15 ps. Thus, the spatial positioning and centroid uncertainties obtained during the experiment are estimated to be 66 and 30 ps, respectively. Summarizing, the experimental value with the error bars $1,252 \pm 66 \pm 30$ ps is in agreement with the theoretical value of 1,326 ps (without including uncertainties in the depth of interaction estimation).

5. Summary and discussion

The TDC developed has been tested with a breast PET prototype for TOF measurements. A set-up has been implemented to enable TOF measurements to be carried out. The proposed tests have demonstrated the viability of accurately measuring times that will result on a system performance improvement.

In the resolution test, the system capability of distinguishing the position of the source in few locations inside the ring has been shown. Due to the high transit time spread of the PSPMTs used (about 400 ps nominal) and electronic jitter, the best resolution achieved for this system has been limited to about 1 ± 0.03 ns FWHM. It seems that the conditioning electronic, which returns the signal shape shown in Fig. 3, is not responsible of the time resolution deterioration since the signal rise time remains constant after its conditioning. With the proper data treatment, it might be possible to distinguish 3 regions inside the scanner field of view.

During the system linearity test the registration of coincidences in six positions was demonstrated, resulting in a regression coefficient of 0.99. Furthermore, the total deviation of the FWHM of the Gaussian distributions for the six cases has been 74 ps for a resolution of 1.4 ns on average. In Figure 7 it can be appreciated a 15 counts offset for all distributions. This continuous distribution is most likely due to random coincidences, although other contributions such as scatter events and the natural radiation of the Lutetium contained in the LYSO crystals could also contribute.

The obtained results are in agreement with the literature. For example, in [12], the authors also used the H8500 PSPMTs coupled to LYSO crystals (20 x 20 array of $2 \times 2 \times 10$ mm³), being these pixelated instead of monolithic. They use a commercial data acquisition system for collecting and manage the data using a coincidence window of 12 ns. With this configuration, they obtain a 1.16 ns resolving time. But it has to take into account that pixelated crystals offers a better performance compared to monolithic due to the higher scintillation light transmitted to the photosensor, which is a crucial factor to improve the system performance.

The time resolution achieved with the TDC and the PET system could reduce the coincidence window to a value of between 1.5 and 2 ns (in this prototype the coincidence window was set to 5 ns in most of the experiments [9, 10]). This will decrease the number of acquired random events, which for a breast dedicated PET might be significant. Certainly, this fact would translate into improvements in the reconstructed image.

Finally, the results suggest that by improving the discrimination electronics of the dedicated breast PET, it might be possible to reach higher detector performance, namely spatial resolution.

References

- [1] M. Conti, *State of the art and challenges of time-of-flight PET*, Physics in Medicine and Biology, 25, 1-11 (2009).
- [2] W. Gao, et al., *Integrated High-Resolution Multi-Channel Time-to-Digital Converters (TDCs) for PET Imaging*, N. Laskovski (Ed.), ISBN: 978-953-307-475-7.
- [3] M. Haselman et al., *FPGA-Based Front-End Electronics for Position Emission Tomography*, NIHPA, 93-102 (2009)
- [4] J. Liu et al., *Monte Carlo Simulation Study on the Time Resolution of a PMT-Quadrant-Sharing LSO Detector Block for Time-of-Flight PET*, IEEE NSS Conference Record M18-2, 3294-3304 (2007).
- [5] A. Gola, C. Piamonte, A. Tarolli, *The DLED algorithm for timing measurements on large area SiPMs Coupled to Scintillators*, IEEE Transactions on Nuclear Science, Vol. 59, No. 2, 358-365 (2012).
- [6] J. Kalisz, M. Pawlowski, R. Pelka, *Error analysis and design of the Nutt time-interval digitiser with picosecond resolution*, J. Phys. E: Sci. Instrum. 20: 1330–1341 (1987).
- [7] J. Torres et al., *High resolution Time of Flight determination based on reconfigurable logic devices for future PET/MR systems*, Nuclear Instruments & Methods In Physics Research A, 702 pp. 73-76 (2013).
- [8] J. Torres, et al., *Time-to-digital converter based on FPGA with multiple channel capability*, Transactions on Nuclear Science, ISSN: 0018-9499, Issue: 99 (2013)
<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=6661408>
- [9] L. Moliner et al., *Design and evaluation of the MAMMI dedicated breast PET*, Med. Phys. Vol. 39, No.9, pp. 5393-5404 (2012).
- [10] A. González et al., *Design and first results of an innovative and dedicated breast PET*, Current Medical Imaging Reviews, Vol.8, pp. 144-150 (2012).
- [11] A. Soriano et al., *Minimization of Parallax Error in Dedicated Breast PET*, IEEE Transactions on Nuclear Science, Vol. 60, No.2, pp. 739-745 (2013).
- [12] H. Alva-Sánchez et al., *Initial characterization of benchtop microPET system based on LYSO crystal arrays and Hamamatsu H8500 PS-PMTs*, Nuclear Instruments & Methods In Physics Research A, 604 pp. 335-338 (2009).

Capítulo 6

Determinación del Tiempo de Vuelo con bloques individuales de SiPMs

La utilización de detectores SiPM pasa a ser la prioridad de la investigación debido a su insensibilidad a los campos magnéticos. En este capítulo se sientan las bases de detectores basados en esta tecnología, se hace un estudio de los factores determinantes en la resolución temporal, se acondicionan sus señales y se integran en un primer set-up para la medida de TOF.

6.1. Time of flight measurements based on FPGA and SiPMs for PET-MR

Autores: Albert Aguilar, Raimundo García-Olcina, Pedro A. Martínez, Julio Martos, Jesús Soret, José Torres, José María Benlloch, Antonio J. González y Filomeno Sánchez.

Publicado: Nuclear Instruments in Physics Research A 734 pp. 127-131 (2014).

Factor de Impacto (2012): 1.142

Cuartil (categoría “Nuclear Science & Technology”): Q2 (2012)

Resumen: Tras una primera prueba de concepto del TDC con equipos PET basados en Tubos Fotomultiplicadores, se establecieron las bases para implementar módulos basados en detectores de estado sólido como los SiPMs. Esta decisión viene fundamentada por la necesidad de trabajar con campos magnéticos para poder combinar la técnica PET con Resonancia Magnética (MR). Mientras que los PMTs ofrecen una sensibilidad a campos magnéticos tal que impide su uso dentro de intensos campos magnéticos, los SiPMs presentan una sensibilidad muy baja que les capacita para trabajar en dicho entorno. Se comienza con un estudio para explorar los parámetros que más influyen a la hora de determinar la respuesta temporal. Factores como el tiempo de subida de la señal (*rise time*), el voltaje de alimentación y el tiempo de tránsito de los fotones, se presentan como cruciales para conseguir una respuesta temporal con la menor incertidumbre. Una vez concluido el estudio, se comienza con la implementación de multitud de alternativas para acondicionar la señal de salida del SiPM. Tras algunas

pruebas con pequeños módulos, se implementa el circuito que se ilustra a continuación.

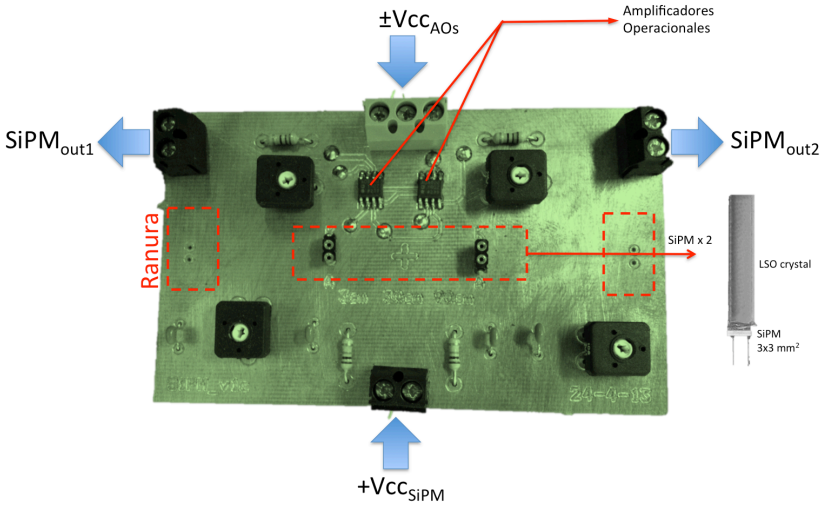


Figura 6-1. Prototipo de PCB para el acondicionamiento de los SiPMs.

Como se puede comprobar, el circuito se compone de diversas ranuras para colocar los bloques de detectores compuestos por un SiPM acoplado a un cristal centelleante, posibilitando incluso alejarlos entre sí para calcular diferentes tiempos. La fuente emisora de positrones se coloca en medio de los detectores. El pulso que generan los detectores al recibir una partícula gamma, entre otras fuentes, se acondiciona mediante los amplificadores operacionales para que, finalmente, se envíe a la etapa de discriminación mediante las correspondientes salidas (ver detalles en el artículo). La alimentación de los SiPMs (de +30 V aproximadamente para los SiPMs de KETEK¹ que se han utilizado) se genera mediante una fuente continua externa que trabaja a 12 V. Finalmente, se utiliza un set-up basado en discriminadores de Ortec trabajando en modo *Constant Fraction Discriminator* (CFD), como en el caso Capítulo 4, y la FPGA Kintex-7 para el cálculo de tiempo. Se coloca de nuevo una fuente ²²Na para generar pares de rayos gamma y se obtienen resultados con una resolución menor al nanosegundo. Aunque este hecho sea positivo, se ha de tener la precaución de contemplar que se producirá cierto deterioro al combinar más bloques de SiPM para formar un detector de mayores dimensiones. Además, a posteriori, se comprobó que la resolución dependía de la optimización de diversas variables tales como tiempo de subida de la señal, temperatura, umbral de discriminación, tensión de ruptura etc., con lo que el margen de mejora se presumía amplio.

¹ www.ketek.net



Contents lists available at ScienceDirect

Nuclear Instruments and Methods in Physics Research A

journal homepage: www.elsevier.com/locate/nima

Time of flight measurements based on FPGA and SiPMs for PET–MR



Albert Aguilar^{a,*}, Raimundo García-Olcina^a, Pedro A. Martínez^a, Julio Martos^a,
Jesús Soret^a, José Torres^a, José M. Benlloch^b, Antonio J. González^b, Filomeno Sánchez^b

^a Communications and Digital Systems Design Group (DSDC), Universidad de Valencia, Spain^b Institute for Instrumentation in Molecular Imaging (IBM), Universidad Politécnica de Valencia – CSIC – CIEMAT, Spain

ARTICLE INFO

Available online 19 September 2013

Keywords:

Time of flight
Silicon photomultipliers
Time-to-digital converter
Field programmable gate array
Positron emission tomography and
magnetic resonance

ABSTRACT

Coincidence time measurements with SiPMs have shown to be suitable for PET/MR systems. The present study is based on $3 \times 3 \text{ mm}^2$ SiPMs, LSO crystals and a conditioning signal electronic circuit. A Constant Fraction Discriminator (CFD) is used to digitalize the signals and a TDC FPGA-implemented is employed for fine time measurements. TDC capability allows processing the arrival of multiple events simultaneously, measuring times under 100 ps. The complete set-up for time measurements results on a resolution of $892 \pm 41 \text{ ps}$ for a pair of detectors. The details of such implementation are exposed and the trade-offs of each configuration are discussed.

© 2013 Elsevier B.V. All rights reserved.

1. Introduction

Most commercial Positron Emission Tomography (PET) systems are implemented with Position Sensitive Photomultiplier (PSPMT) detectors. PET detectors receive the gamma particles as a result of the positron and electron annihilation. After the light conversion of the gamma particles by the scintillator crystal, PSPMTs have been traditionally used as transducers of the light to electrical current. With the advent of the ideas of employing PET systems in combination with Magnetic Resonance (MR) scanners, the use of such detectors has highlighted one of their weak points: they are not able to work under strong magnetic fields. Other drawbacks of PSPMTs are the high voltage operation (roughly a thousand of volts) and their relatively high transit time spread (TTS), which in most of the models is above 300 ps [1] and the sensitiveness to magnetic fields.

In order to face those limitations, other detector technologies have appeared as a possible replacement. Although there are some alternatives, the one that has outweighed all of them has been the Silicon Photomultiplier (SiPM) technology [2]. This new detector approach has come up with the use of SiPMs as a replacement for PSPMTs in order to overcome their limitations and, furthermore, include some advantages. They are able to work with low voltage supply, from 20 to 100 V. Moreover, they also have a fast response and high gain as well, almost as good as PMTs. But one of the most appreciated features is their ability to work under magnetic fields, which allows the placement of SiPMs-based PET detectors inside MR fields.

While the detectors performance has improved, the techniques to accurately measure the time interval between events have been

enhanced as well. This feature, called Time of Flight (TOF), has already been included in some commercial available PETs [3]. The improvement that TOF information can provide on the quality of PET images was experimentally demonstrated several years ago [4]. Although the use of TOF techniques in PET systems is becoming more popular in the last years, currently there exist very few PET systems enabling this capability, especially due to the fact that they require the development of complex electronics able to reach picoseconds resolutions. Conventional PET systems only have knowledge of the two detected photons within the same time coincidence window, thus belonging to the same positron annihilation event. However, in PET systems with TOF capabilities, it is possible to measure the difference in the time arrival of the two gamma rays, providing a better localization of the annihilation event along the line of response. Such an approach presents a better position uncertainty resulting from the TOF information.

Field-Programmable Gate Array (FPGA) devices present reconfiguration capabilities and a specific delay structure appropriate to measure times under nanosecond scale, becoming ideal candidates for the development of complex electronics as required for PET systems [5]. The technical possibility to use FPGAs to determine the TOF of PET photons with time resolutions better than 100 ns has already been shown [6]. This contribution describes a method for accurate TOF measurements using SiPM photosensors, inasmuch as the system in charge of that purpose is intended to be used in a PET device in combination with a Magnetic Resonance (MR).

2. Architecture overview

The implemented Time to Digital Converter (TDC) is intended to be used with PET, MR-compatible, systems enabling the TOF

* Corresponding author. Tel.: +34 96 354 4039.

E-mail address: albert.aguilar@uv.es (A. Aguilar).

determination (Fig. 1) [7]. A 32-bit MicroBlaze microprocessor controls the FPGA-based TDC. In the implemented set-up, two constant fraction discriminators (CFD) are used to properly digitalize the signals coming from PET detectors as well as to adapt the voltage level to those required by the FPGA, while preserving the timing information. The information concerning the input channel as well as the timestamp value associated to each channel is stored in the MicroBlaze software registers. The microprocessor retrieves the timestamp and the channel number from the memory and applies a pre-programmed algorithm in order to find true coincidences. These tasks consist of applying a coincidence map, which will check if the time difference between a detector and a confronted group of detectors is lower than certain value (also known as window coincidence).

3. SiPMs characterization for timing resolution measurements

There are some parameters that must be taken into account to obtain the highest throughput and the best timing resolution. Parameters such as the rise time and the TTS of the signal, the working temperature of the sensor, the voltage supply thereof, and the amount of received light, have direct influence in the system resolution [2,8]. In the case of the rise time, the faster the rise time the lower the jitter and, thus, it is recommended to obtain values of rise time as low as possible [9,10].

The TTS is also known as the intrinsic signal jitter of the detector. It is usually given by the manufacturers as the fluctuation in electron transit time between individual pulses in the single photoelectron event, and defined as the Full Width at Half of the Maximum (FWHM) of the frequency distribution of electron transit time. Therefore, as it is required to reduce the TTS, the number of photoelectron events produced should be maximized, which implies that a high amount of light coming from the crystal allows reducing the TTS.

Regarding the collected light, it has been demonstrated that the TTS is inversely proportional to the number of received photons, by the Photo Detection Efficiency (PDE) and by the geometry factor (G) [9]

$$\sigma_{TTS} \propto \frac{1}{\sqrt{N_{\text{photons}} \text{PDE} G}}$$

PDE is function of the voltage supply, as it has been pointed out in some publications [8,11]. Here, the PDE increases with the voltage supply until a certain point from which it starts to decrease. But the drawback is that the dark counts typically affecting SiPMs [11] also increase with the voltage bias. Thus, the trade-off must be evaluated in order to achieve a good PDE with the compromise of maintaining the dark counts as low as possible. The SiPMs performance is strongly conditioned by temperature [12] and, thus, they must be kept at a low and controlled temperature environment.

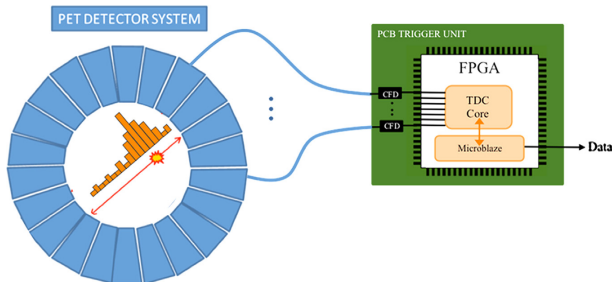


Fig. 1. PET detector system connected to a trigger for TOF determination.

In the performed tests SiPMs with an active area of $3 \times 3 \text{ mm}^2$ (KETEK, Germany, Mod. PM3350) have been used as a photosensor. Among their main features are the 3600 pixels that dispose; a PDE > 26% at 420 nm; a gain of 2×10^6 ; a TTS = 0.2 ns (FWHM); and a recommended bias voltage of about 30 V. $3 \times 3 \text{ mm}^2$ cerium-doped lutetium oxyorthosilicate (LSO) crystals with a height of 30 mm were used as scintillation material. These crystals were coupled to the photodetector by means of optical grease (Rhodorsil Paste 7, France). Further, both the crystal and the SiPM were white Teflon wrapped in order to collect as much as possible of the scintillation light (see the photographs in Fig. 2).

According to the SiPM manufacturer recommendations, a conditioning circuit was implemented. The rise time of the output signal is limited by the internal capacitance of the SiPM [13]. A positive bias voltage supply has been used, and, thus, it has been required to invert the signal in order to be sent to the digitalization stage. For that purpose, an operational amplifier (OA) (Analog Devices, Mod. AD8056) has been used as a transimpedance amplifier. Fig. 3 depicts the adopted circuit.

The entire circuit was covered with a blanket in order to isolate the set-up from the background visible light. The output SiPM signals before and after the OA are shown in Fig. 4. Before the OA, a 60 mV amplitude signal with a rise time of about 15 ns was measured, as it was expected according to the manufacturer.

After the OA, a negative signal whose rise time (in this case fall time) is about 25 ns and peak value of -70 mV approximately was observed. The rise time deterioration is caused by the OA. The slew rate of the used OA was not high enough to follow the changes in the input signal as well as its bandwidth, which is gain-dependent and lower than 300 MHz. More details about the use of the OA are provided in Section 4.2.

4. Trigger system

4.1. TDC

The TDC goal is to identify events and provide a digital representation at the time they occurred. The current implementation of the TDC core is based on a modified Vernier delay line, also known as Nutt structure [14]. The delay line is in charge of getting times under the clock period, which will allow measuring the arrival of coincidences coming from the detectors.

4.1.1. TDC architecture

The system architecture presented in this work relies on a TDC core generating timestamps for every incoming pulse signal. An architecture scheme is presented in Fig. 5.

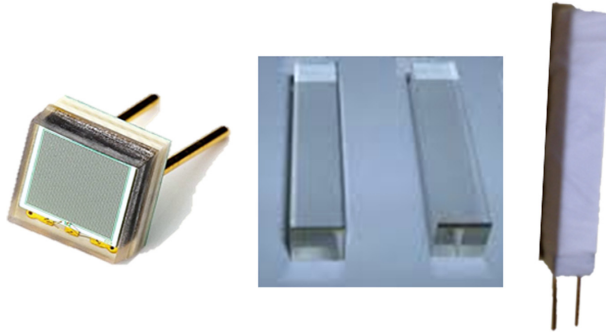


Fig. 2. Procedure to shape the SiPM detector with LSO crystal and teflon tape.

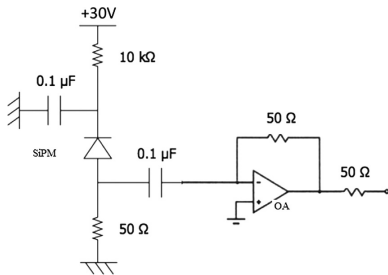


Fig. 3. SiPM conditioning circuit with operational amplifier.

In order to determine the timestamp of the incoming pulses, two types of counters are enabled. The first one is a system clock period counter, which counts the integer periods of clock signal from the last timestamp until the current one. The second counter is in charge of counting those time fringes whose times are below the system clock period. The component that makes that task is the delay line, which is based on a repetitive structure that Xilinx FPGAs usually present, called CARRY4 blocks [15]. Those blocks can be connected with each other forming a chain, which will be the basis of the delay line. All the CARRY4 blocks (from now on taps) have an associated synchronous flip-flop D to register the state.

Once the delay line is defined, the next step is determining the individual delay of each tap so that it will be possible to count the taps reached by an input signal and sum the accumulated delay as from the individual one. The task of such a process is carried out by the internal ring oscillator, composed by an uneven number of inverters. Since the oscillation frequency is asynchronous with the system clock, it permits to send pulses to the delay line and calibrate it because the more the tap delay, the higher the probability of registering an input pulse [16]. As from the sending of certain number of pulses coming from the ring oscillator, the hits registered by the taps are counted and, since the last tap reached will correspond to a delay equal to the system clock period, it is possible to estimate the individual delay of each tap taking into account the number of hits registered by each of them. The values of the tap delays are stored in RAM for online accessing when it is required.

4.1.2. TDC validation

In this work two channels have been implemented in a Kintex-7 device, more specifically on an xc7k325t-2ffg900 model. A 200 MHz oscillator with a frequency jitter of 20 ppm has been used as the system clock. With the purpose of measuring the TDC time resolution, a pulse generator has been used so that it generates events for both channels (see Fig. 6).

The signals from the external pulse generator were injected into the FPGA. The time difference on the arrival of the events between one cable of 5 ns and the other of 2 ns length is depicted in Fig. 7. Here, the time differences have been fitted to a Gaussian distribution. The measured centroid was 3.2 ns with a statistical deviation of 33 ps, resulting in a FWHM of 78 ± 7 ps. The 0.2 ns offset is due to the differences in the internal FPGA paths, which have not been compensated for as yet.

4.2. Digitalizers

The necessity for using the OA, apart from the fact that it inverts the signal coming from the SiPM as the digitalizer requires, is because it is also interesting when working with its threshold. The influence of the digitalizer on the time resolution has already been demonstrated [8]. The origin of that dependence is justified by the fact that the output of the SiPM corresponds to the sum of all individual SiPM cell. This means that all cells contribute to the rise time and, therefore, the sooner the signal is processed the better it performs. That brings the necessity of fixing the digitalizer threshold to values near to the arrival of the first photons. This is nevertheless critical because, if the threshold is too low, the circuit is more sensitive to electronic noise. It is mandatory to find a breakeven to maintain the threshold sufficiently low to minimize the influence of different SiPM cells but sufficiently high to avoid electric noise as much as possible.

For the described coincidence measurements, two Ortec Mod. 584 working as a CFD have been used. The signals are injected into the two modules generating a digital output pulse of 5 V amplitude and 500 ns width.

5. Results

The complete set-up for timing measurements is presented in the Fig. 8. The two SiPMs have been mounted in a PCB together with the conditioning circuit. Despite the fact that it is not depicted, there is an additional block between the CFDs and the

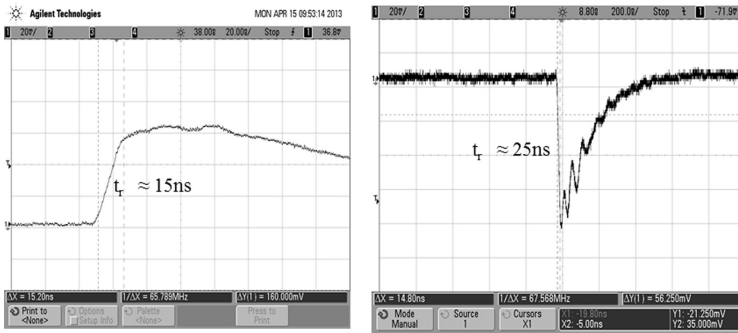


Fig. 4. SiPM output signal before (left) and after the OA (right).

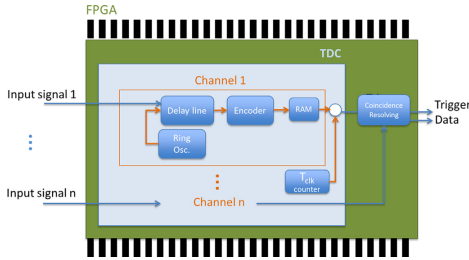


Fig. 5. Sketch of the TDC architecture.

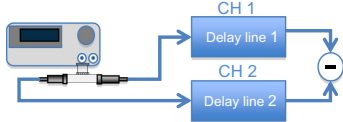


Fig. 6. Scheme of the time resolution calculation with the developed TDC.

FPGA. Such a block is used to adapt the output voltage level of the CFDs to those supported by the FPGA. This block consists of digital buffers, which adapt the 5 V levels to 1 V. A ^{22}Na point-like source of $0.27 \mu\text{Ci}$ activity was placed at the center in between the two photodetectors (separated by 2 cm). Time differences were calculated by the TDC and sent to a computer via a serial cable. The data were fitted to a Gaussian distribution (see Fig. 9).

A FWHM of 892 ± 41 ps time differences for the two SiPM photodetectors was determined. The centroid of the Gaussian distribution is located at -2.4 ns due to the difference in the cable paths.

The digitalizer threshold was set to about 50% of the signal amplitude showing that the preliminary time resolution results are comparable with the current literature [9,17]. The reason for setting such a digitalization level is that the OA amplitude output signal had a relatively low value compared with the range of threshold voltages. Thus, decreasing the threshold implied more noise sensitiveness, which produced degradation on the results. One solution could be to increase the gain of the OA, but doing this its bandwidth would be compromised due to the fact that the

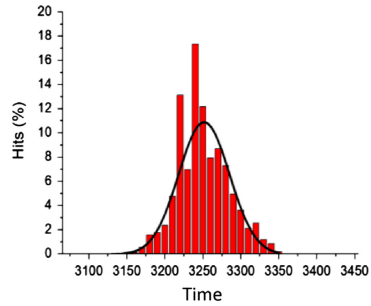


Fig. 7. Time differences between two channels of different length of the TDC.

product gain by bandwidth remains constant. Thus, if the gain is increased, the bandwidth will decrease, which would deteriorate the signal at its output. Therefore, the conditioning circuit of the OA must be undergoing to improvement.

6. Conclusions

In this work TOF measurements based on two $3 \times 3 \text{ mm}^2$ SiPM-LSO photodetectors, two CFDs and a TDC FPGA-based have been presented. This paper summarizes the different parts of each subsystem, pointing out the advantages, drawbacks and trade-offs of all of them.

A SiPM characterization and its proper conditioning circuit have been presented as a key issue to achieving a good system performance concerning timing measurements. The paper also discusses the way different configurations of the CFD may influence in the system performance in such a way that may change the results dramatically.

Time differences below 1 ns with an accuracy of ± 41 ps have been achieved for a pair of SiPM of $3 \times 3 \text{ mm}^2$ and LSO crystal coupled. Although of the TDC core is able to measure times fewer than 100 ps, detectors themselves and digitalizers introduce such an error that blurs the results.

More efforts need to be made in order to improve the presented results because the next steps suggest the use of an array of SiPMs.

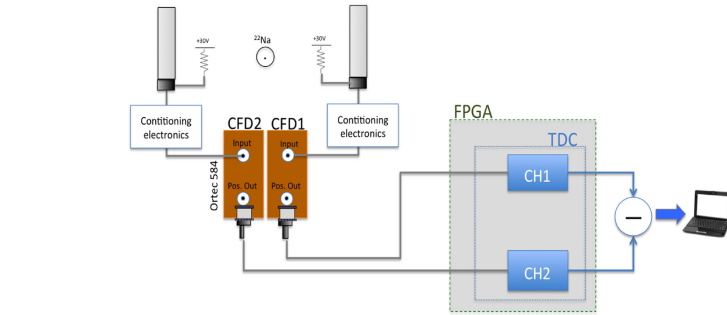


Fig. 8. Set-up for TOF measurements with LSO crystal, SiPMs, CFDs and FPGA.

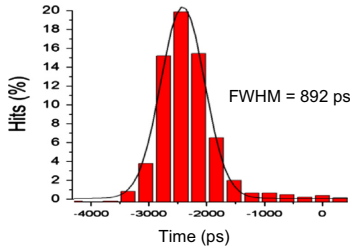


Fig. 9. Histogram of time differences and Gaussian fit to the data.

Such an array is expected to cause deterioration of the system time resolution due to the sum of the errors of each individual device.

References

- [1] T. Szczęśniak, et al., *IEEE Transactions on Nuclear Science* NS-56 (1) (2009) 173.
- [2] S. España, et al., *Nuclear Instruments and Methods-A* 613 (2010) 308.
- [3] (<http://www.healthcare.philips.com/>) – Gemini TF PET/CT.
- [4] S. Surti, et al., *Journal of Nuclear Medicine* 48 (3) (2007) 471.
- [5] M.D. Haselman et al., Digital pulse timing in FPGAs for positron emission tomography, *CiteSeerX – Scientific Literature Digital Library*, (2010) <http://dx.doi.org/10.1.1.152.3344>.
- [6] C. Favi et al., A 17 ps time-to-digital converter implemented in 65 nm FPGA technology, in: *Proceedings of ACM 2009*, 2009, pp. 113–120.
- [7] J. Torres, et al., *Nuclear Instruments and Methods in Physics Research A* 702 (2013) 73.
- [8] C.L. Kim, et al., *IEEE Transactions on Nuclear Science* NS-56 (5) (2009) 2580.
- [9] J. Barral, Study of Silicon Photomultipliers, (<http://www.stanford.edu/~jbarral/Downloads/StageOption-Rapport.pdf>), (2004).
- [10] E. Auffray et al., A comprehensive and systematic study of coincidence time resolution and light yield using scintillators of different size, wrapping and doping, in: *Proceedings of IEEE NSS Conference Record*, N4-61, 2011.
- [11] A. Gola, et al., *IEEE Transactions on Nuclear Science* NS-60 (2) (2013) 1296.
- [12] S. Majewski, Initial tests of a compact imaging photomultiplier made from array of $3 \times 3 \text{ mm}^2$ Hamamatsu MPPC-SMD modules, (www.iss.infn.it/topem/SiPM/MPPC-majewski.pdf).
- [13] J. Huizenga, et al., *Nuclear Instruments and Methods in Physics Research A* 695 (2012) 379.
- [14] J. Kalisz, M. Pawlowski, R. Pelka, *Journal of Physics E: Scientific Instruments* 20 (1987) 1330.
- [15] (http://www.xilinx.com/support/documentation/data_sheets/ds182_Kintex_7_Data_Sheet.pdf).
- [16] H. Menninga et al., A multi-channel, 10 ps resolution, FPGA-based TDC with 300 MS/s throughput for open-source PET applications, in: *Proceedings of IEEE Nuclear Science Symposium Conference Record*, N31-2, 2011.
- [17] W. Hu, et al., Free-running ADC and FPGA-based signal processing method for brain PET using GAPD arrays, *Nuclear Instruments and Methods-A* 664 (2012) 370.

Capítulo 7

Pruebas de Tiempo de Vuelo con matrices de SiPMs

El tamaño de los módulos detectores que se emplean usualmente en los equipos PET fuerza a utilizar conjuntos de SiPM agrupados formando una matriz. La combinación de estos trae consigo una serie de implicaciones que hay que tener en cuenta para conseguir los resultados óptimos y que se han considerado en esta sección del trabajo.

4.1. Timing results using an FPGA-based TDC with large arrays of 144 SiPMs

Autores: Albert Aguilar, Antonio J. González, José Torres, Raimundo García-Olcina, Julio Martos, Jesús Soret, Pablo Conde, Liczandro Hernández, Filomeno Sánchez y José María Benlloch.

Publicado: IEEE Transactions on Nuclear Science, pendiente de publicación (2014)¹.

Factor de Impacto (2012): 1.219

Cuartil (categoría "Nuclear Science & Technology"): Q1 (2012)

Resumen: Dados los beneficios del uso de SiPMs, en especial su capacidad para trabajar inmersos en campos magnéticos, se realiza un estudio de diversos factores. Por un lado, se quiere comprobar el efecto de incluir un número muy elevado de SiPMs (hasta 144 por detector), lo cual supone un reto teniendo en cuenta el estado del arte. Con este número de detectores, el módulo resultante tiene dimensiones próximas a lo que sería un módulo de PET convencional. Además de esto, se caracteriza la respuesta temporal en diversos supuestos: ante variaciones de temperatura, dada la sensibilidad de los SiPMs a esta; el umbral de discriminación de los *Constant Fraction Discriminators*, por la dependencia de este con la resolución temporal; diferentes tipos de cristal, para obtener una relación de idoneidad en su uso;

¹ El artículo está siendo publicado en las actas del Congreso IEEE Nucl. Scie. Symp. (Korea, 2013). Se prevé que, a lo largo de los trámites de la Tesis, se resuelva su publicación en la revista mencionada.

y, por último, la contribución a la incertidumbre del cálculo del tiempo de cada SiPM, lo cual se analizará activando/desactivando áreas de la matriz. Hasta el momento, el número máximo de SiPMs utilizados en otros experimentos no ha excedido los 64 (ver ref. 21 del paper), obteniendo una resolución temporal de 6.79 ns con cristales negros continuos LYSO.

El artículo presenta tres escenarios, en los cuales se utilizan 2 arrays de 144 SiPMs (SensL - mod. Micro-FB 30035) con sus circuitos de acondicionamiento, el TDC basado en FPGA y un entorno en el que se controla y monitoriza la temperatura. En el primer escenario se utilizan cristales pixelados para ambos módulos y, a través de la caracterización en temperatura, optimización de umbrales de los discriminadores y optimización de la tensión de ruptura, se consiguen resoluciones temporales de 700 ps de precisión. En el segundo escenario se prueban diversas configuraciones de cristal monolítico, con el objetivo de relacionar la cantidad de luz incidente en el fotodetector con la resolución temporal. En concreto, se utiliza cristal monolítico negro, negro parcialmente reflectante, blanco y totalmente cubierto de reflectante. Los resultados, tras seguir las mismas pautas de optimización que en el caso anterior, confirman la idea inicial, mostrando una mejora sustancial de la resolución temporal para el caso de los cristales blanco y reflectante frente al negro, siendo esta de 1.07 ns. Por último, en el tercer escenario, se desactivan progresivamente áreas de la matriz de SiPMs para ver el impacto en la resolución temporal, la cual se prevé que mejore al reducir el número de estos. Tras el experimento con cristales monolíticos LYSO, se obtiene una mejora significativa con la reducción del área activa, presentando el mejor caso una resolución temporal de 700 ps (200 mm² de área activa) frente a los 850 ps (1400 mm² de área activa).

Timing results using an FPGA-based TDC with large arrays of 144 SiPMs

A. Aguilar, A. J. González, J. Torres, R. García-Olcina, J. Martos, J. Soret, P. Conde, L. Hernández, F. Sánchez and J. M. Benlloch

Abstract— Silicon photomultipliers have become an alternative to traditional photomultiplier tubes due to several features. However, their implementation in forming large arrays is still a challenge especially due to their relatively high intrinsic noise, depending on the chosen readout. In this contribution, two modules composed of 12x12 SiPMs with an area of roughly 50x50 mm² are used in coincidence. Coincidence Resolving Time (CRT) results with the FPGA-TDC are shown as a function of both the sensor bias voltage and the digitizer threshold. The dependence of the CRT on the sensor matrix temperature, the amount of SiPM active area and the crystal type are also analyzed. Measurements carried out with a crystal array of 2 mm pixel size and 10 mm height have shown time resolutions for the entire 144 SiPM two-detector set-up as good as 700 ps.

I. INTRODUCTION

Most conventional Positron Emission Tomography (PET) systems are only capable of determining the line of response connecting the two photon impacts registered within a coincidence window. This information can further be used during the image reconstruction process. Adding the so-called Time of Flight (TOF) information to such systems would allow one to measure the arrival time difference of the two gamma rays, providing a better localization of the annihilation event along the coincidence line. Nevertheless, even after enabling the TOF capability, the spatial position is subject with a certain time uncertainty named the coincidence resolving time (CRT). Despite this uncertainty, it is possible to use such approximation to reduce the coincidence window and, thus, reduce the influence of false coincidences, which would reduce the noise on the final image.

The TOF benefits for PET systems have been amply demonstrated [1]. Amongst them, the fastest convergence of the reconstruction algorithm and a reduction in the tracer dose for the patient, have been pointed out [REF]. Since the associated electronics must have very high time resolution to provide a significant improvement, in the order of few hundreds of picoseconds, few PET systems implementing this capability currently exist [2].

Manuscript received February 21, 2014. This work was supported in part by the University of Valencia and the Institute for Instrumentation and Molecular Imaging.

A. Aguilar, J. Torres, R. García-Olcina, J. Martos, J. Soret are with the Communications and Digital Systems Design group (DSDC) Universidad de Valencia, Spain (e-mail: albert.aguilar@uv.es).

A. J. González, J. M. Benlloch, P. Conde, L. Hernández, and F. Sánchez are with Institute for Instrumentation in Molecular Imaging (I3M), Universidad Politécnica de Valencia-CSIC-CIEMAT, Spain.

A new technique for fine time measurements has appeared using Field-Programmable Gate Arrays (FPGAs) [3]-[6]. Taking advantage of the FPGA capabilities, the authors have developed a multichannel TDC core, and CRT values below 100 ps FWHM have been obtained when tested with a pulse generator for 24 simultaneous input channels [6]. In this work, performance experiments of the previously developed FPGA-based TDC will be shown when SiPMs are used as photosensors.

Most available PET systems use position sensitive photomultiplier tubes as photosensor detectors, but there is a trend to replace them with solid-state photosensors, such as Silicon Photomultiplier (SiPM) detectors [7]-[10]. SiPMs are based on avalanche photodiodes connected in a matrix and working in Geiger regime. This mode of operation allows the device to work slightly above its breakdown voltage, which induces exponential avalanches allowing work at high gain rates. Very recently, an alternative to such analogue SiPMs has appeared, so-called digital SiPMs [11].

There are several features that have strongly contributed to the photomultiplier tube's (PMTs) replacement by SiPMs. The operation voltage of typical PMTs is well above 700 V whereas SiPMs are able to operate below 100 V (some models below 50 V). Furthermore, SiPMs present better quantum efficiency, i.e., the number of impact photons that generate an electrical current is higher (50% compared to 25% in the case of most PMTs). Parameters that limit time resolution such as transit time spread (time jitter) are improved in SiPMs, making its use feasible for TOF measurements [12]-[14]. Moreover, they are able to work under magnetic fields whereas photomultipliers are highly sensitive to such environments. This feature has been decisive in including SiPM in new PET systems for working in combination with magnetic resonance imaging (MRI).

In the last few years, different studies based on SiPM applied to PET systems have been carried out. In [15], two SiPM of 1 x 1 mm² coupled to LSO crystals of 1 x 1 x 10 mm³ were used in coincidence and a CRT of 1.4 ns FWHM was obtained. In [16] a pair of 2 x 2 LSO (1.4 x 1.4 x 12 mm³) and a SiPM (1 x 1 mm²) 2 x 2 array was also tested, obtaining a CRT of 1.9 ns FWHM. The authors of [17] investigated the operation of SiPMs (2 x 2 mm²) inside a 3T MRI resulting on 1.3 ns FWHM CRT with LYSO pixels 2 x 2 x 10 mm³. All these results show time resolutions above 1 ns, which prevented useful TOF determination in most of PET systems. In [18] many other parameters that influence CRT were studied by means of 3 x 3 mm² SiPM and LYSO crystals of 3 x 3 x 10 mm³. In order to establish the technological limits, a

test with a temperature-controlled environment, optimizing the discriminator, voltage bias and other parameters and using a single SiPM was performed. CRT measurements were extrapolated for a pair of detectors, and was able to obtain values as good as 240 ps. In [19] and [20] the authors obtained a CRT of 600 ps FWHM and 1.4 ns FWHM, respectively. Both used a reference detector with a very accurate time feature. In the first case a $2 \times 2 \times 8$ mm³ LYSO crystal was mounted on a single 1 mm² SiPM and the result was extrapolated. In the second case a 4×4 SiPMs array (2.85 mm²) was coupled to a LYSO ($1.3 \times 1.3 \times 10$ mm³) and the result was extrapolated as well.

There is one work in which a 64 SiPMs matrix was used [21]. Again, a reference detector based on traditional PMTs and a BaF₂ crystal was configured to work in combination with the array (1.5 mm² each pixel) and a continuous LYSO scintillator ($1.2 \times 1.2 \times 0.5$ cm³) with different crystal treatments. For black painted crystal a 6.79 ns FWHM CRT was achieved for both (SiPM and PMT) in coincidence. Recent publications such as [22] also use SiPM matrices. The aim of the work consists in demonstrating the ability to resolve time and energy resolution with an array of 4×4 SiPMs (3.16×3.16 mm²) coupled with pixelated 10×10 LYSO crystals ($1.2 \times 1.2 \times 6$ mm³). For this case, the CRT has been of about 2.5 ns.

Although several tests have been successfully performed with single SiPMs coupled to individual Teflon wrapped crystal pixels [14], the combination of multiple SiPM is not an easy task since they present a range of gains and optimum voltages than can vary significantly vary from one to another. In this paper, CRT studies with arrays of 12×12 SiPMs with an active area of 3×3 mm² each were successfully carried out. As far as the authors know, SiPM arrays as big as the structure here presented do not exist in the literature of previous works. Modifications to different parameters to enhance the CRT such as increasing Photo Detection Efficiency (PDE) and signal to noise ratio through the SiPM overvoltage, as well as an optimization of the digitizer thresholds used for triggering at values of few incoming photons are considered in this work. In other works this optimization has been shown [18] to improve the CRT by a factor of almost 3 when they are tuned together (when referring to Teflon wrapped crystals). The conditioning circuits have been improved to preserve the quality of the signal. Furthermore, CRT values when SiPMs are under low and controlled temperature conditions will be presented. A detailed study of the influence on the described parameters, including CRT, with two arrays of 144 SiPMs and LYSO crystals will be shown and discussed.

II. TOF-TRIGGER ARCHITECTURE

A multichannel TDC-FPGA was developed in order to form part of a trigger system in a PET device [6]. The trigger unit is the one in charge of receiving the signals coming from the detectors in order to determine whether a true coincidence occurred and, if so, “trigger” the PET acquisition system to digitize the required positioning signals. Constant Fraction Discriminators (CFDs) were used as digitizers in the set-up

that will be shown. They are used to avoid the detector voltage dependence on the timing results. The proposed trigger system also includes an embedded processor which enables the communication with the peripherals and which incorporates the possibility of implementing a coincidence map.

In this contribution, two channels for CRT measurements have been used and, thus, only two CFD digitizers were required. Values of timestamps are routed to the processor, which performs the time differences and sends the data through serial port to a PC workstation. A Labview interface collects the data and shapes a histogram from which the data are Gaussian fitted.

III. CHARACTERIZATION

There are two main blocks that have to be deeply trimmed in order to achieve the optimum CRT. On one hand, all the components that involve the detectors such as the crystal scintillator, the SiPM dimensions and the read-out electronics, must be analyzed. On the other hand, the aspects related to the trigger system such as the TDC and digitizers should be considered. In this section, the details of the photo detectors as well as the TDC consideration are described.

A. Photo detectors.

SiPM detectors have been used for multiple reasons. The most important is their insensitivity to magnetic fields, a key feature that makes them suitable for combining PET and MR technologies, but also for their high gain and low bias voltage.

Arrays of 12×12 SiPMs have been assembled following a modular structure. These arrays are built with SensL SiPMs (mod. Micro-FB 30035), whose maximum peak efficiency is at 420 nm (see Fig.1). The active area is 3×3 mm² with microcells of 35×35 μm². The breakdown voltage of these sensors is about 25 V. Their temperature dependence is 20mV/C. The arrays cover an area of 50.2×50.2 mm² with 57% of active sensitive area.

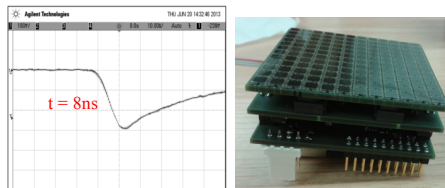


Fig. 1. Left, SiPM signal output after the conditioning stage. Right, picture of the 12×12 array of SiPMs.

The 144 SiPMs signal are connected to 3 Application Specific Integrated Circuits (ASICs), which permit up to 8 matrices of coefficients to be uploaded to estimate the photon impact position within the crystal volume [23]. According to the ASIC capacitance requirements, the so-called FAST output of 12 pF was connected to ground. In order to limit the current flowing through the new implementation, an additional serial resistor was mounted with a resistance value of 10 kΩ. Thus, the final terminal capacitance of the anode-cathode

signal is 30 pF, properly matching the ASIC requirements. The ASICs provided six output signals in these experiments. One signal provided the trigger-energy, four served to reconstruct the planar impact position and one more is used to code the photon depth of interaction within the crystal volume. The trigger-energy signal was the one considered for the present timing experiments. After the ASIC, two conditioning stages composed of two current feedback operational amplifiers take place in order to invert and amplify the signals. At the end of this process, the resulting signal has a rise time of about 8 ns, as shown in Fig. 1. Fig. 1. But, in case of being compatible with the ASIC capacitance, the use of the FAST output would have allowed to obtain a signal with rise time as fast as 1 ns [24].

B. TDC

A TDC based on a delay line principle has been implemented on a Kintex-7 device (mod. xc7k325t-2ffg900). The TDC was tested previously and a time resolution below 80 ps was obtained for a pair of channels [14]. Different pulses coming from the detector stage were introduced on each FPGA-TDC channel. The signals were propagated along the delay lines and a timestamp generated for each channel. These values were sent to an embedded processor, which performed the time differences.

IV. TESTS AND RESULTS

Fig. 2 illustrates the set-up used for the tests. Two identical SiPM arrays were used, but the scintillation crystals coupled to them varied depending on the test. They were placed in a temperature-controlled environment. The detectors were put on top of a cold-plate whose temperature was controlled through water supplied from a chiller. A temperature loss of about 10 degrees was observed between the chiller temperature and that measured at the detector. The cold-plate and detectors were placed in a porexpan box in order to keep a stable temperature. Two small ventilator fans were directed to the detector blocks in order to improve their thermal stabilization. Radioactive ^{22}Na sources were placed at different positions in the line connecting the two detectors and the CRT was determined for each configuration. Signals coming from the detectors were digitized by means of CFDs (Ortec, Mod. 584) and analyzed with the developed TDC-FPGA. Three different scenarios are presented in the following subsections.

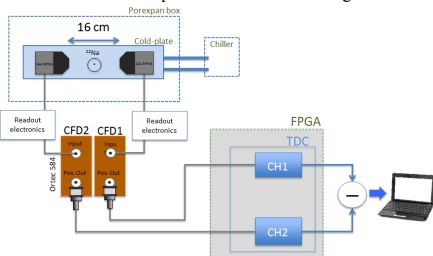


Fig. 2. Set-up used for the tests described in the paper.

A. Scenario 1.

Pixelated crystal arrays are being used in many experiments due to their enhancement, compared to monolithic configurations, in terms of the scintillation light amount transferred to the photosensor. In contrast to these types of scintillators, monolithic crystals are very attractive from the point of view of preserving the light distribution in addition to being cost effective. In this section the SiPMs arrays were coupled to two pixelated arrays. One array was made of 24×24 LYSO elements of $2 \times 2 \text{ mm}^2$ size each and 10 mm thick covering the whole SiPM photo sensor area, *i.e.* $50 \times 50 \text{ mm}^2$. The second array has 27×27 LYSO elements of $1.4 \times 1.4 \text{ mm}^2$, 10 mm thick covering most of the active area. Fig. 3 shows a detail of a SiPM array coupled to a LYSO pixelated scintillator array module placed inside the temperature-controlled box.

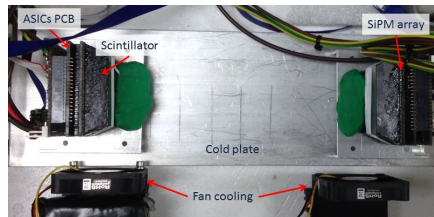


Fig. 3. Picture of the set-up showing one detector block.

The source was placed at four different positions in order to calibrate the timestamp of the FPGA-TDC. Temperature was controlled at 28°C and voltage bias for both sensors was fixed at 30 V. In actual fact, these environmental conditions are irrelevant when it comes to calibration because the TDC raw count is not influenced by such parameters. Data were fitted to a regression line as shown in Fig. 4 upper left. Both SiPMs arrays were subjected to several optimizations. The effect of bias voltage, CFDs threshold and detector assembly temperature were accurately determined. Regarding the CFDs threshold, a 2D contour plot with the results for the described set-up where the convenience of using certain threshold values can also be observed in Fig. 4.

Values of CFDs voltage threshold were trimmed in order to achieve the best detector performance and an external delay cable of 10 ns for both CFDs was chosen based on the 8 ns rise time obtained. As has been studied by the authors in other publications such as [14], a breakeven point has to be encountered to accomplish two premises: a sufficiently low threshold value in order to take advantage of the first arrival photons but high enough to avoid the electronic noise. The results of such a scan are shown in Fig. 5 lower left. The best CRT values were found for thresholds of 400 mV and 300 mV, corresponding to detector array 1 and 2, respectively.

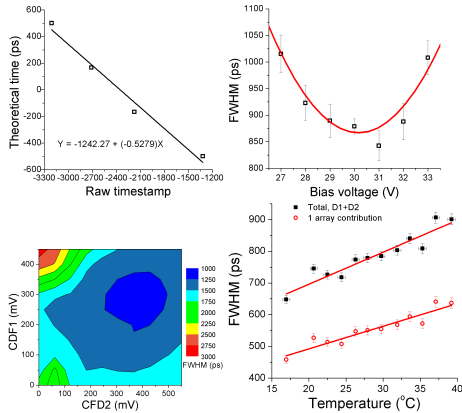


Fig. 4. TDC timestamp calibration (upper left), Optimization of bias voltage (upper right), digitizers threshold (lower left) and temperature dependency (lower right).

The SiPM bias voltage is directly related to the PDE. However, there exists certain value for which PDE remains almost constant. Moreover, the increment on the bias voltage has direct impact on the dark count rate, which exponentially increases [18]. A bias voltage scan in a temperature-controlled environment of 28 °C was carried out from 27 V to 33 V, resulting in a CRT below 900 ps for 30 V, see upper-right plot in Fig. 4.

SiPMs are temperature dependent sensors [18]. Therefore, it must be carefully controlled when high time resolution measurements are targeted. The SiPM arrays were placed inside the temperature stabilized thermal box. The temperature was measured with an on-chip sensor fastened to the SiPMs array. The graph in Fig. 5 (lower right) shows the defined CRT for different temperature values. The black squares depict the CRT results for the whole system, *i.e.* both detectors in coincidence (D1+D2) whereas the red circles refer to a single detector contribution, extrapolating its effect, $(D1+D2)/\sqrt{2}$. We have assumed that the contribution to the final CRT of the two LYSO arrays is almost the same, despite the dimensions of the pixels are different (1.4 and 2.0 mm).

Once CRT behavior for varying bias voltage and temperature was established, temperature was stabilized at 28°C, whereas bias voltage was set to 30 V. This temperature provides a good time resolution without the risk of water condensation inside the set-up. CRT measurements were again considered at four different source positions, in steps of 5 cms and 1,000 samples were taken. Fig. 5 depicts the data measured together with Gaussian fits. The results reached CRT values from 784 ps to 1171 ps FWHM.

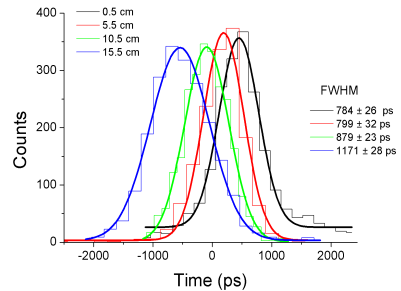


Fig. 5. CRT results for two LYSO crystal arrays at four distinct source placements. The origin of the reference corresponds to the array with pixels of $1.4 \times 1.4 \text{ mm}^2$ size.

It is appreciated certain disparity in the CRT values of Fig. 5. Such disparities are likely due to the scintillator dimensions, which are not the same for both detectors. This may cause that some of the gamma rays are not registered by the detector with less scintillator surface, causing a widening in the Gaussian distribution.

B. Scenario 2.

During the second set of data taken, SiPMs were coupled to 12 mm thick monolithic LYSO crystals. Monolithic crystals allow one to preserve the light distribution (when black painted). Since the scintillation light is isotropically spread, such designs tend to transfer a reduced amount of light to individual photosensors when compared to pixelated crystal arrays where most of the generated light is focused onto very few SiPMs. In the present experiments, different monolithic crystal configurations are adopted in order to explore the effect of the amount of light in the CRT. Crystal blocks with trapezoidal shape have been used for both detectors. These slabs have $40 \times 40 \text{ mm}^2$ incoming radiation face and $50 \times 50 \text{ mm}^2$ (12 mm thick) for the opposite face coupled to the SiPM array through optical grease Saint Gobain BC-630.

Four different configurations have been implemented to carry out CRT measurements. A black-painted monolithic block is fixed in one of the detectors so that serves as a reference detector. The monolithic block of the opposite detector was also black-painted treated in one case. In another case the lateral and entrance surfaces were wrapped with white Teflon. In the third case the entrance face was covered with an enhanced specular reflector (ESR, 3M) film, being the lateral sides black-painted. In the last test all surfaces were covered with the ESR film.

The source was first placed at four distinct positions to calibrate the timestamps provided by the TDC. In this test, the two black-painted crystals were used. The four points were fitted to a regression line. Fig. 6 shows the plot and the regression curve together with the CRTs that were found for these four positions.

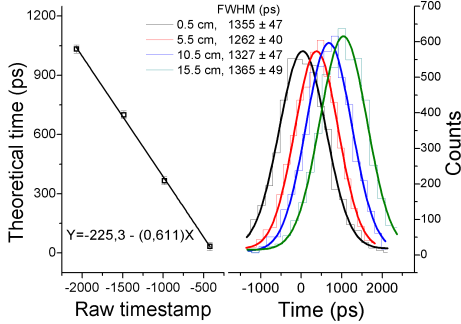


Fig. 6. CRT results for 144 SiPMs arrays and LYSO monolithic crystals when the source was sequentially moved in 5 cm steps.

The CRT resulted in values varying from 1.26 to 1.36 ns for 4,000 samples. Different parameters were controlled in order to test the system performance with these crystals. Regarding the CFDs threshold, optimum values were found to be 100 mV in one detector and 150 mV for the other. The difference in the CFDs thresholds was due to a slight difference in amplification of the two SiPM trigger channels, as happened in the above Scenario 1.

The CFDs were optimized to return the best CRT through several iterations in all the following configurations. These values were fixed for the data collection in each particular scenario. The bias voltage was set to 30 V, 5.5 V overvoltage. This decision was also based on the best CRT across several voltage biases. Temperature was maintained at 15-17°C for all measurements, this value being a standard working temperature.

Measurements were taken for the best performance, as said above, both for the CFDs threshold and for the bias voltage as well. Again, temperature effects were analyzed, as in previous scenario, and the results showed a linear tendency of 10 ps/°C in a 10-30°C temperature range.

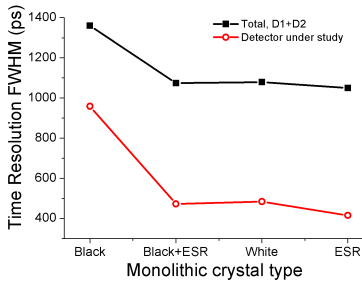


Fig. 7. CRT results for different monolithic crystal configurations in one detector and black-painted in the opposite (reference). The black line (squares) represents CRT values for both detectors and the red line (circles) the extrapolated effect for one detector.

Fig. 7 shows the CRT values for the described crystal configurations. The best performance is reached with the ESR configuration (the whole crystal is covered by the film), where a 1.05 ns CRT is achieved for both detectors in coincidence. Slight higher CRT values of 1.07 ns, for the white-painted crystal and black-ESR, were found. The worst CRT was determined for the case where the two black-paint slabs were used, returning a value of 1.35 ns.

These results are, most likely, caused by the reduction of the light amount transferred to the SiPM. The detected light is inversely proportional to the transit time spread, also known as jitter, of the detector. In other words, the higher the amount of light, the lower the jitter [25].

It should be remarked that the results from these two scenarios come from a 144 SiPM matrix, what means that each individual SiPM is introducing a certain amount of noise into the final trigger-energy signal, since there are not individual SiPM thresholds. In the next scenario, several of the SiPMs that formed the 12 x 12 SiPM array will not be considered in the trigger-energy signal in order to explore its effect on the CRT

C. Scenario 3.

With the purpose of analyzing the SiPMs' contribution of noise to the CRT, the area of one of the SiPM arrays has been selectively reduced, while maintaining the operation of the 12x12 SiPMs in the opposite detector block. The same two modules as in Scenario 1 were used. The optimum parameters found in the previous tests were selected. The number and position of the SiPMs contributing to the trigger-energy signal can be programmed via the ASICs, in charge of reading the SiPM arrays. The source was fixed in the center of both detectors and CRT measurements were taken for 5 different matrix configurations, as shown in Fig. 8.

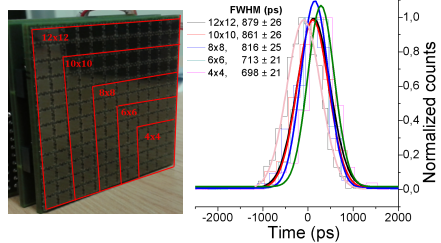


Fig. 8. CRT results for a fixed 12x12 SiPM array module and varying the amount of enabled SiPMs for the other.

The results exhibit a clear improvement of the CRT with the pixel area reduction, as expected. Despite the reduction only having been performed for one detector, the individual contribution of the trimmed one has been extrapolated following the quadratic relationship:

$$CRT_{d1} = \sqrt{CRT_{(d1+d2)}^2 - CRT_{d2}^2} \quad (1)$$

where d_j is the detector with the matrix modifications, d_2 is the detector with the 12 x 12 fixed matrix, $CRT_{d1(d2)}$ is the CRT value for the detector d_1 (d_2) and $CRT_{(d1+d2)}$ is the measured CRT obtained for the whole systems, i.e. both detectors in coincidence (D1+D2). CRT_{d2} is assumed to be the CRT value for the detector d_2 extrapolated from the measurements carried out for the full (unchanged) d_1 matrix. Measured $CRT_{(d1+d2)}$ and the extrapolated contribution of the single detector with a “virtually” reduced SiPM active area (CRT_{d1}) according to equation (1), are shown in Fig. 9.

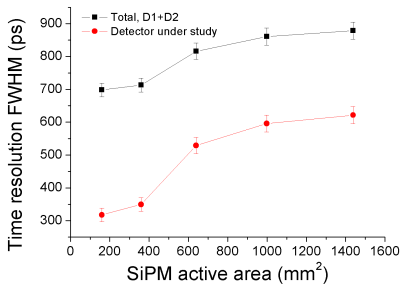


Fig. 9. Measured $CRT_{(d1+d2)}$ as a function of the active area of one SiPM photo sensor array (black squares). The extrapolated contribution of the single detector with a “virtually” reduced SiPM active area (CRT_{d1}) is shown with red circles.

A significant CRT improvement was achieved by reducing the photo sensor active area. With all the photo sensors enabled (12x12 matrix for both modules) CRT values were nearly 850 ps and, by means of reducing the SiPM array active area down to 200 mm² (which means an array of 4x4 SiPM), a 700 ps CRT was achieved. This value contrasts with that mentioned earlier where a 4 x 4 SiPMs array (2.85 mm²) coupled to a LYSO (1.3 x 1.3 x 10 mm³) was used, and which obtained a 1.4 ns CRT with a reference detector. Continuing with Fig.9: by isolating the contribution of the 12x12 reference detector from the detector under study, CRT values reached an even more remarkable performance, resulting on a 300 ps time resolution. This fact demonstrates quantitatively how the SiPM array assembly has direct impact on the CRT.

V. CONCLUSIONS

A large array of 12x12 SiPM has been optimized for both monolithic and pixelated LYSO crystals. Two sensor modules have been built with a number of SiPMs that make the system suitable to explore its use in gamma ray detectors, especially in MR compatible PET systems. Several cases under different conditions for a 144 SiPM array and the designed TDC have been presented in order to explore CRT values, with the aim of achieving the best detector performance.

The test carried out with pixelated crystals resulted in a CRT of about 800 ps whereas a CRT of 1,260 ps has been obtained with a black painted monolithic crystal, due to the reduction of the amount of light transferred to the photosensor.

A CRT contribution as small as 450 ps for the entire 12 x 12 SiPMs photo sensor array was measured at a sensor temperature of 18 °C for the pixelated crystals.

In order to explore the light effects on the system performance, different monolithic-crystal configurations have been mounted, analyzing the CRT values for each. The best performance has been achieved with the ESR film, by covering the whole detector. The results when all surfaces were black painted worsened to ≈ 1.4 ns. These experiments corroborated the CRT improvement with the amount of light received by the photosensors. However, it should be mentioned that monolithic crystals with reflective walls suggest innovative methods to reconstruct the photon impact position within the crystal. These tasks are outside the scope of this study, which is focused on the time resolution perspective.

In addition to crystal type experiments, the CFDs thresholds used for digitizing purposes were optimized, as well as the bias voltage and the sensor block temperature. The best bias voltage values were obtained at ≈ 5 V overvoltage and, as expected, the lower the temperature the better the CRT. A deviation of 10 ps/°C in the system resolution was determined for both, the pixelated and the monolithic crystal

Finally, a 700 ps CRT (about 300 ps for one single detector) was reached when a reduced number of SiPMs were enabled, demonstrating CRT improvement with the reduction of SiPM active area and, therefore, the contribution of dark noise. It should be pointed out that the CRT values obtained with the 12x12 SiPM array are significantly better than those values reported so far in the literature for smaller (8 x 8 and 4 x 4) SiPM arrays.

VI. REFERENCES

- [1] M. Conti, State of the art and challenges of time-of-flight PET, *Physica Medica* 25, 1e11 (2008).
- [2] <http://www.healthcare.philips.com/> - Gemini TF PET/CT.
- [3] Kyung-chan Jin, TDC Module for ToF, IEEE NSS Conference Record (2007).
- [4] A. Mohammad *et al.*, A multibit Time-to-Digital Converter architecture on FPGA, *IEEE Transactions on Instrumentation and Measurement*, Vol. 58, NO. 3, pp. 530-540 (2009).
- [5] J. Wu, Several key issues on implementing delay line based TDCs using FPGAs, *IEEE Transactions on Nuclear Science*, Vol. 57, NO. 3, pp. 1543-1548 (2010).
- [6] J. Torres *et al.*, Time to digital converter based on FPGA with multiple channel capability, *IEEE Transactions Nuclear Science*, doi: 10.1109/TNS.2013.2283196, (2013).
- [7] A. Del Guerra, *et al.*, Silicon photomultipliers (SiPMs) as novel photodetectors for PET, *Nuclear Instruments and Methods in Physics Research A*, Vol. 648, pp. S232-S235 (2011).
- [8] N. Efthimiou, *et al.*, Initial results on SiPMs performance for use in medical imaging, *Measurement Science and Technology*. Vol. 22, N114001 (2011).
- [9] T. Kato, *et al.*, A novel gamma-ray detector with submillimeter resolutions using monolithic MPPC array with pixelized Ce:LYSO and Ge:GGAG crystals, *Nuclear Instruments and Methods in Physics Research A*, Vol. 699, pp. 235-241 (2011).
- [10] H.S. Yoon, *et al.*, Initial results of simultaneous PET/MRI experiments with an MRI-compatible Silicon Photomultiplier PET scanner, *The Journal of Nuclear Medicine*, Vol. 53, NO. 4, pp. 608-614 (2012).
- [11] S. Mandail and E. Charbon, A 4x4 x416 digital SiPM array with 192 TDCs for multiple high-resolution timestamp acquisition, *Journal of Instruments*, 8 P05024, doi: 10.1088/1748-0221/8/05/P05024, (2013).

- [12] T. Szcze *et al.*, Time resolution of scintillation detectors based on SiPM in comparison to photomultipliers, IEEE Nuclear Science Symposium Conference Record, pp. 1728-1735 (2010).
- [13] F. Powolny *et al.*, Time based read-out of a SiPM for time of flight position emission tomography, IEEE Transactions on Nuclear Science, Vol 58, NO 3, June, pp. 597-604 (2011).
- [14] A. Aguilar *et al.*, Time of Flight measurements based on FPGA and SiPM for PET-MR, Nuclear Instruments Methods A, <http://dx.doi.org/10.1016/j.nima.2013.09.008i> (2013).
- [15] G. Llosá *et al.*, Silicon Photomultipliers and SiPM matrices as photodetectors in Nuclear Medicine, IEEE Nuclear Science Symposium Conference Record, M14-4, pp. 3220-3223 (2007).
- [16] V.C. Spanoudaki *et al.*, Use of single photon counting detector arrays in combined PET/MR: characterization of LYSO-SiPM detector modules and comparison with a LSO-APD, Journal of Instrumentation, P12002, (2007).
- [17] Hong SJ, Song IC, Ito M, *et al.* An investigation into the use of Geiger-mode solid-state photomultipliers for simultaneous PET and MRI acquisition, IEEE Transactions on Nuclear Science, Vol. 55, pp. 882-888 (2008).
- [18] Kim CL, Wang GC, Dolinsky S. Multi-pixel photon counters for TOF PET detector and its challenges. IEEE Transactions on Nuclear Science, Vol. 56, pp. 2580-2585 (2009).
- [19] R. Vinke *et al.*, Optimizing the timing resolution of SiPM sensors for use in TOF-PET detectors, Nuclear Instruments and Methods in Physics Research A, Vol. 610, pp. 188-191 (2009).
- [20] D. Schaart *et al.*, A novel, SiPM-array-based, monolithic scintillator detector for PET, Phys. Med. Biol. 54, pp. 3501-3512 (2009).
- [21] G. Llosa *et al.*, Characterization of a PET detector head based on continuous LYSO crystals and monolithic, 64-pixel silicon photomultipliers matrices, Physics in Medicine and Biology, Vol. 55, pp. 7299-7315 (2010).
- [22] C. J. Thompson *et al.*, Measurement of energy and timing resolution of very highly pixelated LYSO crystal blocks with multiplexed SiPM readout for use in a small animal PET/MR insert, IEEE Nuclear Science Symposium (2013).
- [23] V. Herrero *et al.*, PESIC: an integrated front-end for PET applications, IEEE Transactions on Nuclear Science, Vol 55, NO 1, pp 27-33, Feb. (2008).
- [24] S. Dolinsky, G. Fu and A. Ivan, Timing resolution performance comparison for fast and standard outputs of SensL SiPMs, http://www.sensl.com/downloads/irp/2013_Dolinsky_Timing_Resolution_Performance_Comparison_for_Fast_and_Standard_Outputs_of_SensL_SiPM.pdf (2013).
- [25] Matthew W. Fishburn and Edoardo Charbon, System tradeoffs in gamma-ray detection utilizing SPAD arrays and scintillators, IEEE Transactions on Nuclear Science, Vol 57, NO 5, October pp. 2549-2557 (2010).

Bloque 4

- **Capítulo 8.** Optimización del bloque TDC y de un algoritmo de búsqueda de coincidencias.
 - 8.1. Optimization of a Time-to-Digital converter and a coincidence map algorithm for TOF-PET applications.
-

Capítulo 8

Optimización del bloque TDC y de un algoritmo de búsqueda de coincidencias

En este último artículo se presentan dos procesos de optimización de bloques fundamentales en el sistema de disparo para el cálculo del Tiempo de Vuelo aplicado a sistemas PET, como son el bloque TDC y el algoritmo de determinación de coincidencias.

8.1. Optimization of a Time-to-Digital converter and a coincidence map algorithm for TOF-PET applications

Autores: Albert Aguilar, Raimundo García-Olcina, Iván Leiva, Pedro A. Martínez, Julio Martos, Jesús Soret, José Torres, José María Benlloch, Filomeno Sánchez y Antonio J. González.

Publicado: Journal of Systems Architecture, pendiente de publicación (2014)¹.

Factor de Impacto (2012): 0.724

Cuartil (categoría “Computer Science, Hardware and Architecture”): Q3 (2012)

Resumen: Los procesos de optimización surgen como necesidad de mejorar la resolución en la determinación de tiempos del TDC, por un lado, y la velocidad en el tiempo de ejecución del algoritmo de búsqueda de coincidencias, por el otro. Ambos dos juegan un papel fundamental en el sistema de disparo propuesto para equipos PET. En la primera parte del artículo, se estudian los parámetros del TDC responsables de la resolución actual, de unos 80 ps; se determina que tanto la longitud de la línea como la frecuencia de trabajo son parámetros que ejercen una influencia considerable en la resolución. Del mismo modo, el emplazamiento de la línea tiene una implicación importante, ya que no todas las zonas dentro de la FPGA disponen de las mismas características (existen diversas regiones de distribución de la señal de reloj). Teniendo en cuenta estas variables, se hace un barrido en función de la resolución temporal, para lo cual se utilizan 2 canales del TDC (2 líneas de retardo). Tras la optimización, se consigue una

¹ El artículo está siendo revisado por el editor. Se prevé que, a lo largo de los trámites de la Tesis, se resuelva su publicación en la revista mencionada.

resolución menor de 40 ps, reduciendo a la mitad la incertidumbre anterior. Estos resultados permiten mejorar la precisión en el cálculo del TOF, objetivo en última instancia.

En la segunda parte de este artículo, se diseña un algoritmo para la determinación de las coincidencias, a la vez que se muestran procesos para su optimización. Este algoritmo debe ser capaz de procesar los eventos temporales procedentes de todos los detectores, y determinar cuáles de los que están emparejados han registrado una coincidencia. Se sugiere una estructura de anillo basada en 12 detectores y se realizan agrupaciones de 1-5 (a cada detector se le asocian 5 detectores enfrentados). De esta topología se deriva un mapa de coincidencias, resultando un total de 29 pares. Se plantea un algoritmo en el que el TDC almacena una etiqueta temporal en una FIFO, los datos son copiados en RAM y analizados por un Bloque de Coincidencias (CRU, *Coincidence Resolving Unit*), la cual busca los pares coincidentes y calcula el TOF de estos. El algoritmo de la unidad CRU se plantea en un lenguaje de alto nivel, el cual es sintetizado mediante diferentes directivas de optimización para conseguir aquella que utilice menos recursos y su tiempo de ejecución sea tal, que no se pierdan eventos válidos. Tras la implementación, se consigue reducir el tiempo de búsqueda para cumplir con el requisito inicial, sin apenas verse comprometidos los recursos.



Optimization of a Time-to-Digital Converter and a coincidence map algorithm for TOF-PET applications

A. Aguilar^a, R. García-Olcina^a, I. Leiva^a, P. A. Martínez^a, J. Martos^a, J. Soret^a,
A. Suárez^a, J. Torres^a, J. M. Benlloch^b, A. J. González^b

^a *Communications and Digital Systems Design Group (DSDC), Electronic Engineering Department of University of Valencia, SPAIN*

^b *Institute for Instrumentation in Molecular Imaging (I3M), Universidad Politécnica de Valencia – CSIC – CIEMAT, SPAIN*

Elsevier use only: Received date here; revised date here; accepted date here

Abstract

This contribution describes the optimization of a multichannel high resolution Time-to-Digital Converter (TDC) in a Field-Programmable Gate Array (FPGA) initially capable of obtaining time resolutions below 100 ps for multiple channels. Due to its fast propagation capability it has taken advantage of the FPGA internal carry logic for accurate time measurements. Furthermore, the implementation of the TDC has been performed in different clock regions and tested with different frequencies as well, achieving improvements of up to 50% for a pair of channels. Moreover, since the TDC is potentially going to be used in a trigger system for Positron Emission Tomography (PET), the algorithm for coincidence identification has been subjected to tests in order to estimate the impact on occupied resources and the execution time. This time has been optimized, resulting in speed improvements of up to 20% while preserving occupied resources.

© 2013 Elsevier Science. All rights reserved

Keywords: PET, TOF, FPGA, carry, coincidence map

1. Introduction

Nuclear Medicine has experienced a significant breakthrough over the last years due to the contributions that technology has provided in terms of versatility and precision. One of the Nuclear Medicine techniques that was enhanced, thanks to technological advances, is PET. It is a non-invasive imaging modality useful to detect anomalies such as cancer tumors. It

builds a metabolic image of processes occurring inside an organism by localizing the sites where annihilations positrons are emitted from, following the injection of a radiopharmaceutical such as FDG (fluorodeoxyglucose), that has previously injected to the patient [1]. PET systems are composed of several detectors that are usually grouped in a ring configuration. In whole body PET systems, patients are placed in the field of view generated by these detectors. The detectors ring collects information of the events which

are associated to lines of response (LORs). They are the imaginary lines that connect two opposite detectors. These events are usually associated with a pair of detectors because the annihilation process mentioned generates two photons propagating in opposite directions. The technique known as Time-of-Flight (TOF) [2][3] might permit to more precisely determine the location of the annihilation process inside the ring. Without the information of the photons TOF, it is only possible to know the LOR connecting the two-recorded impacts. However, in a subsequent stage, the annihilation point is estimated through the crossings of different LORs in an iterative process. Therefore, an accurate TOF determination offers a more precise identification of the annihilation site along the LOR. This yields great benefits, namely lower radiation exposure time for the subject, lower tracer dose as well as better image quality. Figure 1 shows an example of an annihilation inside a PET ring and the LOR representation with and without TOF information.

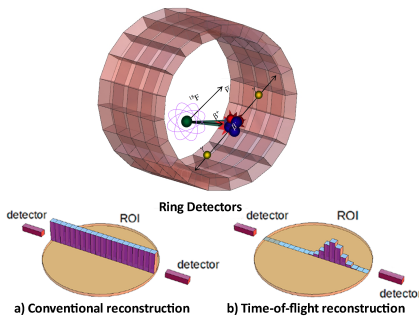


Fig. 1. Annihilation detection in a PET system.

The TOF capability implies the precise calculation of very short periods of time. As an example, in order to determine the annihilation point inside a ring with 30 cm in diameter with a time accuracy of 100 ps for the entire system (scintillator crystals, photosensors, digitizers and electronics, among others), up to twenty different regions could be identified. Measuring such times has been a challenge throughout the last decade but nowadays it is becoming a reality [4][5][6].

The traditional implementations of TOF have been carried out by Application Specific Integrated Circuits (ASICs) but currently there exist design alternatives to do so with FPGAs [7][8], which are reconfigurable and which, in contrast to ASICs, do not need to be produced in high volumes to be cost-effective. FPGAs also offer the possibility of working with multiple signals at the same time.

One of the main features of current FPGAs when used for accurate time measurement is that they are

made of repetitive structures with low propagation delays. These structures can be combined to propagate signals by connecting each element forming a delay chain and, therefore, count each individual delay through which the signal propagates. Precisely this feature is the one that has been used to implement a Time-To-Digital Converter (TDC) that generates a timestamp from the arrival of events at a detector. In the literature, it is possible to find multiple ways of implementing a TDC [5][7] with time resolutions below 100 ps Full Width Half Maximum (FWHM). However, a barrier is encountered for values below 40 ps [9][10].

In this paper we present a time resolution optimization of a TDC. As it has been previously explained, the precision in the time estimation is directly related to the determination of the annihilation point. For that purpose, various optimization processes namely placement, routing and system frequency variation were carried out, resulting in a FWHM as good as 33 ps for a pair of channels in a Kintex-7 device. The analysis and the results are presented in Section 4.

After obtaining high time resolution timestamps, the algorithm to determine the true coincidences was simulated to evaluate resource occupation and also latency (see Sections 2 and 5 for more details). Making use of Vivado HLS features, a Xilinx high-level design tool, directives for pipelining were enabled to reduce system latency. All the results and comparisons are amply discussed in Section 5 of this paper.

2. Trigger architecture.

In a PET system, the trigger unit is the one in charge of determining which detectors have registered an event within a certain time window and triggering a signal to notify the data acquisition system to properly digitalize the required signals. Fig. 2 shows a sketch of the architecture adopted for the trigger unit.

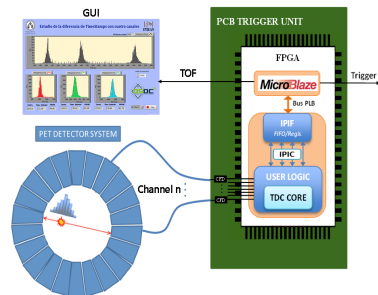


Fig. 2. PET system with a Trigger unit to provide the TOF.

The detectors generate an analog voltage signal that is injected into the trigger unit. This signal is converted to a digital pulse through a voltage level comparator working as a Constant Fraction Discriminator (CFD), a method that reduces the amplitude dependency on the digitalization process.

The TDC processes all the input pulses coming from the detectors and delivers a timestamp to the coincidence resolving unit (CRU), which implements a coincidence algorithm to determine if there has been a true coincidence or not. At the end of the process, the trigger unit would send a data frame with the information related to the involved pair of detectors and the TOF to the data acquisition system [11]. With this information, the reconstruction algorithm that estimates the annihilation point inside the ring converges faster, hence accelerating the image reconstruction.

In the next section both the implementation and the interconnection details of the processor and the TDC are amply explained.

3. TDC implementation and challenges

The following sections provide the background for the TDC design and highlights the key aspects to optimize it.

3.1. TDC basics.

The TDC [12] is based on the principle of Nutt structure. It is composed of 2 types of counters: one that counts at the system clock cycles and the other one below it. The sum of both result on a 28-bit timestamp, which is able to measure times up to 160 μ s. The delay line is a string of logic gates connected with each other forming a chain and its outputs are normally registered by synchronous flip-flops so that each clock cycle updates the value of the chain.

The delay of each element is determined by an initial calibration process in which the values of the delays are stored in a look up table (LUT). The process consists of the generation of pulses coming from an internal ring oscillator, asynchronous with the system frequency. Thus, in each clock period the value of the delay line is updated using flip-flops; the more times an element of the delay line registers an event, the more associated delay [12].

3.2. Implementation details.

The delay line is implemented using the CARRY4 primitive of the FPGA, which in turn, is composed of four MUXCY multiplexers. Therefore a chain of MUXCY can be generated by connecting the CARRY4 blocks. Fig. 3 shows a representation example of a 4 channel TDC in a Spartan-6 device (mod. xc6slx45) is shown. A 200 MHz clock and a delay line of about 100

CARRY4 blocks were used, the average time of each MUXCY coming to roughly 30 ps. The red columns are the delay lines and the blue blocks the remaining employed logic.

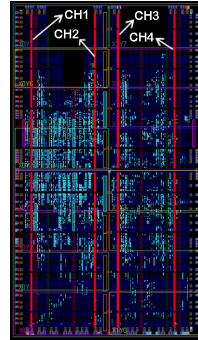


Fig. 3. FPGA internal TDC implementation

In order to test the system resolution, a square signal of 10 MHz, 1 V_{pp} and 0.5 V_{off} was externally generated by a function generator and injected into a single FPGA Input/Output Block (IOB). Since the delay lines were kept a certain distance from each other, time differences were calculated with respect to channel 1.

As has been shown in Fig. 2, the TDC was added as a custom IP in EDK in order to establish communication with the MicroBlaze processor, working at 50 MHz through PLB bus. In the User Logic process, the timestamps were mapped into the 32-bit registers and read by means of the generated Application Programming Interfaces (APIs). The time differences between them were calculated and the values were sent by UART. Finally, a LabView application collected and adjusted them to a Gaussian distribution.

Fig. 4 exhibits the Gaussian distributions for the three cases with FWHM values of about 80 ps. It is also possible to examine how the centroids are spaced according to the internal delay line distribution shown in Fig. 3 [13].

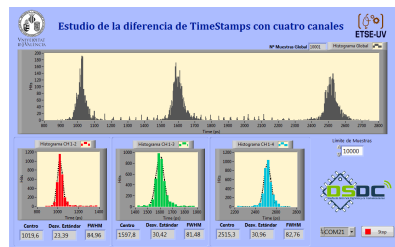


Fig. 4. LabView user interface to check the time differences between the four channels.

Although the time resolutions obtained are quite acceptable, the goal is to achieve resolutions below 40 ps, which will be crucial for the application mentioned. Therefore, an optimization process was carried out. The exact implementation arrangements as well as the results obtained are going to be presented in the following section.

Apart from the matter of time resolution reduction, there is also another important issue that is going to be dealt with in the next section. This is the delay line length. As mentioned at the beginning of this subsection, the current delay line is composed of 100 CARRY4 blocks. Since the delay lines are placed vertically, the amount of occupied space restricts the number of possible channels and, even worse, their length jeopardizes system resolution, as will be explained in the next sections.

Instead of the Spartan-6 model, a Kintex-7 type was used for the optimization process described below, due to its enhanced features [12].

4. TDC optimization process

In the first subsection, possibilities for improving the system are demonstrated and, following that, several tests are carried out with the purpose of finding the best performance.

4.1. Optimization analysis.

There are many parameters that have direct influence on the performance of the TDC. Among others are the delay line length, the system clock frequency, the routing paths, the logic surrounding the delay lines and the slices where they are placed. In this section, the influence of delay line length in combination with system frequency is studied, without leaving aside placement and routing considerations.

In the Kintex-7 used (mod. xc7k325t-2ffg900) there are 14 region clocks. Each region allows a clock distribution which ensures the minimum amount of deskews, and has a maximum number of global clocks that can be routed inside its area. For each region, there are 12 dedicated buffers. The deskew inside a region averages below 5 ps whereas the deskew outside the region can be in the order of hundreds of picoseconds [14]. As has already been explained, since each component of the delay line is registered by flip-flop, the deskew in the system clock signal has direct impact on the system performance, contributing to high non-linearity problems when it comes to high deskews.

Moreover, working frequency is also important because it is directly related to delay line length. The reason is that one of the requirements of the TDC structure is that the total delay of the delay line be higher than the system clock period. Thus, it has to be

assured that every incoming pulse is properly registered by the flip-flops, which work with the system clock. At the same time, the delay line length also influences system resolution. The individual elements that compose it (MUXCY) have an associated jitter. Thus, the higher the delay line length, the more we have accumulated jitter and non-linearity effects due to clock distribution.

4.2. Test and results.

In this subsection, four different cases are going to be presented. In them, some of the parameters, which have direct influence on the system resolution, are going to be trimmed. Two channels were implemented in order to measure the time differences between pulses arrival on each. A square signal of 1 V_{pp}, 0.5 V_{off} and 3.3 MHz was generated and injected into a FPGA port. The measurements were made with Chipscope and the data exported to a mathematical software analyzer to perform the Gaussian adjustment.

In the first scenario (Table 1), the delay line was placed so that four clock regions were occupied. A clock of 200 MHz and a total amount of 128 CARRY4 blocks were used. The internal distribution of the FPGA for two cases can be seen in the Fig. 5. The results of this and the other three stages are summarized in Table 1.

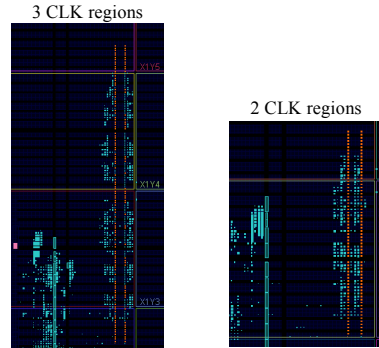


Fig. 5. Detail of the internal FPGA delay line distribution for two clock regions.

Table 1
Analysis of time resolution depending on system frequency and clock region

	Case1	Case2	Case3	Case4
CLK regions	5	4	3	2
Freq (MHz)	150	200	200	300
CARRY4	50	128	125	62
FWHM (ps)	78	72	50	36

Table 2. Analysis of time resolution for a fixed frequency and different delay line placement

	Loc. 1	Loc. 2	Loc. 3	Loc. 4	Loc. 5	Loc. 6
Clk reg.	X0Y6 X0Y5	X1Y5 X1Y6	X0Y4 X0Y3	X1Y3 X1Y4	X0Y1 X0Y2	X1Y1 X1Y2
Delay line 1	X3Y175	X111y254	X72Y151	X109Y152	X28Y10	X90Y11
Delay line 2	X9Y175	X116Y254	X76Y151	X114Y152	X36Y10	X98Y11
FWHM (ps)	33	35	37	44	39	54

As expected, optimization of the number of CARRY4 element blocks and the system frequency on the delay line, achieved a time resolution of 36 ps FWHM in the best case (high frequency and low number of CARRY4 blocks). Two clock regions have been occupied and since there may be areas where clock signal distribution and silicon uniformity are better, this configuration is going to be tested using placement scanning by positioning the delay lines at six different areas, thus resulting in 12 clock regions. This experiment allows estimation of system performance when more channels are added in the FPGA. Table 2 collects all the data resulting from this test.

The results show a best location of 33 ps FWHM for Loc. 1, with the clock regions X0Y6 and X0Y5, which is roughly the same value as that obtained in the first three locations. Therefore, no significant time improvements are achieved with the delay line placements studied, but no substantial deterioration either, which indicates uniformity. Moreover, the standard deviation for all FWHM values shown in Table 2 resulted to be 7.7 ps, being accurate enough for the type of measurements that will be carried out in this work.

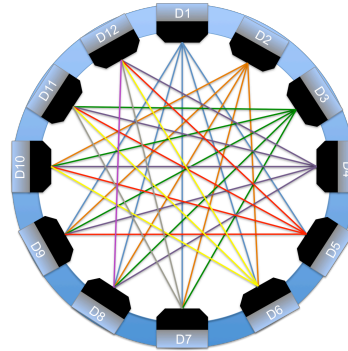
5. Coincidence map

In this section, the procedures for implementing a coincidence finder engine are going to be presented. First, the theory of coincidence detection is described, followed by the proposed algorithm to achieve it. In the implementation subsection, details of latencies and occupied resources are exposed, implementing an optimization process that improves latency while preserving resources. In this study, a PET ring with 12 detectors has been taken into consideration [15].

5.1. Coincidence detection fundamentals.

The objective of the CRU is to identify prompt coincidences and discard some of those that are false. These prompt coincidences come from two 511 keV photons propagating in opposite directions but which arrive at the detectors at times within a certain range. Additionally, the detectors that register the event must be referred to the coincidence map. Depending on the

detectors number and the associated pairs, the coincidence to consider varies. Fig. 6 shows a PET ring of 12 detectors and the total amount of coincidences between them.

**Fig. 6.** Pairing for the 12-detector PET ring.

In this case, a total of 5 pairs per detector module have been selected. It could be possible to select even more pairs but the large amount of data that the CRU would have to manage may present a problem due to the latencies. For the 12x12 structure, a total number of 144 elements and 29 resulting pairs have been used. Therefore, according to the figure, the matrix of the coincidence map is:

$$\begin{pmatrix}
 & d1 & d2 & d3 & d4 & d5 & d6 & d7 & d8 & d9 & d10 & d11 & d12 \\
 d1 & 0 & 0 & 0 & 0 & 1 & 1 & 1 & 1 & 1 & 0 & 0 & 0 \\
 d2 & 0 & 0 & 0 & 0 & 0 & 1 & 1 & 1 & 1 & 1 & 0 & 0 \\
 d3 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 1 & 1 & 1 & 1 & 0 \\
 d4 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 1 & 1 & 1 & 1 \\
 d5 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 1 & 1 & 1 \\
 d6 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 1 & 1 \\
 d7 & 1 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 1 \\
 d8 & 1 & 1 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 \\
 d9 & 1 & 1 & 1 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\
 d10 & 0 & 1 & 1 & 1 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 0 \\
 d11 & 0 & 0 & 1 & 1 & 1 & 1 & 1 & 0 & 0 & 0 & 0 & 0 \\
 d12 & 0 & 0 & 0 & 1 & 1 & 1 & 1 & 1 & 0 & 0 & 0 & 0
 \end{pmatrix}$$
Fig. 7. Matrix with the interrelationships of the twelve detectors.

The matrix associates each detector to the other twelve, assigning a "1" logic if the two elements belong to the same coincidence group. Having defined the

foundations, it is going to move on to describe the proposed algorithm for both coincidence identification and TOF determination.

Having defined the matrix, the other parameter that defines the coincidence determination is the coincidence window. When the first gamma photon impacts a detector, a time window is opened so that the matching detectors are waiting for an event. The coincidence window is restricted by the system resolution. The lower the value of the system resolution the lower the window value can be. The window is not only used for TOF determination but for discriminating random coincidences as well. It also has to be long enough to ensure the detection of true coincidences. In this case, the coincidence window has been fixed to 1 ns due to previous results obtained with two detectors in coincidence [16].

5.2. TOF determination algorithm.

The CRU must analyze the data coming from the TDC in order to determine which of the events meet the conditions to be considered as valid coincidences. Due to differences in the speed between the TDC and the processor, an asynchronous mechanism has been designed. This mechanism includes two elements: a FIFO and a RAM memory. The FIFO will be integrated with the TDC and the RAM will be external to both, TDC and CRU. When the FIFO is full, the data are downloaded to RAM memory so the CRU can analyze them while the FIFO continues being written by the TDC. This process is illustrated in Fig. 8, where the different steps are numbered.

In order to determine FIFO size, two parameters have been considered: the window size and the data rate. The data rate depends on tracer dose but also on the PET based technology. As a reference, 50,000 events/sec have been taken [15][17]. Of these events, roughly 10% are true coincidences and thus, with a FIFO size of 512 slots of 32 bits each (16K bits) a total of about 50 coincidences would be contained. This also means that the 512 slots take 10.2 ms to be completed, which implies that the CRU must finish the analysis of the RAM before that time.

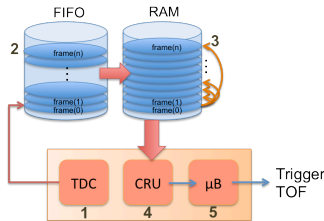


Fig. 8. Sequence for the coincidence determination.

Having described the process, the procedure for determining the TOF needs to be defined. When the two photons are generated, they take a certain time to arrive at the detectors. These two times need to be resolved. Next equations describe the TOF calculation. They are based on the system equation (1), which represents the key parameters to obtain the TOF.

$$\begin{cases} t_a + t_b = t_{ab} \\ t_a - t_b = A_{raw} \end{cases} \quad (1)$$

In this equation, t_a and t_b are the unknown times (corresponding to the time from when annihilation takes place until the two photons arrive at the detectors). The sum of these times results in the distance of the two detectors (t_{ab}), which is a known parameter and it is stored in memory (3). The second equation of the system reflects the timestamp difference that is obtained. Since the timestamp is an incremental parameter (the TDC generates a new timestamp for each event) it can provide only a time difference between both events, but not the individual times being sought. That is precisely the duty of A_{raw} (2), which calculates the timestamp (ts) difference if the detectors (da , db) are in the coincidence map (m).

$$A_{raw} = m(da, db) \cdot |ts_a - ts_b| \quad (2)$$

$$t_{ab} = \frac{dist \sqrt{da db}}{c} \quad (3)$$

$$TOF = \frac{(t_{ab} - A_{raw})}{2} \quad (4)$$

As mentioned, the detectors are contained in the 32-bit frame where the 28-bit timestamp is also included. Finally, the TOF can be deduced from the system equation (1) resulting in the expression (4). The exact annihilation point will be established according to the detector that has registered the event first, which means that it will have been produced in "its ring side".

5.3. Implementation.

This subsection contains the implementation details of the coincidence algorithm, where Vivado HLS was used. Vivado HLS is a Xilinx high level synthesis tool that, on the one hand, allows creation of an Intellectual Property (IP) core for communication with peripherals and embedded processors through a Xilinx bus from a high level programming language like C, C++ and SystemC and on the other hand, provides simulation

options, latency and resource estimation as well as “directives”, used to define code regions to be trimmed for optimization purpose [18].

To take advantage of all this features, first of all the C code is simulated. The flow-diagram will first be explained (see Fig. 9) and then, the optimization method described.

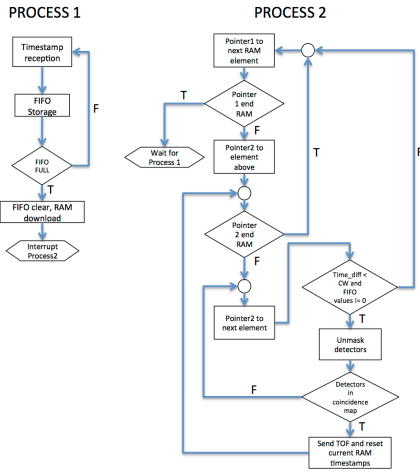


Fig. 9. Program flow-diagram for the implemented algorithm.

In the flow-diagram, two different processes can be distinguished. The first in charge of generating data to be written in the *FIFO*. Actually, it is the test bench file that randomly generates *FIFO* contents with frames composed of timestamps (28 bits) and detector number (4 bits). The standard deviation is fixed so that the number of coincidences is around 50. Process 2 corresponds to the coincidence-resolving algorithm, which runs in the whole memory seeking a valid timestamp difference corresponding to two matched detectors.

Process 2 has two defined loops. One that points to the frame to be evaluated; and the other that goes through the frames above seeking coincidence members. If the timestamp differences are within the fixed window value, the detectors are matched according to the coincidence matrix and the timestamp values are not zero, then TOF is calculated as from (4). Then, both frames are deleted so that they are no longer considered in the coincidence process. That is the reason why if the value of the frame is zero, the second loop breaks and the first loop raises the pointer to the next element in memory.

In order to estimate program flow latency, the tool needs some boundaries to be fixed in the loops. If the loops have a fixed number of iterations, the tool is able to estimate the latency but, if not, the user must specify them through the directive *tripcount*. The drawback of using such a directive is, it only has effects in the synthesis but not in the implementation, whereby it has no real effect. Although the number of iterations of the second loop depends on the first loop, the problem has been solved by adding a fixed value of 512 and doing the following:

```
loop_0:for (i=fifo_depth;i>0;i--){
    a = fifo[i] & 0x0FFFFFFF;

    loop_1:for (j=fifo_depth;j>1;j--){

        index_c = j-1-(fifo_depth-1);
        if (index_c < 0)break;

        b = fifo[index_c] & 0x0FFFFFFF;
```

Fig. 10. Piece of code with the two loops and the adopted solution for fixing the second loop iterations.

The second loop is supposed to start with “*j = i*” but such a dependency is avoided changing the index inside the loop. With *index_c*, memory slots above the index “*i*” are walked but does not make sense to do so 512 times (*fifo_depth*). That is why the “if” condition is included, to break the loop whether *index_c* has no more data elements above.

In the first loop, one can clearly see that the number of iterations is a fixed value that corresponds to the number of RAM slots (512 in this case). The second loop depends on the number of coincidences found. In case there were no coincidences, the upper limit (L_u), would be:

$$L_u = \sum_{i=0}^{F-1} i \rightarrow F = 512 \rightarrow L_u = 131,328 \quad (6)$$

But, as has already been mentioned in Subsection 5.2, 10% of the events are coincidences and, thus, about 50 slots are randomly distributed along the memory. Thence, the number of iterations has been obtained by simulating the code, resulting on 124,729. This number is quite large and will have direct impact with the latency.

Vivado HLS requires a clock frequency as well to estimate the execution times. A 100 MHz clock has been configured having in mind that the CRU will be part of the AXI bus working at such a frequency. The FPGA family has also been selected, keeping the Kintex-7 model of the Section 4.

Table 3. Latency and resource occupancy for the adopted solutions.

		Pre-Implementation		Post-Implementation	
		Solution 1	Solution 2	Solution 1	Solution 2
Latency (Clk cycles)	min	786945	657409	786945	657409
	max	1055745	929793	1055745	929793
Resources	Slice(50,950)	-	-	294(0.6%)	330(0.65%)
	BRAM_18K(890)	1	1	0	0
	DSP48E(840)	5(0.6%)	5(0.6%)	5(0.6%)	5(0.6%)
	FF(407,600)	720(0.2%)	817(0.2%)	526(0.13%)	623(0.15%)
	LUT(203,800)	1703(0.8%)	1985(1%)	834(0.4%)	937(0.46%)

One of the Vivado HLS strengths is the possibility to incorporate directives which help to take advantage of the FPGA features, like concurrence. There are many directives, each of them useful depending on the application. For example, Dataflow directive allows to execute concurrently all functions or loops below the Top-level function. In this case its use does not make sense since there is only a function below the Top-level and the loops cannot be executed in parallel.

In contrast, pipelining also allows to execute the instructions inside a loop in parallel by adding new hardware resources, i.e., unrolling the loop, but is more focused on parallelize more deeply each operation than Dataflow directive. Pipeline takes into account the loop hierarchy by unrolling all the sub-loops below the selected. Sometimes, it may result in such a high resource occupancy that can make unfeasible the synthesis.

With the Unroll directive, each individual loop can be unrolled independently. Moreover, a standard loop of N iterations can be unrolled by certain factor. If the unrolling factor is two, then the loop will be unrolled as it were of N/2 iterations, saving area and resources. As an example, Fig. 11 exhibits the hardware difference on a loop implementation by means of the directive Unroll, although it can be also applied for pipeline.

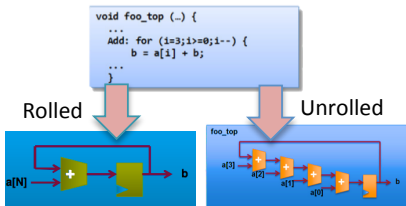


Fig. 11. Hardware impact without (left) and with (right) the unroll directive.

For the present application, these two directives have been applied. Pipeline directive has been

unsatisfactory due to the high amount of resources that the implementation registered. In fact, the tool was unable to implement the design. Thus, the unroll directive was applied to the second loop with a factor of two. Otherwise, the implementation resulted unsatisfactory as well.

After the configuration, two different solutions were tested. One without any directive and the other with the Unroll directive. For both, the synthesis and the implementation were launched, resulting on the Table 3. Table 3 has two different sections. The left column shows the results only for the synthesis analysis. This means that the high-level code is converted to hardware description language and the RTL is composed so that the resources can be estimated. The latency is also calculated and it has nothing to do with the implementation. Then, latencies will be the same for both scenarios. After the synthesis, the implementation was carried out the tool ask for selecting the type of block desired to create. In this case, an IP block in VHDL has been selected to afterwards export the design to Vivado IP integrator. In the implementation, the whole design is mapped and routed. In both scenarios the implementation was successful. Despite it is not necessary to implement the design for the later IP export, this helps to avoid future errors in the entire design, where more blocks take place and where it is trickier to debug errors.

The differences on the two scenarios are as expected. On the one hand, the latencies are lower for the second scenario, where the loop was unrolled. In the worst case, the latencies are 10.5 ms and 9.3 ms, respectively. The first result would be outside the fixed boundary of 10.2 ms (time that takes to FIFO be full) whereas the second value would be enough to process all data while the FIFO is getting full. On the other hand, the resource occupation varies negligibly for both cases. Note that the total amount of device resources are in brackets. They barely raise the 1% occupancy in all the components (LUT, FF, BRAM and DSPs) although with the Unroll directive the resources are a bit large. It is also remarkable how the amount of resources changes between the synthesis and the

implementation due to the fact that the first is nevertheless an estimation.

6. Conclusions

Various optimization processes have been presented. First, a multichannel TDC based on CARRY4 delay lines has been introduced with a time resolution of 80 ps FWHM for time differences. The main goal was to reduce the time resolution below 40 ps to have a chance of reducing the annihilation point uncertainty of the PET system as much as possible. By means of increasing the system frequency and, consequently, reducing the delay line length, and also reducing those clock regions where the delay line was placed, an improvement of up to 32 ps was achieved. Furthermore, the best configuration was subject to different delay line locations in order to test whether the results could be degraded. The result was that the time resolution remained roughly constant for six placement study cases, with a standard deviation of 7 ps.

Second, an algorithm for resolving time coincidences for a PET ring of 12 detectors was devised. The fundamentals of coincidence determination were shown and implemented with a novel Xilinx high-level synthesis tool, Vivado HLS. The correct behavior was simulated with a test bench, which prepared *FIFO* data with time stamps as if it were the TDC. Once coincidence mapping and the TOF solving had been evaluated, the design was synthesized and implemented and both, the latencies and the predicated FPGA resources were analyzed and several optimizations were carried out which improved system performance by 20%, allowing the early results not losing data from the *FIFO*.

Finally, a report comparison between the two implementations (the first and the other with optimization directives) was introduced to determine whether latency improvements had not resulted in substantial resources utilization. The feasibility of the proposed design has been validated through the utilization of the Vivado HLS tools, simulating the correct behavior of the CRU and implementing his architecture in a hardware description language.

References

- [1] G. Muehlethner and J. Karp, Positron emission tomography, *Phys. Med. Biol.* 51 (2006) R117-R137.
- [2] William W. Moses, Recent advances and future advances in time-of-flight PET, *Nuclear Instruments and Methods in Physics Research A*, 580 (2007) 919-924..
- [3] S. Surti et al., Investigation of time-of-flight benefit for fully 3-D PET, *IEEE Transactions on Medical Imaging*, Vol. 25, No. 5, May, (2006) .
- [4] C. Hervé et al., High resolution time-to-digital converter (TDC) implemented in field programmable gate array (FPGA) with compensated process voltage and temperature (PVT) variations, *Nuclear Instruments and Methods in Physics Research A*, 682 (2012) 16-25.
- [5] Kyung-chan Jin and Myung-kook Moon, TDC module for Time-of-flight, *IEEE Nuclear Science Symposium Conference Record* (2007) N15-319.
- [6] S. S. Junnarkar et al., FPGA-based self-calibrating time-to-digital converter for time-of-flight experiments, *IEEE Transactions on Nuclear Science*, Vol. 56, No. 4, August (2009).
- [7] A. M. Amiri et al., A multihit time-to-digital converter architecture on FPGA, *IEEE Transactions on instrumentation and measurement*, Vol. 58, No. 3, March (2009), pp. 530-540.
- [8] A. M. Amiri et al., Low dead time, multi-hit FPGA-based time-to-digital converter, *Circuits and Systems, IEEE North-East Workshop on* (2006) pp. 29-32.
- [9] Li Nan et al., Design and implementation of 20GHz ultra high speed time-to-digital converter, *International Conference on Intelligent System Design and Engineering application* (2010), pp. 498-501, doi: 10.1109/ISDEA.2010.120.
- [10] J. Wu, Several key issues on implementing delay line based TDCs using FPGAs, *IEEE Transactions on Nuclear Science*, Vol. 57, No.3, June (2010), pp. 1543-1548.
- [11] J. Torres et al., High resolution Time of Flight determination based on reconfigurable logic devices for future PET/MR systems, *Nuclear Instruments Methods A*, 702 pp. 73-76 (2013).
- [12] J. Torres et al., Time to digital converter base don FPGA with multiple channel capability, *Transactions Nuclear Science*, Vol. 61, Issue 1, pp. 107-114 (2013).
- [13] A. Aguilar et al., Implementación de un core TDC multicanal de alta resolución para sistemas PET, *XIII Jornadas de Computación Reconfigurable y Aplicaciones*, ISBN: 978-84-695-8318-0 (2013), pp. 23-26.
- [14] H. Menninga et al., A multi-channel, 10ps resolution, FPGA-based TDC with 300MS/s throughput for open-source PET applications.
- [15] A. González et al., Design and first results of an innovative and dedicated breast PET, *Current Medical Imaging Reviews*, Vol.8, pp. 144-150 (2012).
- [16] A. Aguilar et al., Time of Flight measurements based on FPGA and SiPM for PET-MR, *Nuclear Instruments Methods A*, Vol. 734, Part B, pp. 127-131 (2014).
- [17] L. Moliner et al., Design and evaluation of the MAMMI dedicated breast PET, *Med. Phys.* Vol. 39, No.9, pp. 5393-5404 (2012).
- [18] Stephen Neuendorffer and Fernando Martínez-Vallina, Building Zynq accelerators with Vivado HLS (2013), URL: http://tcfpfga.org/fpga2013/VivadoHLS_Tutorial.pdf.



Albert Aguilar got the M.S. degree in Electronics engineering in 2011 from the University of Valencia, Spain. Meanwhile, he joined the DSDC group developing different projects related with embedded systems, SoCs and conditioning circuits for health-care applications. Currently, he is a Ph.D. student in the same department. His research field is focused on the development of read-out electronic circuits FPGA-based for nuclear medicine applications. He also belongs to IEEE-UV Student Branch, being one of its founding members.



Adrián Suárez holds a degree in Telecommunications Engineering specialty Electronic Systems (2012) from University of Valencia. He is currently finishing a Masters of Electronic Engineering and participates in research in the field of health technology used in Positron Emission Tomography (PET) systems in the Department of Electronic Engineering at the University of Valencia. Moreover, he is the current president of the IEEE Student Branch University of Valencia and one of its founding members.



Raimundo García received the M.Sc. in Physics Sciences in 1998 and the M.Sc. in Electronic Engineering in 2000, both from the Universidad de Valencia (UVeG). In 2002 he joined the Optical and Quantum Communications Group at Universidad Politécnica de Valencia (UPV), where he received the Ph.D. degree for his job on design and fabrication of advanced optical filters for telecommunications and sensing applications. Currently, he is Assistant Professor in the Electronics Engineering Department and he is currently working on embedded systems (FPGAs, PSOCs) and its application to medical image systems and environmental intelligence



José Torres got both, his M.S. and Ph.D. degree in Electronics engineering (2000, 2005) from the University of Valencia, Spain, where he is currently working as an Associate Professor. His research field is focused on FPGA-based read-out systems for high-energy physics. He has been member of the TileCal detector group for the ATLAS experiment at CERN, which have recently proved the Higgs boson existence. He has been part of more than 20 national and international projects as a researcher and coordinator. He is co-author of more than 30 papers and reviewer of several IEEE journals.



José María Benlloch is a researcher at the CSIC. He has worked in several leading international centers, such as CERN and in Fermi National Accelerator Laboratory. There, he was a CDF collaborator and discovered the quark top. He has also been Staff of the MIT in the group of Professor Jerome Friedman, awarded with the Nobel Prize on Physics in 1990. Currently, he is the director of the Institute for Instrumentation in Molecular Imaging (IMI). He has received a Prize of the World Federation on Nuclear Medicine and Biology in Technology (2002) and a Rey Jaime I Prize on New Technologies (2008).



Antonio J. González got the Physics degree in 2002 at the University of Valencia. He obtained the Ph.D. at the University of Heidelberg (Germany, 2005). The Ph.D. work was carried out at the Max Planck Institute for Nuclear Physics in Heidelberg with a scholarship from the Max Planck Society. Antonio J. González is currently research staff (JAEDOC) at the Spanish National Research Council at the Institute for Instrumentation in Molecular Imaging, Valencia (Spain). He is working in the development of molecular imaging systems, in particular hybrid PET-MR devices, based on SiPMs.

Bloque 5

- **Capítulo 9.** Conclusión y trabajo futuro.
 - **Capítulo 10.** Bibliografía.
-

Capítulo 9

Conclusión y trabajo futuro

Las conclusiones a las que se ha llegado tras el desarrollo de la presente Tesis Doctoral son expuestas en este capítulo. Asimismo, las principales líneas actuales y futuras asociadas a esta investigación son abordadas para finalizar.

9.1. Conclusión

Al inicio de la presente Tesis se había planteado la hipótesis de diseñar un sistema de medida de tiempos preciso con posibilidad de ser integrado en equipos PET como módulo complementario con el fin de mejorar la capacidad del sistema en la generación de imágenes. Las mejoras que debía aportar esta aproximación se habían definido en tres escenarios: reducción del ruido de fondo en las imágenes, reducción de dosis de radiofármaco y en el tiempo de exposición del paciente, y la posibilidad de reducción del número de detectores en algunos sistemas. Esto último permite implementar estructuras más ergonómicas y conseguir, además, una reducción en costes. Esta hipótesis ha sido validada a lo largo de esta Tesis, en la que se han presentado un conjunto de artículos ordenados que recogen la evolución de la misma. Previo a estos, se introducen los fundamentos que han sostenido gran parte del trabajo y que han sido necesarios para poder llevar a cabo la línea de investigación actual.

Inicialmente, se estudiaron las distintas alternativas para la implementación de un sistema cuyas capacidades permitieran medir tiempos en la escala de centenares de picosegundos de resolución basado en FPGA. A su vez, el sistema debía ser capaz de procesar múltiples canales en paralelo, ya que la determinación de coincidencias en sistemas PET exige que estas se procesen de forma independiente para cada uno de los módulos. Frente a otras alternativas basadas en circuitos a medida, se escogen las FPGAs por las muchas ventajas que ofrecen: sistema modular, lógica reconfigurable, capacidad de trabajar en paralelo, bajo coste y estructuras internas para realizar medidas de precisión, entre otras. Se implementa un TDC mediante las estructuras de acarreo de la FPGA, cuyo retardo individual es de pocas decenas de picosegundos. Se aprovecha esta característica para propagar las señales de entrada por una cadena compuesta por dichos bloques. Después, se hace un conteo de aquellos que

se han cruzado, habiendo previamente calibrado de forma precisa cada retardo individual debido a su no-homogeneidad en el tiempo de propagación. Se presentan las primeras medidas con múltiples canales (un total de 24, pudiendo implementar hasta 64 para el modelo escogido) de forma simultánea en las que los resultados tienen una resolución menor de 85 ps, en la línea de lo que se quería obtener. Este modelo ha sido también implementado en otros trabajos, [46], [47], que se han seguido a lo largo de la presente Tesis. A diferencia de algunos de estos, mediante la estructura propuesta se ha conseguido medir tiempos con una precisión de 40 ps FWHM, optimizando tanto el área como la frecuencia de funcionamiento, además de otras ventajas explicadas ampliamente en el Capítulo 4.

Pasada esta primera fase, se integra el sistema en un prototipo PET basado en PSPMTs, configurando un set-up adecuado para la medida de tiempos. En este apartado se valida el funcionamiento del sistema de forma parcial, utilizando discriminadores comerciales para discretizar la señal de los detectores. Se consigue el objetivo de medir diferencias temporales con una elevada precisión (hasta 1.5 ns). Esto significa poder reducir la ventana de coincidencias del sistema hasta tal valor.

La validación llevada a cabo en la implementación del TDC en sistemas formados por PSPMTs, como elemento fotosensor, permitió migrar a detectores de estado sólido como son los SiPMs. El objetivo era obtener una resolución igual o menor que en el caso de PSPMTs. El motivo principal de esta migración se produce por la tendencia actual a remplazar los PSPMTs por sensores con la capacidad de trabajar en entornos con campos magnéticos (MR) elevados. Esta tendencia es el resultado de pretender combinar las técnicas PET/MR con el objetivo de adquirir imágenes de ambas modalidades simultáneamente. La información que de este tipo de medidas se podría obtener no tiene precedentes, alta resolución anatómica a través de la MR (otras modalidades de MR como la funcional, espectroscópica o el tensor de difusión proporcionan información más allá de la puramente morfológica) y sin radiación ionizante, combinada con información funcional y simultánea proporcionada por el PET. En esta Tesis se comienza con la construcción de dos pequeños módulos basados en cristales LSO y SiPMs, con los cuales se acaba midiendo coincidencias con una resolución de unos 900 ps. A pesar de que este resultado ya era menor que el obtenido con PSPMTs, no hay que perder de vista que estas pruebas se realizaron con dos SiPM de $3 \times 3 \text{ mm}^2$ de área activa cada uno, siendo esta una comparativa desigual debido al área activa mucho más extensa usada con los módulos PSPMTs. Sumado a esto, no se llevaron a cabo procesos de optimización exhaustivos de diversas variables que están directamente relacionadas con la resolución (tiempo de subida de la señal, temperatura, umbral de discriminación, tensión de ruptura etc.), con lo que el margen de mejora se presumía amplio, tal y como se demostró posteriormente.

Habiendo identificado los factores principales de influencia en la resolución, se pasa a implementar una prueba basada en arrays (matrices) de SiPMs (de hasta 12×12) y se realiza una comparativa con distintos tipos y tratamientos en el cristal centellador. Se preparan dos módulos y se les hace trabajar en coincidencia en un proceso de optimización de diversos parámetros, los cuales tienen un impacto directo en la respuesta temporal. Durante la optimización, se lleva a cabo un barrido de tensiones de alimentación, confirmando una mejora en la resolución temporal a voltajes de trabajo de aproximadamente 5 V sobre el de ruptura. Asimismo, se observa dicha mejora al reducir la temperatura del sistema detector, y por lo tanto, la corriente oscura. Por parte de la electrónica de acondicionamiento, se realiza un barrido en la tensión umbral de los discriminadores, optimizando sus valores hasta obtener la mejor respuesta. Se realizan pruebas con distintos tipos de cristales, buscando obtener una relación de la cantidad de luz recibida por el fotodetector con la resolución temporal. Se consigue un valor de Tiempo de Resolución de Coincidencias (CRT, del inglés *Coincidence Resolving Time*) de 650 ps FWHM, siendo la contribución individual por cada bloque sensor (144 SiPMs) de tan solo 450 ps.

En la última parte, se trata de mejorar aún más la respuesta del TDC aplicando ciertas técnicas de optimización. Se consigue reducir la precisión en la medida de tiempos a la mitad, de 80 a 40 ps para diferencias de tiempo entre dos canales. Esto supondrá un impacto considerable conforme se vayan reduciendo los errores introducidos por los detectores y la electrónica asociada. Además de esto, se propone una implementación para el algoritmo de coincidencias, encargado de comprobar cuáles de los pares de detectores han detectado sucesos dentro de la ventana de coincidencias. Se consigue optimizar la velocidad de cálculo en un 20% mediante técnicas de paralelización hardware, y se prepara un módulo para su integración directa en la FPGA.

Como conclusión final de la investigación, se puede decir que las FPGAs son dispositivos válidos para el cálculo del Tiempo de Vuelo, pudiendo realizar cálculos con una resolución por debajo de 40 ps (sin tener en cuenta los errores introducidos por los detectores). También son capaces de paralelizar los eventos procedentes de los módulos detectores de un PET. Se concluye, por otra parte, que se pueden utilizar múltiples detectores SiPM (12×12) y cristal LYSO en combinación con un sistema de detección de coincidencias y conseguir resoluciones de hasta 750 ps. Este valor es destacable si se compara con el estado del arte [77]-[79] tal y como se ha explicado en el Capítulo 7.

9.2. Trabajo futuro

Tras el trabajo realizado en la presente Tesis Doctoral, surgen distintas líneas de desarrollo en las que se pretende seguir trabajando. Se persigue seguir mejorando la precisión en la determinación del TOF. A continuación, se listan varias de las líneas en las que ya se ha empezado a trabajar.

- **Diseño de la etapa discriminadora.** En las pruebas realizadas hasta la fecha, se han utilizado como discriminadores CFDs comerciales. Estos módulos, aunque ofrecen altas prestaciones, son de grandes dimensiones y tienen limitaciones de reconfigurabilidad y versatilidad para el uso de señales con características dispares. Se pretende, pues, emprender el diseño de un discriminador propio de pequeñas dimensiones aplicado a señales de detectores SiPM. Para evaluar hasta qué punto influye en cada caso, se implementarán diversas alternativas como las que se han propuesto en el capítulo 2 (LED, CFD, DLED) y se tomarán medidas que determinen su validez. De los prototipos que se hayan desarrollado, se abordará en profundidad el diseño de la opción escogida.
- **Diseño de la PCB completa.** Una vez todos los elementos estén definidos, se integrarían en una única tarjeta. Esta tarjeta estará compuesta por diversos discriminadores (hasta 100), que recibirán la señal procedente de los módulos detectores del PET. Cada uno de ellos, acabará enviando un pulso a la FPGA, que determinará los pares que han producido coincidencia y el Tiempo de Vuelo de dichos pares.
- **Optimizaciones en los detectores.** El objetivo que nos hemos planteado recientemente es alcanzar una resolución para el cálculo del TOF, con arrays de SiPMs y el sistema de digitalización, en el orden de 500 ps. Por el momento, los sistemas comerciales PET disponen de una capacidad de medida de TOF en el orden mencionado [7], pero hay que tener en cuenta que tales sistemas están basados en detectores del tipo PMT. En colaboración con el Instituto de Instrumentación para la Imagen Molecular, se están estudiando, tal y como refleja la más reciente publicación (Capítulo 7), los factores en la composición de cada parte del detector (cristal, tamaño del fotosensor, etc...), que afectan a la resolución temporal del sistema. Sin embargo, podrían implementarse técnicas

novedosas en la electrónica asociada [80] a los detectores que permitiesen una mejora de los resultados ya obtenidos.

- **Utilización del TOF en otras aplicaciones.** Dada la alta resolución alcanzada y su versatilidad, el uso del sistema propuesto puede extenderse a otros ámbitos que requieran de una mejora en la precisión con que los sucesos de interés se producen. Como ejemplo, podría aplicarse en medidas de tiempo de propagación de partículas o fotones en diferentes medios, fibra óptica, etc. Del mismo modo podría aplicarse en entornos de física de partículas, como detectores en colisionadores, o en otras aplicaciones de medida de tiempos que requieran alta resolución [81].

Capítulo 10

Bibliografía

A lo largo de esta Tesis Doctoral, se han presentando diversos capítulos. A continuación, se recogen todas las referencias citadas a lo largo de estos, sin tener en cuenta aquellas incluidas en los Artículos, por estar contenidas en ellos mismos.

- [1] V. W. Pike, "PET radiotracers: crossing the blood-brain barrier and surviving metabolism", *Trends in Pharmacological Sciences*, Vol. 30, Issue 8, pp. 431-440 (2009).
- [2] J.S. Karp, *et al.*, "Benefit of time-of-flight in PET: experimental and clinical results", *Journal Nuclear Medicine*, Vol. 49(3), pp. 462-470 (2008).
- [3] S. Surti and J.S. Karp, "Design considerations for a limited-angle, dedicated breast TOF PET scanner", in *Proc. IEEE NSS Conf. Rec., Hawaii*, Vol. 53(11), pp. 2911-2921 (2007).
- [4] G. Shakirin, *et al.*, "Influence of the time of flight information on the reconstruction of in-beam PET data" in *Proc. IEEE NSS Conf. Rec., Hawaii*, (2007).
- [5] <http://www.iss.infn.it/topem/TOF-PET/timeofflightpet.pdf>
- [6] M. Conti, *et al.*, "Assessment of the clinical potential of a time-of-flight PET/CT scanner". 2008 SNM Annual Meeting Proceedings, New Orleans, Louisiana, Vol. 47, pp. 184-190 (2008).
- [7] S. Surti, *et al.*, "Performance of Philips Gemini TF PET/CT scanner with special consideration for its time-of-flight imaging capabilities", *Journal of Nuclear Medicine*, Vol.48(3), pp. 471-80 (2007).
- [8] G.B. Saha, "Basics of PET Imaging, Physics, Chemistry, and Regulations" Book, ISBN: 1441908048 (2005).
- [9] H. Zaidi, *et al.*, "Design and performance evaluation of a whole-body Ingenuity TF PET-MRI system", *Phys. Med. Biol.*, Vol. 56 pp. 3091-3106 (2011).
- [10] J.M. Wilson and T.G. Turkington, "TOF-PET Small-Lesion Image Quality Measured Over a Range of Phantom Sizes", in *Proc. IEEE NSS Conf. Rec.*, pp. 3710-3714 (2009).
- [11] G. Delso, *et al.*, "Performance Measurements of the Siemens mMR Integrated Whole-Body PET/MR Scanner", *Journal of Nuclear Medicine*, Vol. 52 no. 12, pp. 1914-1922 (2011).

- [12] G. Antoch and A. Bocksch, "Combined PET/MRI: a new dimension in whole-body oncology imaging?", *European Journal of Nuclear Medicine and Molecular Imaging*, Vol. 36 (1), pp. 113-120 (2009).
- [13] D.W. Thowsend, "Physical Principles and Technology of Clinical PET Imaging", *Ann. Acad. Med. Singapore*, Vol. 33, pp. 133-45 (2004).
- [14] J.K. Staley, *et al.*, "Comparison of [¹⁸F] altanserin and [¹⁸F] deuterioaltanserin for PET imaging of serotonin_{2A} receptors in baboon brain" pharmacological studies", *Nuclear Medicine and Biology*, Vol. 28, pp. 271-279 (2001).
- [15] D. Perani, *et al.*, "[¹⁸F]FDG PET study in obsessive-compulsive disorder. A clinical/metabolic correlation study after treatment", *The British Journal of Psychiatry*, Vol. 166, pp. 244-250 (1995).
- [16] K. Ishiwata, *et al.*, "Re-evaluation of amino acid PET studies: can the protein synthesis rates in brain and tumor tissues be measured in vivo?", *Journal of Nuclear Medicine*, Vol. 34 (11), pp. 1936-1943 (1993).
- [17] J.S. Perlmutter, *et al.*, "Blood flow responses to deep brain stimulation of thalamus", *Neurology*, Vol. 58, no.9, pp. 1388-1394 (2002).
- [18] Burt, *et al.*, "Direct comparison of fluorine-18-FDG SPECT, fluorine-18-FDG PET and rest thallium-201 SPECT for detection of myocardial viability", *Journal of Nuclear Medicine*, Vol. 36(2), pp. 176-179 (1995).
- [19] C.S. Levin, "Design of a high-resolution and high-sensitivity scintillation crystal array for PET with nearly complete light collection", *IEEE Trans. Nucl. Sci.* Vol. 49 (5), pp. 2236-2243 (2002).
- [20] C.W. Lerche, "Depth of Interaction Enhanced Gamma-Ray imaging for medical applications", <http://arxiv.org/abs/physics/0611011> (2006).
- [21] http://depts.washington.edu/nucmed/IRL/pet_intro/intro_src/section2.html.
- [22] M. Korzhik, *et al.*, "Development of scintillation materials for PET scanners", *Nuclear Instruments and Methods in Physics Research A*, Vol. 571 (1-2), pp. 122-125 (2007).
- [23] M.E. Daube-Witherspoon *et al.*, "The imaging performance of a LaBr₃-based PET scanner", *Physics in Medicine and Biology*, Vol. 55 (1), pp. 45-64 (2010).
- [24] F. Risigo, *et al.*, "SiPM technology applied to radiation sensor development", *Nuclear Instruments and Methods in Physics Research A*, Vol. 607 (1), pp. 75-77 (2009).
- [25] J.S. Karp, *et al.*, "Performance of a Brain PET Camera Based on Anger-Logic Gadolinium Oxyorthosilicate Detectors", *J. Nuclear Medicine*, Vol. 44, no.8, pp. 1340-1349 (2003).
- [26] R.S. Miyaoka, *et al.*, "Design of a depth of interaction (DOI) PET detector module", *IEEE Trans. Nucl. Sci.*, Vol. 45 (3), pp. 1069-1073 (1998).
- [27] http://psec.uchicago.edu/links/pmt_handbook_complete.pdf

- [28] S. Tavernier “Experimental Techniques in Nuclear Particle Physics”, Book, Springer ISBN: 978-3-642-00829-0 (2010).
- [29] E. Albuquerque, *et al.*, “Experimental characterization of the 192 channel Clear-PEM frontend ASIC coupled to a multi-pixel APD readout of LYSO:Ce crystals”, Vol. 598 (3), pp. 802-814 (2009).
- [30] J.M. Monzo, *et al.*, “Digital Signal Processing Techniques to Improve Time Resolution in Positron Emission Tomography”, IEEE Trans. Nucl. Sci., Vol. 58 (4), pp. 1613-1620 (2011).
- [31] A. Gola, *et al.*, “Analog Circuit for Timing Measurements with large area SiPMs coupled to LYSO crystals”, IEEE Trans. Nucl. Sci., Vol. 60, no.2, pp. 1296-1302 (2013).
- [32] A. Gola and C. Piemonte, “The DLED algorithm for timing measurements on large area SiPMs coupled to scintillators”, IEEE Trans. Nucl. Sci., Vol. 59, no. 2, pp. 358-365 (2012).
- [33] M. Conti, “State of the art and challenges of time-of-flight PET”, Physica Medica 25, 1e11 (2008).
- [34] W.W. Moses, “Time of flight in PET revisited”, IEEE Tran. Nucl. Sci., Vol. 50 (5), pp. 1325-1330 (2003).
- [35] Surti S. and Karp J.S, “Design considerations for a limited-angle, dedicated breast, TOF PET scanner”, IEEE Nuclear Scien. Symp. Conf. Rec. , Vol. 5, pp. 3667-3672 (2007).
- [36] J.S. Karp, *et al.*, “Benefit of Time-of-Flight in PET_ Experimental and Clinical Results”, Journal of Nuclear Medicine, Vol. 49 (3), pp. 462-470 (2008).
- [37] <http://www.ipfn.ist.utl.pt/EU-PhD/1stedition/BrownFPGA96.pdf>
- [38] J. Torres, *et al.*, “Implementation of TOF-PET systems on Advanced Reconfigurable logic devices”, Intech, ISBN 978-953-51-1213-6 (2013).
- [39] http://www.xilinx.com/support/documentation/user_guides/ug480_7Series_XADC.pdf
- [40] W. W. Moses, *et al.*, “Recent advances and future advances in time-of-flight PET”, Nuclear Instruments and Methods in Physics Research A, Vol. 580(2), pp. 919-924 (2008).
- [41] A.S. Yousif, *et al.*, “A fine resolution TDC architecture for next generation PET imaging”, IEEE Trans. on Nucl. Sci. , Vol. 54 (5), pp. 1574-1582 (2007).
- [42] P. Fischer, *et al.*, “Multi-Channel Readout ASIC for ToF-PET”, IEEE Trans. Nucl. Sci. , Vol. 4, pp. 2523-2527 (2006).
- [43] P. Napolitano, *et al.*, “A novel sample-and-hold-based time-to-digital converter architecture”, IEEE Trans, Nucl. Sci., Vol. 59 (5), pp. 1019-1026 (2010).
- [44] M. Bogdan, *et al.*, “A 96-channel FPGA-based Time-to-Digital Converter (TDC) and fast trigger processor module with multi-hit capability and pipeline” Nuclear Instruments and Methods in Physics Research A, Vol. 554, pp. 444-457 (2005).
- [45] A. F. Kirichenko, *et al.*, “RSFQ time digitizing system”, IEEE Tras. on App. Supercond., Vol. 11 (1), pp. 978-981 (2001).

-
- [46] C. Favi and E. Charbon, "A 17 ps time-to-digital converter implemented in 65 nm FPGA technology," ACM 2009 [Online]. Available: <http://infoscience.epfl.ch/record/139431> (2009).
- [47] C. Hervé, *et al.*, "High resolution time-to-digital converter (TDC) implemented in field programmable gate array with compensated process voltage and temperature (PVT) variations Nuclear Instruments and Methods in Physics Research A, Vol. 682, pp. 16-25 (2012).
- [48] W. Gao, *et al.*, "The 10-ps wave union TDC: Improving FPGA TDC resolution beyond its cell delay," in Proc. IEEE NSS Conf. Rec., 2008, pp. 3440-3446 (2008).
- [49] H. Menninga, *et al.*, "A multi-channel, 10 ps resolution, FPGA-based TDC with 300 MS/s throughput for open-source PET applications," in Proc. IEEE NSS Conf. Rec. (2011).
- [50] J. Song, *et al.*, "A high-resolution time-to-digital converter implemented in field-programmable-gate-arrays," IEEE Trans. Nucl. Sci., Vol. 53 (1), pp. 236-241 (2006).
- [51] J. Wu, *et al.*, "Firmware-only implementation of TDC in FPGA," in Proc. IEEE NSS Conf. Rec., 2003, pp. 177-181 (2003).
- [52] J. Torres, A. Aguilar *et al.*, "Time to digital converter based on FPGA with multiple channel capability", IEEE Trans. Nucl. Sci, Vol. 61, No.3, pp. 107-114 (2013).
- [53] W. Gao, *et al.*, "Integrated High-Resolution Multi-Channel Time-to-Digital Converters (TDCs) for PET Imaging", Intech, ISBN 978-953-307-475-7 (2011).
- [54] <http://bibliodigital.itcr.ac.cr/xmlui/bitstream/handle/2238/3052/Informe%20de%20Tesis%20Juan%20Jose%20Carazo.pdf?sequence=1>.
- [55] J. Kalisz, *et al.*, "Error analysis and design of the nutt time-interval digitiser with picosecond resolution," J. Phys. E: Sci. Instrum., vol. 20, pp. 1330-1341 (1987).
- [56] K. Jin, *et al.*, "TDC module for time-of-flight", IEEE NSS Conf. Rec., N15-319, pp.761-764 (2007).
- [57] M. Conti, "Improving time resolution in time-of-flight PET", Nuclear Instruments and Methods in Physics Research Section A, Vol. 648, pp. 194-198 (2010).
- [58] H. Zaidi, *et al.*, "Design and performance evaluation of a whole-body ingenuity TF PET-MRI system," Physics in Medicine and Biology, vol. 56, pp. 3091-3106, 2011.
- [59] W. W. Moses and M. Ullisch, "Factors influencing timing resolution in a commercial LSO PET Camera", IEEE Trans. Nucl. Sci., vol. 53, no. 1, pp. 78-85 (2006).
- [60] F. Powlony and C. Balif, "Characterization of time resolved photo-detector systems for positron emission tomography." Ph.D. dissertation, Neuchatel U. (2009).
- [61] P. Jarron, *et al.*, "Time based readout of a silicon photomultiplier (SiPM) for time of flight positron emission tomography (TOF-PET)," in Proc. IEEE NSS Conf. Rec., Vol. 5 (3), pp. 1212-1219 (2009).

- [62] M. Moszynski and T. Szczesniak, "Optimization of detectors for time-of-flight PET," in *Acta Physica Polonica B Proceedings Supplement, Workshop on Timing Detectors*, Vol. 4 (1), pp. 59-64 (2010).
- [63] M. Kapusta *et al.*, "Comparison of the scintillation properties of LSO: Ce manufactured by different laboratories and of LGSO: Ce," *IEEE Tran. Nucl. Sci.*, Vol. 47, no. 4, pp. 1341-1345 (2000).
- [64] A. Parsons, "Photomultipliers - space charge effects & transit time spread," *Electron Tubes*, technical reprint R/P064.
- [65] B. Bengtson and M. Moszynski, "Timing properties of scintillation counters," *Nuclear Instruments and Methods*, Vol. 81 (1), pp. 109-120 (1970).
- [66] T. Szczesniak, *et al.*, "Fast photomultipliers for TOF PET," *IEEE Trans. Nucl. Sci.*, Vol. 56 (1), pp. 173-181 (2009).
- [67] <http://www.stanford.edu/~jbarral/Downloads/StageOption-Rapport.pdf>.
- [68] C.L. Kim *et al.*, "Multi-Pixel Photon Counters for TOF PET Detector and Its Challenges", *IEEE Trans. on Nucl. Sci.*, Vol. 56, no. 5, pp. 2580-2585 (2009).
- [69] Y. Musienko, "Advances in multipixel Geiger-mode avalanche photodiodes (silicon photomultipliers)", *Nuclear Instruments and Methods in Physics Research Section A*, Vol. 598, pp. 213-216 (2009).
- [70] C. Bruschini *et al.*, "SPADnet: Embedded coincidence in a smart sensor network for PET applications", *Nuclear Instruments and Methods in Physics Research Section A*, Vol. 734, pp. 122-126 (2014).
- [71] T. Paulus, "Timing electronics and fast timing methods with scintillation detectors," *IEEE Trans. on Nucl. Sci.*, Vol. 32, no. 3, pp. 1242-1249 (1985).
- [72] ORTEC, "Fast-timing discriminator introduction," Application note.
- [73] ORTEC, "Principles and applications of timing spectroscopy," Application note AN-42.
- [74] M. El-Wahab, *et al.*, "Constant fraction timing with scintillation detectors," *IEEE Trans. Nucl. Sci.*, Vol. 36, no. 1, pp. 401-406 (1989).
- [75] M. El-Wahab and A. El-Arabi, "Analytical study of amplitude rise time compensated timing with coaxial Ge (Li) detectors," *IEEE Trans. Nucl. Sci.*, Vol. 40, no. 2, pp. 147-152 (1993).
- [76] S. Seifert, *et al.*, "Ultra precise timing with SiPM-based TOF PET scintillation detectors," in *Proc. IEEE Nucl. Sci. Symp.*, pp. 2329-2333 (2009).
- [77] D. Schaart, *et al.*, "A novel, SiPM-array-based, monolithic scintillator detector for PET", *Phys. Med. Biol.* 54, pp. 3501-3512 (2009).
- [78] G. Llosa, *et al.*, "Characterization of a PET detector head based on continuous LYSO crystals and monolithic, 64-pixel silicon photomultipliers matrices", *Phys. Med. Biol.* Vol. 55, pp. 7299-7315 (2010).

- [79] T. Szczesniak, *et al.*, "MPPC arrays in PET detectors with LSO and BGO scintillators", *IEEE Trans. on Nucl. Sci.*, Vol. 60, no. 3, pp. 1533–1540 (2013).
- [80] J. Huizenga, *et al.*, "A fast preamplifier concept for SiPM-based time-of-flight PET detectors", *Nuclear Instruments and Methods in Physics Research Section A*, Vol. 695, pp. 379-384 (2014).
- [81] D. Primetzhofera, *et al.*, Ultra-thin film and interface analysis of high-k dielectric materials employing Time-Of-Flight Medium Energy Ion Scattering (TOF-MEIS), *Nuclear Instruments and Methods A*, doi: <http://dx.doi.org/10.1016/j.nimb.2014.02.063> (2014).

Apéndice 1

Publicaciones y participaciones en Congresos

Congresos

- ▶ *Póster*: J. Torres, R. García, A. Aguilar, J. Martos, J. Soret, J. M. Benlloch, A. González y F. Sánchez. "Impact of advanced reconfigurable devices on PET/MR performance", PET/SPECT MR Conference (PSMR), Elba (Italy), May 2012.
- ▶ *Presentación*: J. Torres, A. Aguilar, R. García, I. Leiva, P. Martínez, J. Martos y J. Soret. "Determinación del tiempo de vuelo en sistemas PET basados en FPGAs", Jornadas de Computación Reconfigurable y Aplicaciones 2012 (JCRA'12), Madrid (España), Septiembre 2012.
- ▶ *Póster*: J. Torres, A. Aguilar, R. García, P. Martínez, J. Martos, J. Soret, J. M. Benlloch, P. Conde, A. González y F. Sánchez. "Time of Flight measurements in PET systems using FPGAs", IEEE Nuclear Science Symposium and Medical Imaging Conference (NSS-MIC), California (USA), Octubre 2012.
- ▶ *Presentación*: A. Aguilar, R. García, P. Martínez, J. Martos, J. Soret, J. Torres, J. M. Benlloch, A. González y F. Sánchez. "FPGA-based multichannel time to digital converter with high resolution TOF system", PET/SPECT MR Conference (PSMR), Aachen (Germany), May 2013.
- ▶ *Póster*: A. Aguilar, R. García, J. Martos, J. Soret, J. Torres, J. M. Benlloch, A. González y F. Sánchez. "Time of flight measurements based on FPGA applied to a breast dedicated PET", International Workshop on radiation imaging detectors (IWORID'13), Paris (France), June 2013.
- ▶ *Presentación y Póster*: A. Aguilar, A. González, J. Torres, R. García, J. Martos, J. Soret, A. Suárez, L. Hernández, J. M. Benlloch y F. Sánchez. "Progress report on the latest timing results of the FPGA-based high resolution TDC with arrays of 144 SiPMs", II Mediterranean Thematic Workshop in Advanced Molecular Imaging (MEDAMI'13), Mallorca (Spain), September 2013.
- ▶ *Presentación*: A. Aguilar, R. García, I. Leiva, P. Martínez, J. Martos, J. Soret, A. Suárez y J. Torres. "Implementación de un core TDC multicanal de alta resolución para sistemas PET", Jornadas de Computación Reconfigurable y Aplicaciones (JCRA'13), Madrid (España), Septiembre 2013.

▶ *Póster*: J. Torres, A. Aguilar, R. García, J. Martos, J. Soret, J. M. Benlloch, P. Conde, L. Hernández, A. González y F. Sánchez “High resolution multichannel time to digital converter core implemented in FPGA for TOF measurements in SiPM based PET systems”, Nuclear Science Symposium and Medical Imaging Conference (NSS-MIC’13), Korea (Seoul), October 2013.

Publicaciones de congresos

▶ J. Torres, A. Aguilar, R. García, I. Leiva, P. Martínez, J. Martos y J. Soret. “Determinación del tiempo de vuelo en sistemas PET basados en FPGAs”, Actas de las XII Jornadas de Computación Reconfigurable y Aplicaciones (JCRA2012), ISBN: 978-84-695-4470-9, pp. 53-55 (2012).

▶ J. Torres, A. Aguilar, R. García, P. Martínez, J. Martos, J. Soret, J. M. Benlloch, P. Conde, A. González y F. Sánchez. “Time of Flight measurements in PET systems using FPGAs”, IEEE Nuclear Science Symposium and Medical Imaging Conference (NSS-MIC), Conference Record M16-22, pp. 3138-3140, ISBN: 978-1-4673-2030-6 (2012).

▶ A. Aguilar, R. García, I. Leiva, P. Martínez, J. Martos J. Soret y J. Torres. “Determinación del tiempo de vuelo en sistemas PET basados en FPGAs”, Actas de las XIII Jornadas de Computación Reconfigurable y Aplicaciones (JCRA2013), ISBN: 978-84-695-8318-0, pp. 23-26 (2013).

▶ J. Torres, A. Aguilar, R. García, J. Martos, J. Soret, A. González, P. Conde, L. Hernández, F. Sánchez y J. M. Benlloch. “High resolution multichannel time to digital converter core implemented in FPGA for TOF measurements in SiPM based PET systems”, IEEE Nuclear Science Symposium and Medical Imaging Conference (NSS-MIC), Conference Record, pending publication (2014).

Publicaciones en revistas

▶ J. Torres, A. Aguilar, R. García, J. Martos, J. Soret, J. M. Benlloch, A. J. González y F. Sánchez. “High resolution time of flight determination based on reconfigurable logic devices for future PET/MR systems”, Nuclear Instruments and Methods in Physics Research – A, Vol. 702, pp. 77-76, Feb 2013.

▶ J. Torres, A. Aguilar, R. García, P. Martínez, J. Martos, J. Soret, J. M. Benlloch, P. Conde, A. González y F. Sánchez. “Time to digital converter based on FPGA with multiple channel capability”, IEEE Transactions Nuclear Science, Vol. 61, No.3, pp. 107-114, Feb. 2014.

▶ A. Aguilar, R. García, P. Martínez, J. Martos, J. Soret, J. Torres, J. M. Benlloch, A. González y F. Sánchez. “Time of flight measurements based on FPGA and SiPMs for PET-MR”, Nuclear Instruments and Methods in Physics Research – A, Vol. 734, pp. 127-131, January 2014.

- ▶ A. Aguilar, R. García, J. Martos, J. Soret, J. Torres, J. M. Benlloch, A. González y F. Sánchez . "Time of flight measurements based on FPGA using a breast dedicated PET", Journal of Instrumentation (JINST), Accepted for publication, January 2014.
- ▶ A. Aguilar, R. García, J. Martos, I. Leiva, P. Martínez, A. Suárez, J. Soret, J. Torres, J. M. Benlloch y A. González. "Optimization of a Time-to-Digital Converter and a coincidence map algorithm for TOF-PET applications", Journal of Systems Architecture (JSA), Accepted for publication, 2014.
- ▶ A. Aguilar, J. Torres, R. García, J. Martos, J. Soret, P. Conde, L. Hernández, J. M. Benlloch y A. González. "Timing results using an FPGA-based TDC with large arrays of 144 SiPMs", IEEE Transactions on Nuclear Science, pending publication, 2014.

Capítulo libro

- ▶ J. Torres, R. García, A. Aguilar, J. Martos, J. Soret, J. M. Benlloch, M. J. Rodríguez, A. González y F. Sánchez. "Implementation of TOF-PET systems on advanced reconfigurable logic devices", Capítulo completo del libro "Positron Emission tomography - Recent developments in Instrumentation, Research and Clinical Oncological Practice", InTech Publisher, ISBN: 978-953-51-1213-6. Dec. 2013.

Premios

- ▶ El paper "Determinación del tiempo de vuelo en sistemas PET basados en FPGAs" fue elegido como mejor artículo del Congreso JCRA'13 y galardonado con el premio Jonathan Tombs, consistente en mención para publicación en la revista Journal of Systems Architecture y un kit de desarrollo electrónico.

Apéndice 2

Glosario de términos

ADC: Analog-to-digital converter (conversor analógico a digital).

AMBA: Advanced microcontroller bus architecture (arquitectura de bus avanzada para microcontroladores).

APD: Avalanche photodiode (fotodiodo en avalancha).

ARC: Amplitude and rise time compensated (compensación de amplitud y tiempo de subida).

ASIC: Application specific integrated circuit (circuito integrado de aplicación específica).

AXI: Advanced extensible interface (interfaz avanzada extensible).

BRAM: Block Random access memory (bloque de acceso aleatorio a memoria).

CFD: Constant fraction discriminator (discriminador de fracción constante).

CRT: Coincidence resolving time (tiempo de resolución de coincidencia).

CRU: Coincidence resolving unit (unidad de resolución de coincidencias)

DCM: Digital clock manager (gestor de reloj digital).

DLED: Differential leading edge discriminator (discriminador diferencial por flanco de subida).

DNL: differential non linearity (linealidad no diferencial).

DSP: Digital signal processor (procesador digital de señal).

FIFO: First input first output (primero en entrar, primero en salir).

FOV: Field of view (campo de visión).

FPGA: Field programmable gate array (matriz de puertas programables de campo).

FWHM: Full width half maximum (anchura a mitad del máximo).

HLS: High level synthesis (síntesis de alto nivel).

INL: Integral non linearity (integral de no linealidad).

IOB: Input/output block (bloque de entrada/salida).

IP: Intellectual property (propiedad intelectual).

LED: Leading edge discriminator (discriminador por flanco).

LOR: Line of response (línea de respuesta).

LSB: Less significant bit (bit menos significativo).

LSO: Lutetium orthosilicate (ortosilicato de lutecio)

LUT: Look-up table (tabla de consulta).

LYSO: lutetium-yttrium oxyorthosilicate (oxiortosilicato de lutecio con ytrio)

MR: magnetic resonance (resonancia magnética).

OA: Operational amplifier (amplificador operacional).

PCB: Printed circuit board (placa de circuito impreso).

PDE: Photo detection efficiency (eficiencia en la fotodetección).

PET: Positron emission tomography (tomografía por emisión de positrones).

PLL: Phase-locked loop (bucle de enganche de fase).

PMT: Photomultiplier tube (tubo fotomultiplicador).

PSPMT: Position sensitive PMT (PMT sensible a la posición).

PVT: Process of voltage and temperature variations (proceso de variación de voltaje y temperatura).

RTL: Register transfer level (nivel de transferencia de registros).

SiPM: Silicon photomultiplier (fotomultiplicador de silicio).

TDC: Time-to-Digital converter (convertidor de tiempo a digital).

TOF: Time-of-flight (tiempo de vuelo).

TTS: Transit time spread (propagación del tiempo de tránsito).

SNR: Signal-to-noise ratio (relación señal ruido).

SPECT: Single photon emission computed tomography (tomografía computerizada por emisión simple de fotones).

UART: Universal asynchronous transmitter/receiver (transmisor/receptor universal asíncrono).

