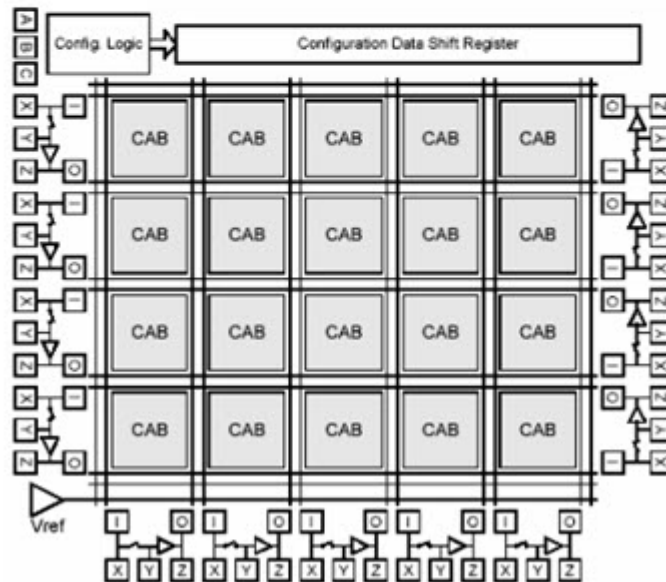


**TEMA 5**  
**DISPOSITIVOS ANALÓGICOS**  
**PROGRAMABLES**



DISEÑO DE CIRCUITOS Y SISTEMAS ELECTRÓNICOS  
MANUEL BATALER MOMPEÁN  
Curso 2008-2009

# DISPOSITIVOS ANALÓGICOS PROGRAMABLES

## INTRODUCCIÓN

- Son dispositivos que surgen de la necesidad de agilizar el proceso de diseño y verificación de circuitos analógicos. Conocidos en la literatura con las siglas de **FPAA** (**F**ield **P**rogrammable **A**nalog **A**rray), son el equivalente analógico de las FPGA.
- Son, por tanto, circuitos integrados que se pueden configurar para realizar diferentes funciones analógicas.
- Su estructura, que es similar a la de los dispositivos lógicos programables, incorpora una serie de células analógicas básicas que, programadas adecuadamente, permiten realizar de forma compacta diseños de complejidad baja/media.
- Entre las ventajas de la utilización de estos dispositivos frente a las técnicas digitales se pueden mencionar las siguientes:
  - Procesar las señales analógicas (el mundo real es analógico) en el dominio analógico evita la utilización de convertidores A/D y D/A (disminuye tamaño y coste).
  - Bajo consumo: Se consume menos energía que en procesado digital.
  - Los circuitos integrados ocupan menos tamaño (más baratos).
- Entre las ventajas respecto a los circuitos analógicos discretos:
  - Prototipado muy rápido, mediante entornos gráficos sencillos.
  - No resulta necesario grandes conocimientos de electrónica analógica.
  - Menos problemas de estabilidad, ruidos y precisión.
  - No problemas de rutado, es interno al circuito integrado

## ARQUITECTURA

- Su diagrama de bloques se muestra en la figura siguiente:

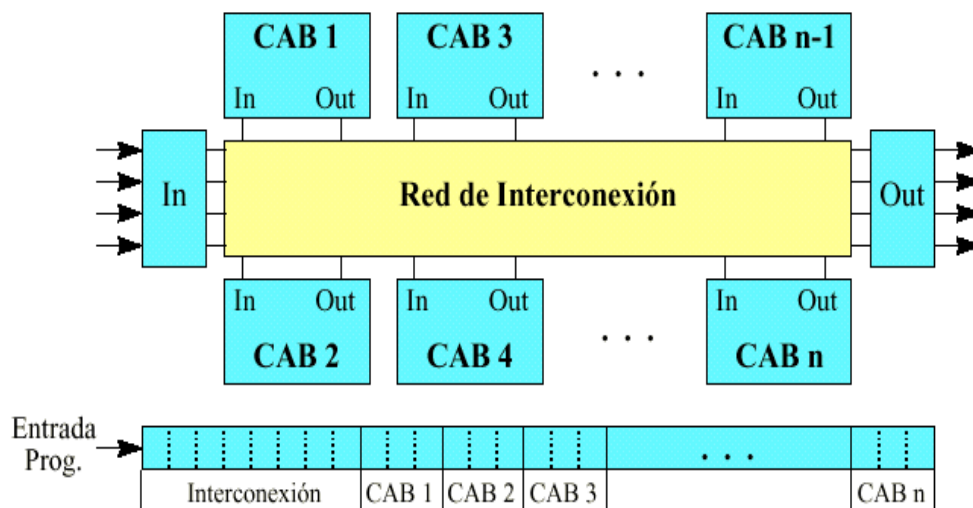


Figura 1. Diagrama de bloques de un FPAA

- Consta de los siguientes elementos, a saber:
  - Un conjunto de Bloques Analógicos Configurables (**CAB**).
  - Un conjunto de Bloques de Entrada/Salida (**IOB**).
  - Una red de interconexión programable.
  - Una memoria interna que almacena su configuración.
- Cada uno de los bloques analógicos pueden implementar un cierto número de funciones básicas, entre las que se pueden citar las siguientes:
  - Integración
  - Diferenciación
  - Suma
  - Resta
  - Logaritmo
  - Antilogaritmo

## **ENTORNO DE DESARROLLO**

- Con la filosofía de la simplificación del diseño de circuitos analógicos, los fabricantes ofrecen entornos de programación gráficos que permiten:
  - Seleccionar la funcionalidad de cada CAB (mediante librerías).
  - Conectar los distintos bloques entre sí (el conexionado del circuito es correcto por construcción).
  - Cargar el programa en el FPAA (colocado en la placa donde se va a utilizar) desde el ordenador, mediante un cable serie RS-232 o paralelo. Esto será válido siempre que se esté en la fase de desarrollo, en caso contrario el programa se carga desde una memoria EPROM (sistemas finales).
  - Algunos entornos permiten simular el circuito antes de cargarlo.
- Una vez el diseño se ha testado correctamente el entorno permite generar el archivo de programación de la EPROM, de forma que al conectar la alimentación éste se descarga en la FPAA (igual como en las FPGAs).

## **TIPOS DE FPAA**

- En la actualidad, existen dos tipos de tecnologías de fabricación de los dispositivos programables analógicos, cada una de las cuales presenta unas características diferentes.
- Estas dos son la tecnología de capacidades conmutadas y la tecnología bipolar de tiempo continuo. La primera de ellas usa capacidades conmutadas para modelar resistencias mientras que la segunda se basa en la integración en el dispositivo de amplificadores de transconductancia.
- Entre las características que presentan los dispositivos de tecnología de capacidades conmutadas se pueden mencionar las siguientes:
  - Requieren señal de reloj, por lo que están limitadas en frecuencia a  $f_{CLK}/2$  (frecuencia de Nyquist).
  - Excelente estabilidad
  - Gran rango de programabilidad

- Los dispositivos de tiempo continuo se caracterizan por poseer un menor rango de programabilidad, pero un mayor ancho de banda.
- En la siguiente tabla se muestra un cuadro resumen de los distintos dispositivos de tipo FPAA y sus fabricantes:

<b>Fabricante</b>	<b>Modelo</b>	<b>Tecnología</b>	<b>Obsoleto</b>
IMP	EPAC	Capacidades Conmutadas	SI
Motorola	MPAA	Capacidades Conmutadas	SI
Zetex	TRAC	Bipolar tiempo continuo	NO
Lattice	ispPAC	Bipolar tiempo continuo	NO
Anadigm	Anadigm	Capacidades Conmutadas	NO

Vamos, a continuación a describir cada uno de estos dispositivos.

### **EPAC**

- Familia de dispositivos que no se fabrican en la actualidad. Fueron los pioneros en el campo de los dispositivos programables analógicos. Surgen en el año 1995 y dos años después (1997) dejan de fabricarse.
- En un encapsulado de 44 pines, presentaba las siguientes características:
  - Estructura poco flexible
  - Pocas salidas (3)
  - Bastantes entradas pero multiplexadas (8 diferenciales o 16 asimétricas + 2 adicionales).
  - Alimentación +5V.
  - Rango de entradas: 0 a 5V.
  - Rango de salidas: 50mV a 4.5V.
  - Muestreo a 250 KHz., por lo que el ancho de banda es  $< 125$  KHz.
  - Típicamente pensado para acondicionar señales de varios sensores hasta la entrada de un conversor A/D.

- Su diagrama de bloques se muestra en la figura siguiente:

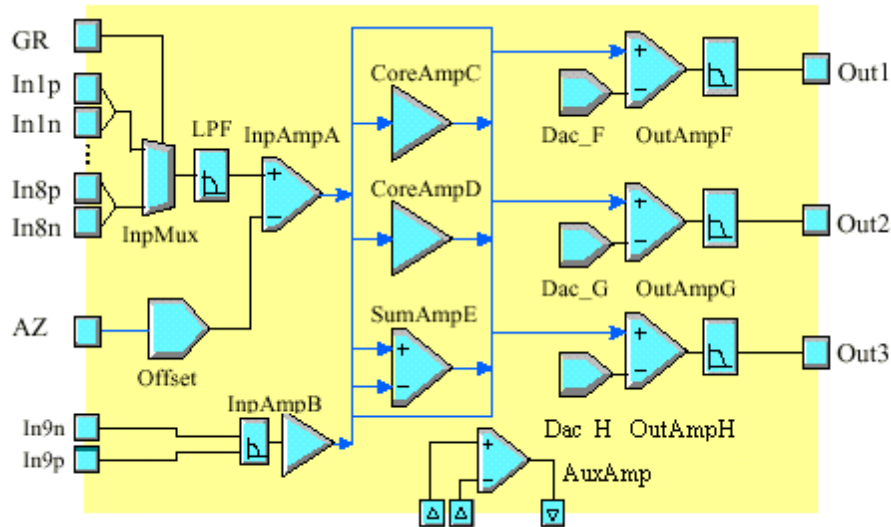


Figura 2. Diagrama de bloques del IMP50E10

- Consta de los siguientes elementos, a saber:
  - InpMux: Multiplexor de entrada que selecciona y pasa al LPF una de las 16 entradas asimétricas u 8 diferenciales.
  - LPF (Filtro paso bajo): Necesario para limitar el ancho de banda de las entradas (evitar **aliasing**). Tiene una  $f_c = 15$  KHz. (mayor mediante un condensador externo).
  - Offset: Añade un nivel de DC programable con 10 bits.
  - InpAmpA: Amplificador de entrada A (entrada diferencial o asimétrica) de ganancia programable (0.5 - 1 - 2- 3 - 4 - 6 - 8 - 10).
  - InpAmpB: Amplificador de entrada B (entrada diferencial o asimétrica) de ganancia programable (0.5 - 1 - 2- 3 - 4 - 6 - 8 - 10).
  - CoreAmpC, D: Amplificadores C y D de ganancia programable (1 - 1.5 - 2 - 3 - 4 - 6 - 8 - 10 (inversor o no). Se pueden encadenar en cascada.
  - SumAmpE: Amplificador sumador E (Ganancia igual que los anteriores y encadenable).
  - OutAmpF, G, H: Amplificadores de salida F, G y H. Son programables como amplificador (ganancia  $\pm 2$ ), comparador o referencia. Incluyen a la salida un filtro opcional de frecuencia de corte de 15 KHz.
  - Dac\_F, G, H: Conversores D/A F, G y H. Generan un nivel de tensión DC programable en 32 valores (4 bits + signo) en incrementos de tensión de 133.3mV (hasta  $\pm 2V$ ). Entre sus aplicaciones están las siguientes:
    - Cambiar nivel DC de las señales de salida.
    - Fijar umbrales de comparación.
    - Fijar una tensión de referencia externa.
  - AuxAmp: Amplificador auxiliar. Es un AO disponible para usos adicionales.

## MOTOROLA MPAA020

- Basado en tecnología de capacidades conmutadas, su diagrama de bloques es el siguiente:

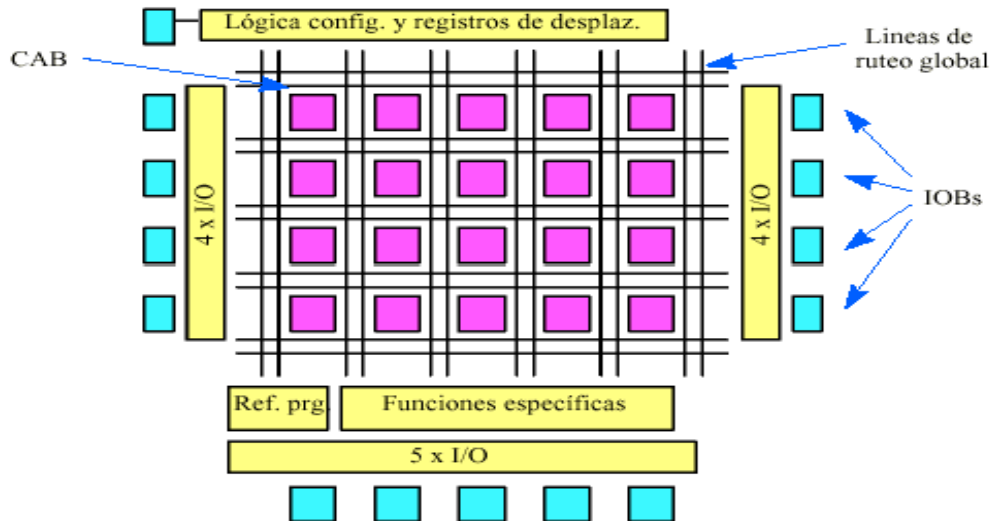


Figura 3. Diagrama de bloques del MPAA020

- Consta de los siguientes elementos:
  - 20 bloques analógicos configurables (**CAB**) cada uno de los cuales posee:
    - 1 AO.
    - 5 condensadores programables (hasta 255 valores).
    - 1 comparador.
    - Interruptores de interconexión.
  - 13 **IOB** con AO seguidor de tensión.
  - 8 **AO** auxiliares.
  - Una red de interconexión local y global.
  - El dispositivo tenía, por tanto, un número total de 41 AO, 100 condensadores, 6864 interruptores y 20 comparadores.
- El proceso de desarrollo de un subsistema analógico utilizando el dispositivo MPAA020 requería la utilización del entorno de desarrollo de Motorola, ver la figura 4, entorno gráfico de libre distribución en el que se mostraban los 20 CABs y los 13 IOBs.

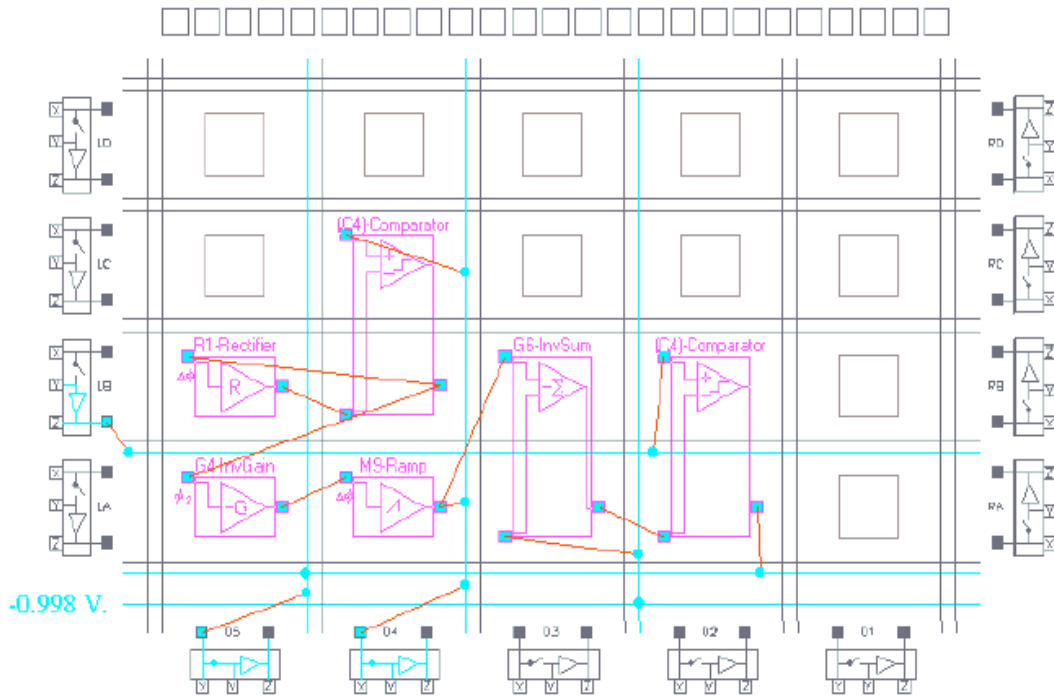
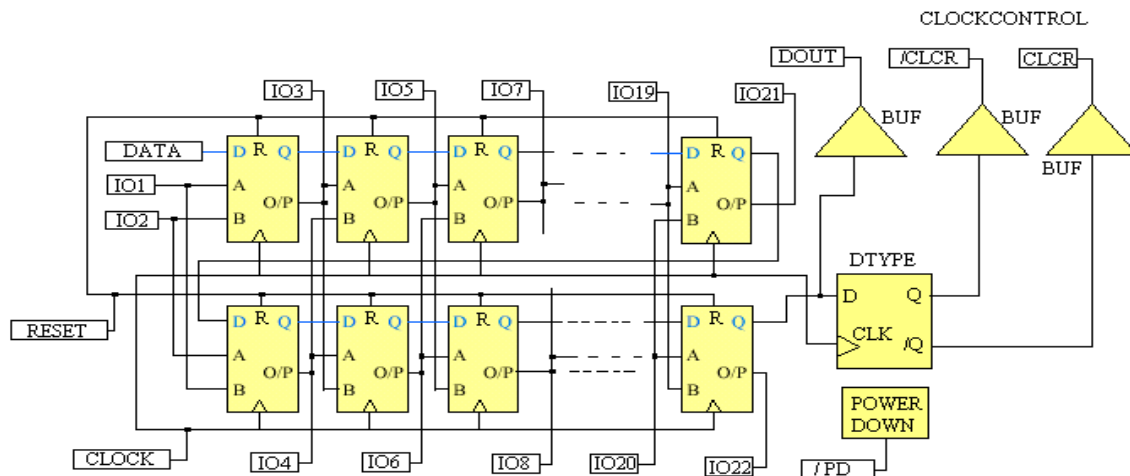


Figura 4. Sistema de desarrollo de FPAA de Motorola

- Éste constaba de los siguientes pasos:
  - Seleccionar de la librería de bloques las macros a utilizar (una macro es un pequeño circuito prediseñado).
  - Desplazar y colocar la macro en la CAB.
  - Configurar los parámetros de las macros (p.e. la frecuencia de corte de un filtro).
  - Interconectar las macros y las I/O.
  - Cargar el programa en el FPAA para probarlo (el entorno de desarrollo no permitía simular el diseño).
  - Crear archivo de programa para almacenarlo en una EPROM externa.
- El tipo de macros disponibles y el grado de consumo de recursos del dispositivo por parte de estas se muestra a continuación:
  - Amplificadores: ganancia entre  $\pm 0.004$  y  $\pm 20$ .
  - Sumador (2 CAB): ganancia entre 0.004 y 4.
  - Integrador / diferenciador.
  - Comparadores.
  - Rectificadores (MO y OC): ganancia entre  $\pm 0.004$  y  $\pm 20$ .
  - Fuentes DC: 0, +2.5V y -2.5V ocupan 1 CAB y otro valor 2 CAB.
  - Filtros (de 1 a 3 CAB): frecuencia corte (4 KHz - 100 KHz.), ganancia entre  $\pm 0.004$  y  $\pm 20$  y factor Q entre 0.5 a 255.
  - Generadores de onda: cuadrada (1 KHz - 250 KHz) 2 CAB, senoidal (1 KHz - 250 KHz) 4 CAB.
- Para finalizar con los FPAA de Motorola, y a título anecdótico, conviene mencionar que el precio de estos dispositivos en el mercado era de \$29.

## TRAC

- Son las siglas en inglés de Circuitos Analógicos Totalmente Reconfigurables (**T**otally **R**e-configurable **A**nalog **C**ircuit). Son dispositivos de ZETEX que se pueden encontrar en el mercado en dos tipos de encapsulados (36 y 40 pines).
- Aparecen a principios del año 1997, siendo pioneras en el campo de los dispositivos analógicos programables (no están obsoletas). Esta familia de componentes, tal y como veremos posteriormente, permite realizar de forma rápida el diseño de circuitos analógicos, así como su construcción y posterior verificación.
- Entre las posibles aplicaciones de estos dispositivos, se pueden citar las siguientes:
  - Procesado analógico de señal (filtros, multiplicación, VCOs, PLLs, etc.)
  - Sistemas de control (.
  - Aplicaciones de audio (filtros, control automático de ganancia, etc.)
  - Instrumentación (linealización de transductores, convertidores frecuencia-tensión, referencias de tensión, etc.)
- La arquitectura interna del dispositivo TRAC020 es la siguiente:



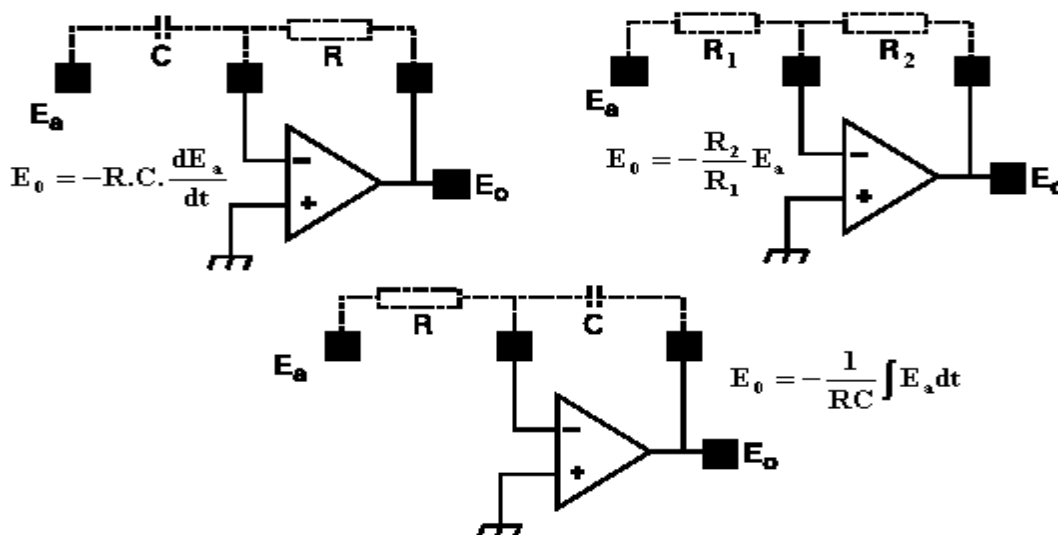
- Consta de los siguientes elementos:
  - 20 células programables (**CABs**), cada una de las cuáles se puede programar con una función analógica determinada a elegir entre ocho posibles. Cada célula dispone de dos entradas y una salida que se pueden conectar a pines del dispositivo y a entradas-salidas de otras células.
  - 20 pines de entrada-salida más dos pines exclusivamente de entrada para las células 1 y 2. Además, posee otros pines dedicados a la programación y RESET del dispositivo.
  - Las conexiones entre CABs son fijas, por lo que este dispositivo es menos flexible que el de MPAA020 de Motorola. Además, requiere componentes externos para generar determinadas funciones.
  - El coste aproximado es de 1500 pesetas.



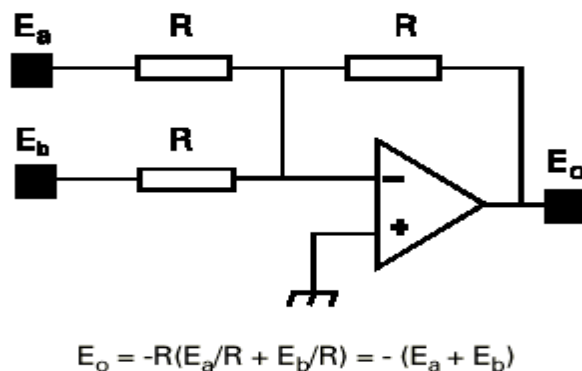
- El conjunto de ocho funciones analógicas que se pueden generar a partir de un CAB junto con su código de programación aparece representado en la tabla siguiente:

FUNCIÓN	CÓDIGO
Ninguna función (Función OFF)	000
Amplificador Operacional (AUX)	001
Inversor (NEGATE)	010
Sumador (ADD)	011
No-inversor (NON-INVERTING PASS)	100
Antilogaritmo (ANTI-LOG)	101
Logaritmo (LOG)	110
Rectificador (RECTIFIER)	111

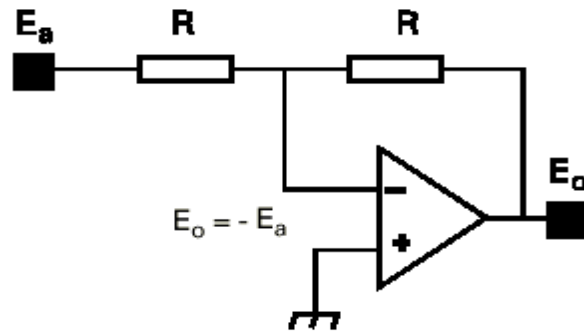
- La función **OFF** está reservada para aquellas células que no intervienen en el diseño (no hay conexión a través de la celda). La función **AUX** permite conectar a un amplificador operacional componentes externos para realizar diferentes funciones, como pueden ser amplificadores, atenuadores, diferenciadores, integradores, etc.



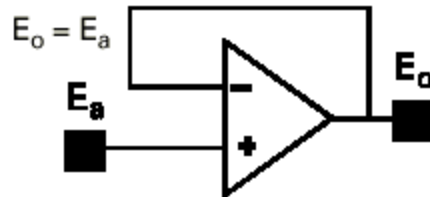
- La función sumador (**ADD**) permite implementar la suma de dos señales de entrada. Para ello se utiliza la típica estructura de un amplificador operacional sumador-inversor.



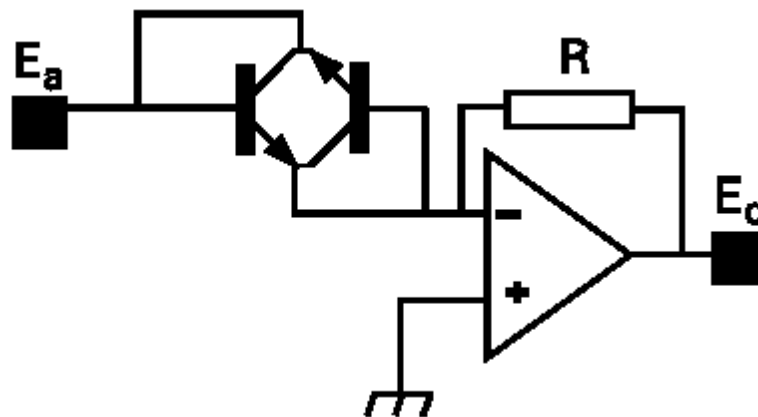
- La función inversor (**NEGATE**) se implementa a partir de la estructura anterior pero eliminando una de las entradas.



- La función no-inversor (**NON-INVERTING PASS**) proporciona a la señal analógica un camino directo a través de una celda, o lo que es lo mismo, corresponde a un amplificador seguidor. Se comporta como un amplificador no inversor de ganancia unidad e impedancia de entrada de  $60\text{ M}\Omega$ . Permite realizar la adaptación de impedancias entre etapas ( $Z_{\text{INPUT}} \rightarrow \infty$  y  $Z_{\text{OUTPUT}} \rightarrow 0$ ). Su estructura es la siguiente:



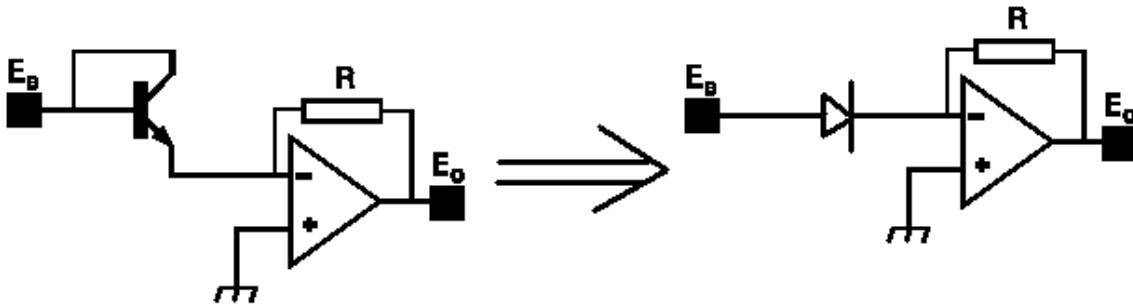
- La función antilogaritmo (**ANTI-LOG**) proporciona a la salida el antilogaritmo de la señal de entrada. Esta función se obtiene a partir de un amplificador operacional realimentado negativamente con una resistencia de valor R y con un par de transistores conectados a la entrada inversora.



- Los dos transistores no pueden estar nunca en ON al mismo tiempo y sirven para generar la función antilogaritmo de tensiones de entrada  $E_a$  positivas y negativas. En efecto, se tiene lo siguiente:

**CASO  $E_a > 0$ :**

El circuito equivalente es el siguiente:



Si hacemos un análisis de nudos se tiene la siguiente expresión:

$$I_0 \left( e^{\frac{qE_a}{KT}} - 1 \right) = -\frac{E_o}{R} \Rightarrow E_o = -RI_0 \left( e^{\frac{qE_a}{KT}} - 1 \right)$$

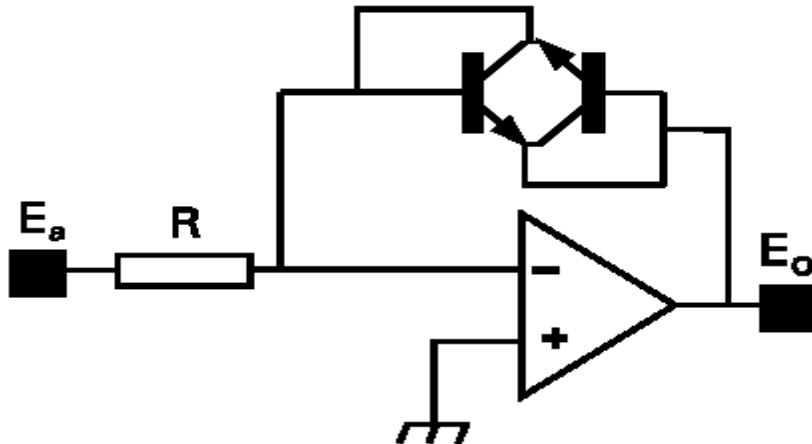
donde  $q$  es la carga del electrón,  $K$  la constante de Boltzmann,  $T$  la temperatura absoluta e  $I_0$  la corriente de saturación.

**CASO  $E_a < 0$ :**

El circuito equivalente es similar a anterior, pero considerando el otro transistor. La relación que hay entre la tensión de entrada y salida es la siguiente:

$$I_0 \left( e^{-\frac{qE_a}{KT}} - 1 \right) = \frac{E_o}{R} \Rightarrow E_o = RI_0 \left( e^{\frac{q|E_a|}{KT}} - 1 \right)$$

- Por otra parte, la función logaritmo (**LOG**) es similar a la función ANTI-LOG, exceptuando que los transistores y la resistencia están intercambiados. Esta función proporciona a la salida el logaritmo en base e de la señal de entrada. Su estructura se muestra a continuación:

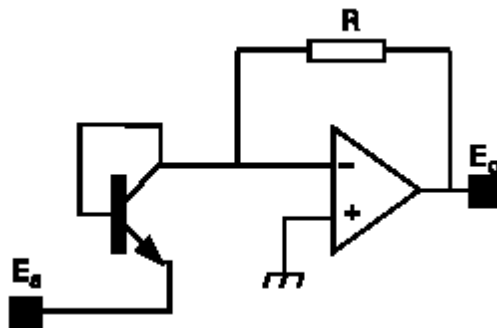


- Haciendo un análisis de nudos de la misma manera que en el caso anterior se obtienen las siguientes expresiones:

$$E_a > 0 \Rightarrow E_o = -\frac{KT}{q} \ln\left(\frac{E_a}{RI_0} + 1\right)$$

$$E_a < 0 \Rightarrow E_o = \frac{KT}{q} \ln\left(\frac{|E_a|}{RI_0} + 1\right)$$

- Para finalizar con el conjunto de 8 funciones analógicas falta describir la función rectificador (**RECTIFIER**), que es similar a la función ANTI-LOG excepto que sólo dispone de un transistor de entrada, de forma que para tensiones de entrada negativas la salida es el antilogaritmo de la entrada, mientras que para tensiones de entrada positivas la salida es cero. Su estructura se muestra a continuación:



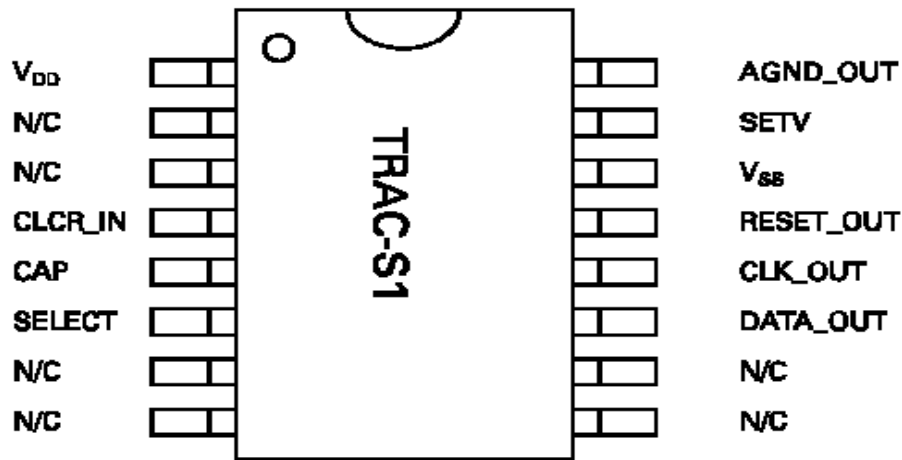
- La expresión que se obtiene es la siguiente:

$$\text{si } E_a > 0 \Rightarrow E_o = 0$$

$$\text{si } E_a < 0 \Rightarrow E_o = RI_0 \left( e^{\frac{qE_a}{KT}} - 1 \right)$$

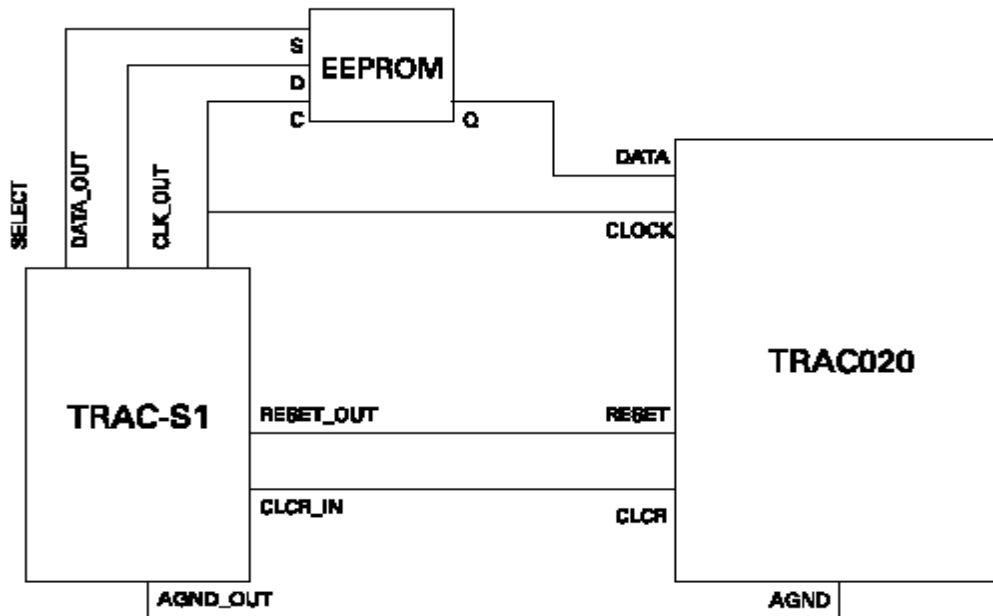
- Entre otras características a destacar de este dispositivo conviene decir que el margen dinámico de la señal de entrada es de  $\pm 1$  voltio, posee un ancho de banda para gran señal de 3 MHz. y un Slew-Rate de 4 voltios/ $\mu$ seg.
- El componente dispone, además, de la posibilidad de trabajar en modo de bajo consumo. Para ello, incorpora una entrada denominada /PD (Power Down) que, al ser activada, suprime la alimentación de las veinte células analógicas manteniendo, no obstante, su programación.
- Tal y como se ha mencionado anteriormente, cada una de las células dispone de un registro de desplazamiento de 3 bits donde se almacena la configuración adecuada según la función que debe realizar la célula. Para realizar la programación del dispositivo, éste dispone de varios pines de control, a saber:
  - DATA: Entrada serie de programación del TAC.
  - /RESET: Entrada cuya función es inicializar todos los registros de las células a nivel lógico bajo, que equivale a la función OFF. Este pin debe permanecer a nivel alto durante el proceso de programación así como durante el funcionamiento normal del dispositivo.
  - CLOCK: Esta entrada, activa en el flanco de subida, se utiliza para introducir los bits de programación en los registros de desplazamiento de las células.
  - DOUT: Es la salida serie de datos de la célula 20. Se utiliza normalmente para validar la programación del dispositivo. En el caso de que el diseño esté compuesto de dos o más TRAC, se deberán conectar en serie para poder realizar la programación de todos ellos. Esto se consigue conectando el pin DOUT del primer TRAC al pin DATA del segundo TRAC y la señal de reloj a las entradas CLOCK de los TRAC.
  - CLCR: Esta salida se utiliza como pin de control para señalar el fin de la programación del dispositivo.
  - IO1,IO2: Entradas analógicas para las células 1 y 2
  - IO3..IO20: Entradas analógicas para el conjunto de células [3,20] y salidas del conjunto [1,18]
  - IO21,IO22: Salidas analógicas para las células 19 y 20

- Para simplificar el hardware de programación, la familia TRAC dispone de un circuito de soporte, el TRAC-S1, cuyo diagrama de pines se muestra en la figura siguiente.

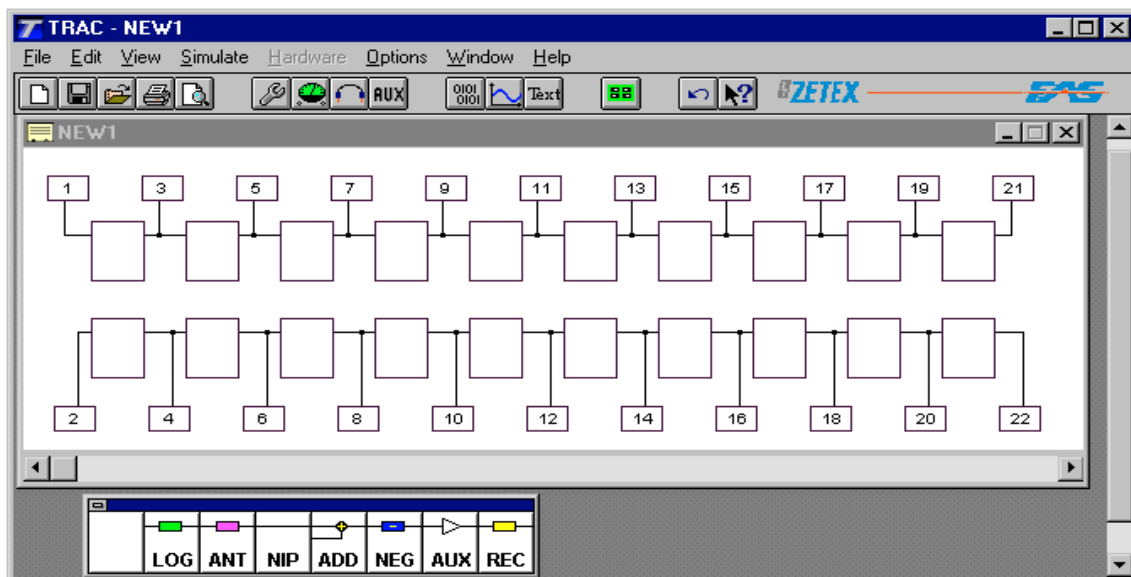


- Este circuito dispone de un oscilador interno que genera la señal de reloj, CLK\_OUT, que permite programar al TRAC020. La frecuencia de reloj se fija mediante un condensador externo conectado entre la entrada CAP y AGND\_OUT. El valor del condensador es de 4.7 nF. y la frecuencia típica de funcionamiento oscila entre 7 y 15 KHz.
- La señal de reloj CLK\_OUT se puede habilitar o inhibir a través de la señal CLCR\_IN, activa a nivel alto. Esta señal debe permanecer a nivel alto durante la programación del TRAC, pasando a continuación a nivel bajo.
- La señal de reloj se divide, internamente, por cuatro para obtener la señal DATA\_OUT, que se utiliza para direccionar la memoria EEPROM serie donde se guarda la configuración del TRAC.
- Dispone, también, de un circuito que genera una señal de reset a los circuitos (RESET\_OUT) que intervienen en la programación y operación del TRAC (esto asegura el RESET simultáneo de todos los circuitos). Esta señal se activa en el momento en que se alimentan los circuitos integrados o en el caso de que ocurra una fluctuación importante de la tensión de alimentación.
- El pin SELECT se utiliza para habilitar la entrada de CHIP SELECT de la memoria EEPROM.

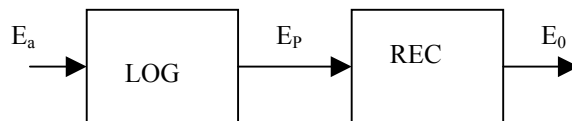
- En la figura siguiente se muestra el esquema de interconexión entre una memoria EEPROM, el circuito de soporte TRAC-S1 y el integrado TRAC020.



- Existen diversos tipos de memorias compatibles con el TRAC020, a saber:
  - ST9346CB1 de SGS-THOMSON
  - 93LC46B de MICROCHIP
  - NM92C46 de NATIONAL
- Respecto al software de diseño, se caracteriza porque incorpora un sistema gráfico de fácil manejo para la programación de las células del integrado. En la figura siguiente se muestra la ventana principal del software TRAC.



- En éste, se puede observar la estructura interna del componente TRAC, con las 20 células y los pines de entrada-salida, y la paleta de programación, que incorpora las ocho posibles funciones con las que se puede programar cada una de las células.
- Este programa permite realizar diseños multi-chip en los que se utiliza un número ilimitado de circuitos integrados de la familia TRAC. El software incorpora un simulador de funcionamiento que permite comprobar las prestaciones del diseño a través de simulaciones temporales donde se tienen en cuenta las limitaciones eléctricas de las células.
- Las señales de excitación que se pueden utilizar para probar el diseño son variadas: triangular, pulso, constante, sinusoidal, rampa, etc. siendo posible la visualización de la forma de onda en cualquiera de los pines del integrado.
- El proceso de diseño consiste en :
  - Seleccionar las funciones adecuadas.
  - Colocarlas en los CAB.
  - Configurar los parámetros (sólo de la función AUX: amplificador, derivador e integrador).
  - Simular en el mismo entorno.
  - Cargar el programa en el FPAA para probarlo (utilizar un cable de programación conectado al puerto paralelo).
  - Crear archivo de programa para almacenarlo en una EPROM externa.
- Para ilustrar las etapas de diseño con el software TRAC se va a realizar un **Rectificador de Onda Completa**. Veamos, primeramente, cómo se puede diseñar un rectificador de media onda:



- A través de la función LOG la señal de entrada se transforma al dominio logarítmico, para, a continuación, seleccionar únicamente la parte positiva de la señal con la función REC (la función REC realiza la operación antilogaritmo, por lo que la señal de salida de este bloque será igual a la rectificación de media onda de la señal original).



- Así, se tienen las siguientes expresiones para el caso  $E_a > 0$  y  $E_a < 0$ :

$$E_a > 0 \Rightarrow E_p = -\frac{KT}{q} \ln\left(\frac{E_a}{RI_0} + 1\right) \Rightarrow -\frac{qE_p}{KT} = \ln\left(\frac{E_a}{RI_0} + 1\right)$$

$$\text{Como } E_p < 0 \Rightarrow E_0 = RI_0 \left( e^{\frac{qE_p}{KT}} - 1 \right) \Rightarrow E_0 = RI_0 \left[ e^{\ln\left(\frac{E_a}{RI_0} + 1\right)} - 1 \right]$$

$$\Rightarrow \frac{E_0}{RI_0} = \left( \frac{E_a}{RI_0} + 1 \right) - 1 \Rightarrow E_0 = E_a$$

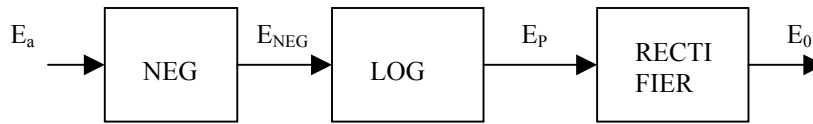
$$E_a < 0 \Rightarrow E_p = \frac{KT}{q} \ln\left(\frac{-E_a}{RI_0} + 1\right) \Rightarrow E_p = \frac{KT}{q} \ln\left(\frac{|E_a|}{RI_0} + 1\right)$$

$$\text{Como } E_p > 0 \Rightarrow E_0 = 0$$

- Resumiendo queda la siguiente expresión:

- Para  $E_a > 0 \rightarrow E_0 = E_a$
- Para  $E_a < 0 \rightarrow E_0 = 0$

- Para obtener la rectificación de onda completa se debe repetir el proceso con la señal de entrada invertida.



- Si  $E_a > 0$  entonces  $E_{NEG} = -E_a$  y la entrada de LOG es negativa por lo que se tiene la siguiente expresión:

$$E_p = \frac{KT}{q} \ln\left(\frac{|E_a|}{RI_0} + 1\right) > 0 \text{ y a la salida del REC se tiene } E_0 = 0.$$

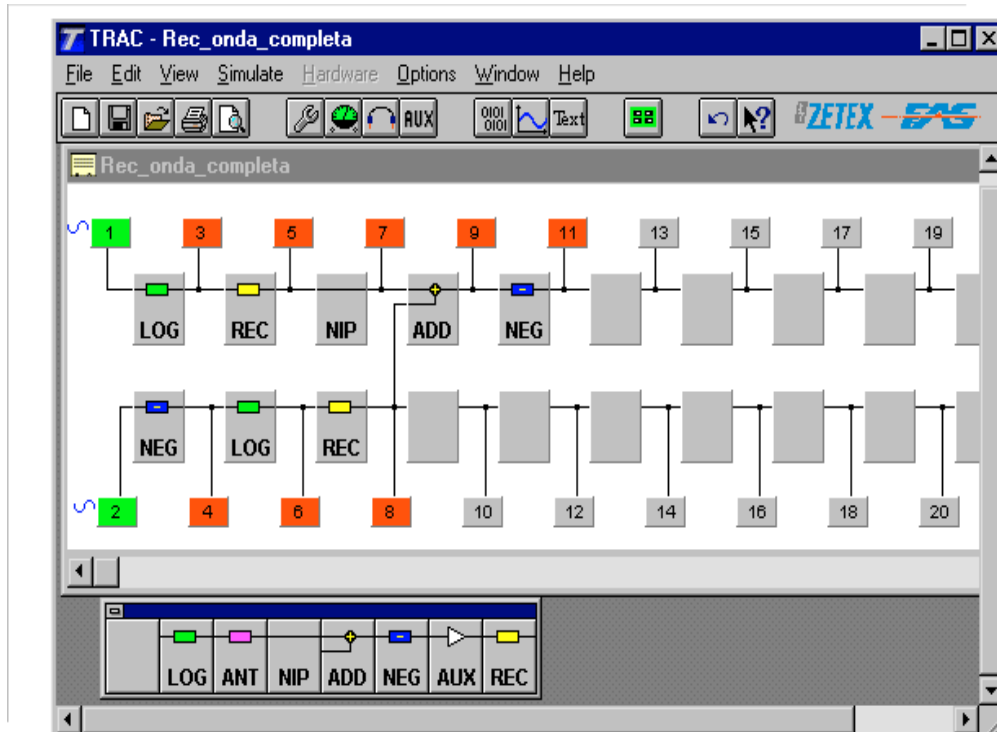
- Si  $E_a < 0$  entonces  $E_{NEG} = -E_a > 0$ . Entonces las expresiones de  $E_p$  y  $E_0$  son las siguientes:

$$E_p = -\frac{KT}{q} \ln\left(\frac{|E_a|}{RI_0} + 1\right)$$

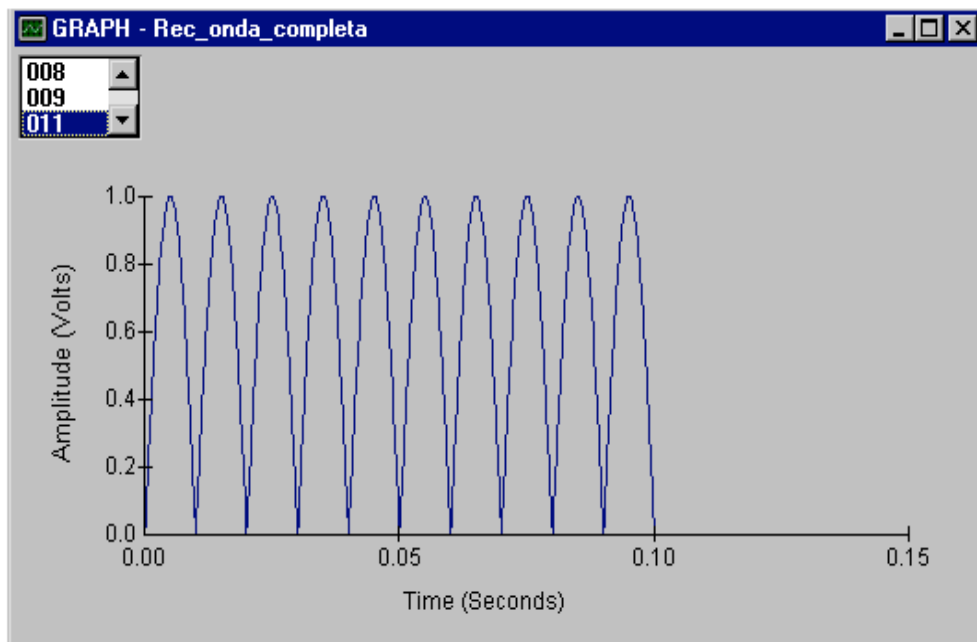
$$\text{Como } E_p < 0 \Rightarrow E_0 = RI_0 \left( e^{\frac{qE_p}{KT}} - 1 \right) \Rightarrow E_0 = RI_0 \left[ e^{\ln\left(\frac{|E_a|}{RI_0} + 1\right)} - 1 \right]$$

$$\Rightarrow \frac{E_0}{RI_0} = \left( \frac{|E_a|}{RI_0} + 1 \right) - 1 \Rightarrow E_0 = |E_a|$$

- Sumando finalmente las dos señales rectificadas, se obtiene la rectificación de onda completa. En la figura siguiente se muestra el rectificador de onda completa, tal y como queda programado en el TRAC. Se ha colocado un INVERSOR a la salida del sumador para que la tensión que se obtenga a la salida sea positiva.

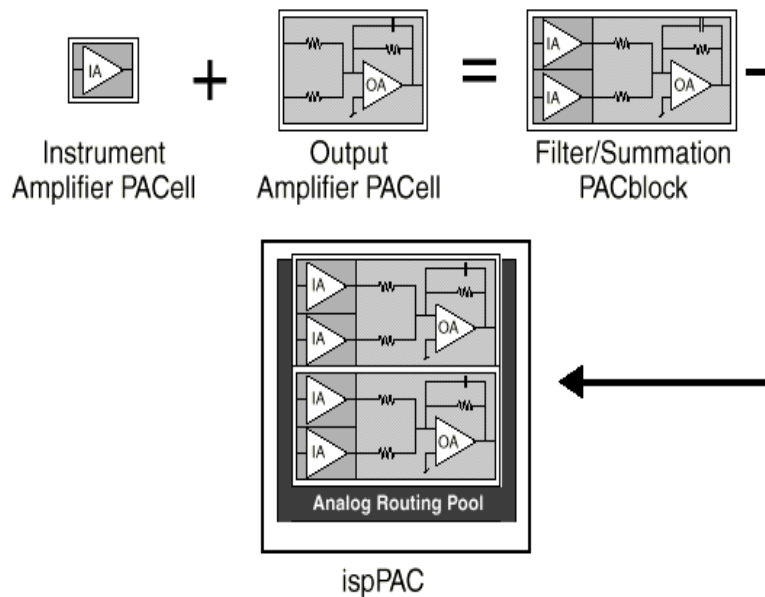


- En la figura siguiente se muestra el resultado de la simulación.



## IspPAC

- Son los dispositivos programables analógicos de Lattice Semiconductor Corporation. De reciente aparición (a finales de 1999), son componentes que incorporan, al igual que los dispositivos lógicos programables, la posibilidad de reconfiguración de la funcionalidad y características de cada una de sus células y de su interconexión.
- El elemento básico de los dispositivos ispPAC es el PACCell, componente que tiene comportamiento de amplificador diferencial o sumador, dependiendo de su configuración. Estas células individuales se agrupan en bloques de mayor complejidad denominados PACblocks.
- La arquitectura típica de los ispPAC se muestra en la figura siguiente. Esta estructura permite la no utilización de elementos externos de realimentación (resistencias y condensadores) para la obtención de diseños analógicos, con el consiguiente beneficio que de ello se deriva.

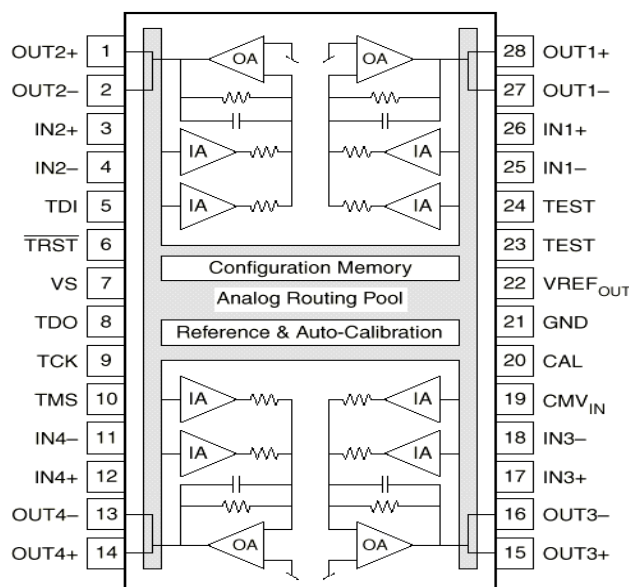


- Todos los dispositivos ispPAC no disponen de la misma arquitectura (PACCell, número de PACblocks) lo que implica que están orientados a aplicaciones diferentes. En efecto, el ispPAC10 contiene PACbloks optimizados para labores de filtrado y acondicionamiento de la señal mientras que el ispPAC20 está pensado para labores de conversión y/o monitorización.
- Uno de los elementos básicos de todo dispositivo programable, aunque transparente para el usuario, es la zona dentro del dispositivo dedicada a la personalización de la aplicación, o lo que es lo mismo, a la implementación de las interconexiones entre los pines de entrada y salida del dispositivo y las entradas y salidas de los PACCells y PACbloks. En la familia de Lattice se llama ARP (Analog Routing Pool).
- El software soporta el método de entrada de diseños de tipo esquemático permitiendo el acceso a todas las características programables de los ispPAC (interconexión, ganancia, etc.) mediante un interface de tipo gráfico, que incluye opciones de simulación.

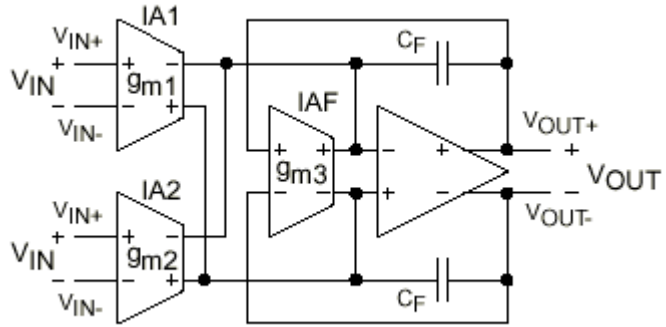
- Finalmente, el usuario puede cargar su diseño en el dispositivo seleccionado utilizando el puerto paralelo del PC y el cable de programación proporcionado por el fabricante (se utiliza el protocolo JTAG IEEE Std. 1149.1).
- La información correspondiente a la topología del circuito diseñado y a los valores de los componentes utilizados se almacena en células de memoria de tipo E<sup>2</sup>CMOS (programables y borrables eléctricamente) sin necesidad de utilizar supervoltajes de programación (el fabricante asegura que el número mínimo de ciclos de programación/borrado que soportan sus dispositivos es de 10.000).
- Estos dispositivos disponen de la firma electrónica del usuario, UES (User Electronic Signature), que es un conjunto de bits destinados al almacenamiento de información específica del usuario (versión, fecha de revisión, etc.) y del correspondiente bit de seguridad, que garantiza que los diseños no pueden ser copiados una vez han sido configurados asegurando, de esta manera, la confidencialidad de los mismos.

### DISPOSITIVO IspPAC10: ARQUITECTURA Y CARACTERÍSTICAS.

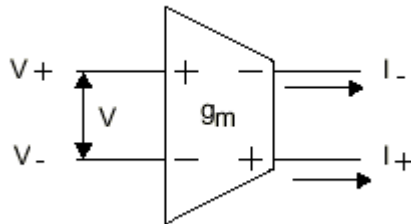
- Este circuito de 28 pines contiene cuatro macrocélulas analógicas programables, denominadas FilSum PACblocks (Filtering/Summation PACblock).
- Cada una de ellas contiene dos amplificadores diferenciales de entrada (PACells IA), un amplificador sumador (PACell OA), un elemento de realimentación y una matriz programable de 128 condensadores, con valores comprendidos entre 1.07 pF y 61.59 pF, que permite añadir a la etapa amplificadora un conjunto de polos que actúan en un rango de frecuencias comprendido aproximadamente entre 10 KHz. y 600 KHz.
- Esto se consigue mediante una estructura en paralelo de siete condensadores cada uno en serie con un interruptor controlado por la memoria E<sup>2</sup>CMOS, y en la que la posición de todos los interruptores es controlada por el usuario (programable).



- El dispositivo presenta una arquitectura diferencial tanto en la entrada como en la salida, opera con una única fuente de alimentación de 5 voltios e incluye una referencia de tensión interna de 2.5 voltios (se encuentra disponible a través de la patilla 22 del integrado). No obstante, es posible variar este nivel de referencia a través de la patilla 19 del integrado ( $CMV_{IN}$  o Common-Mode Voltage Input) con la única limitación de que su valor ha de estar comprendido entre 1.25 y 3.25 voltios.
- En la figura siguiente está representado el diagrama interno del FilSum PACblock.



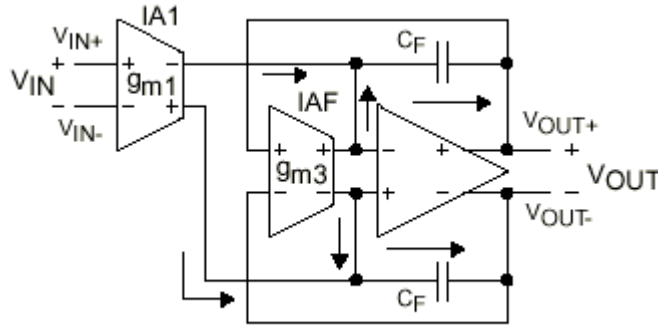
- Consta de los siguientes elementos:
  - Tres amplificadores de alta impedancia de entrada (del orden de  $10^9 \Omega$ ) de los cuales dos son de entrada (IA1 e IA2) y el tercero de realimentación (IAF).
  - Un amplificador de salida de tipo operacional (IAF).
- Los cuatro amplificadores tiene entradas y salidas diferenciales, su rango dinámico de salida, según indica el fabricante, está comprendido entre 1 y 4 voltios para una carga típica de  $300 \Omega$  (en ausencia de carga el rango aumenta hasta unos pocos milivoltios de la tensión de alimentación), la salida está protegida contra cortocircuitos y la carga resistiva mínima que puede soportar es de  $300 \Omega$ . Por otra parte, el rango dinámico de entrada vendrá limitado por la ganancia del PACblock.
- Los amplificadores diferenciales de entrada, que son conocidos también con el nombre de OTA (Operational Transconductance Amplifier), son elementos cuya característica de transferencia es una transconductancia, o lo que es lo mismo, la corriente de salida es proporcional a la tensión diferencial de entrada siendo la constante de proporcionalidad la denominada transconductancia del AO, es decir:



$$I_+ = g_m(V_+ - V_-)$$

$$I_- = g_m(V_- - V_+) = -g_m(V_+ - V_-)$$

- Si aplicamos la segunda ley de Kirchoff sobre el circuito equivalente del FilSum PACblock, asumiendo que la señal de entrada se conecta únicamente al amplificador IA1, se obtienen las siguientes ecuaciones:



Nudo entrada inversora AO:

$$\begin{aligned}
 I_{1-} + I_{3+} &= I_{OUT+} \Rightarrow I_{1-} = -g_{m1}(V_{IN+} - V_{IN-}) = -g_{m1} V_{IN} \\
 I_{3+} &= g_{m3}(V_{OUT+} - V_{OUT-}) = g_{m3} V_{OUT} \\
 I_{OUT+} &= \frac{(V_{-} - V_{OUT+})}{1/sC_F} = (V_{-} - V_{OUT+})sC_F
 \end{aligned}$$

sustituyendo estas ecuaciones se tiene la siguiente expresión:

$$-g_{m1} V_{IN} + g_{m3} V_{OUT} + (V_{OUT+} - V_{-})sC_F = 0$$

Nudo entrada no inversora AO:

$$\begin{aligned}
 I_{1+} + I_{3-} &= I_{OUT-} \Rightarrow I_{1+} = g_{m1}(V_{IN+} - V_{IN-}) = g_{m1} V_{IN} \\
 I_{3-} &= -g_{m3}(V_{OUT+} - V_{OUT-}) = -g_{m3} V_{OUT} \\
 I_{OUT-} &= \frac{(V_{+} - V_{OUT-})}{1/sC_F} = (V_{+} - V_{OUT-})sC_F
 \end{aligned}$$

sustituyendo estas ecuaciones se tiene la siguiente expresión:

$$g_{m1} V_{IN} - g_{m3} V_{OUT} + (V_{OUT-} - V_{+})sC_F = 0$$

- Juntando las dos ecuaciones se tiene:

$$\begin{aligned}
 -g_{m1} V_{IN} + g_{m3} V_{OUT} + (V_{OUT+} - V_{-})sC_F &= 0 \\
 g_{m1} V_{IN} - g_{m3} V_{OUT} + (V_{OUT-} - V_{+})sC_F &= 0
 \end{aligned}$$

- Como en un AO con realimentación negativa se cumple que  $V_+ = V_-$ , igualando ambas expresiones se tiene:

$$\begin{aligned}
 -g_{m1}V_{IN} + g_{m3}V_{OUT} + V_{OUT+}sC_F &= g_{m1}V_{IN} - g_{m3}V_{OUT} + V_{OUT-}sC_F \Rightarrow \\
 -2g_{m1}V_{IN} + 2g_{m3}V_{OUT} + sC_F(V_{OUT+} - V_{OUT-}) &= 0 \\
 \text{como } (V_{OUT+} - V_{OUT-}) &= V_{OUT} \Rightarrow -2g_{m1}V_{IN} = -2g_{m3}V_{OUT} - sC_FV_{OUT} \\
 -2g_{m1}V_{IN} &= -V_{OUT}(2g_{m3} + sC_F)
 \end{aligned}$$

- Reescribiendo la ecuación anterior se obtiene la siguiente función de transferencia del FilSum PACblock:

$$\frac{V_{OUT}}{V_{IN}} = \frac{2g_{m1}}{2g_{m3} + sC_F} = \frac{g_{m1}}{g_{m3} + \frac{sC_F}{2}}$$

- Si se tienen en cuenta las dos entradas del PACblock, aplicando las leyes de Kirchoff se obtiene:

$$\begin{aligned}
 I_{1-} + I_{2-} + I_{3+} &= (V_- - V_{OUT+})sC_F \\
 -g_{m1}(V_{IN1+} - V_{IN1-}) - g_{m2}(V_{IN2+} - V_{IN2-}) + g_{m3}(V_{OUT+} - V_{OUT-}) + V_{OUT+}sC_F &= V_-sC_F
 \end{aligned}$$

$$\begin{aligned}
 I_{1+} + I_{2+} + I_{3-} &= (V_+ - V_{OUT-})sC_F \\
 g_{m1}(V_{IN1+} - V_{IN1-}) + g_{m2}(V_{IN2+} - V_{IN2-}) - g_{m3}(V_{OUT+} - V_{OUT-}) + V_{OUT-}sC_F &= V_+sC_F
 \end{aligned}$$

- Igualando ambas expresiones se tiene:

$$-2g_{m1}V_{IN1} - 2g_{m2}V_{IN2} + 2g_{m3}V_{OUT} + V_{OUT}sC_F = 0$$

- Agrupando términos y despejando  $V_{OUT}$  se obtiene la siguiente expresión:

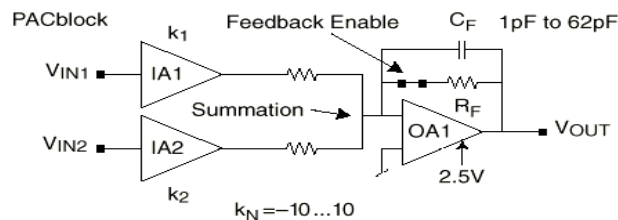
$$V_{OUT} = \frac{2g_{m1}V_{IN1} + 2g_{m2}V_{IN2}}{2g_{m3} + sC_F} = \frac{g_{m1}V_{IN1} + g_{m2}V_{IN2}}{g_{m3} + \frac{sC_F}{2}}$$

- Los amplificadores de transconductancia de entrada tienen una ganancia igual a  $2k \mu A/V$ , donde  $k$  es un entero comprendido entre  $[-10, 10]$  (ganancia programable por el usuario dentro de ese rango).

- El valor de la transconductancia del amplificador de realimentación es constante e igual a  $g_{m3}=2 \mu\text{A/V}$  (la ganancia de esta última etapa es constante y no es programable por el usuario).
- Si llamamos  $g_m$  al valor de  $2 \mu\text{A/V}$ , la expresión anterior se reescribe como sigue (la transconductancia  $g_{m3}$  se mantiene):

$$V_{\text{OUT}} = \frac{g_{m1} V_{\text{IN1}} + g_{m2} V_{\text{IN2}}}{g_{m3} + \frac{sC_F}{2}} = \frac{k_1 g_m V_{\text{IN1}} + k_2 g_m V_{\text{IN2}}}{g_{m3} + \frac{sC_F}{2}}$$

- En la figura siguiente se muestra el modelo de usuario del PACblock (tal y como se muestra en el software de desarrollo PAC-Designer), donde el amplificador operacional de salida se ha configurado como amplificador sumador inversor.



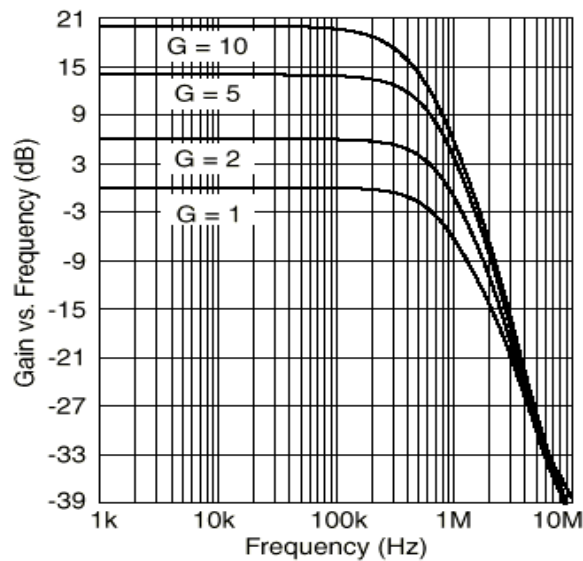
- Los amplificadores de instrumentación se modelan como amplificadores de ganancia variable  $k$  ( $k_1$  y  $k_2$ ) programables de forma independiente. El amplificador de instrumentación de la etapa de salida se modela como una resistencia de realimentación  $R_F$ , que puede ser habilitada o deshabilitada por el usuario mediante un interruptor programable.
- El FilSum PACblock implementa dos funciones básicas, a saber: filtro pasa-bajo e integrador.
- Filtro paso-bajo: Teniendo en cuenta que las transconductancias son constantes y de valor igual a  $2 \mu\text{A/V}$  ( $g_{m3}=g_m=2 \mu\text{A/V}$ ), si dividimos numerador y denominador de  $V_{\text{OUT}}$  por  $g_m$  se obtiene la siguiente expresión:

$$V_{\text{OUT}} = \frac{k_1 V_{\text{IN1}} + k_2 V_{\text{IN2}}}{1 + \frac{sC_F}{2g_m}}$$

- Analizando esta expresión se puede concluir que existe un polo que corresponde a la frecuencia  $\omega = \frac{2g_m}{C_F}$ .
- Para el caso de ganancia unidad y mínimo valor de  $C_F$ , que corresponde a  $1.07 \text{ pF}$ , fija el ancho de banda en aproximadamente  $600 \text{ kHz}$ . Para el otro caso extremo, ganancia de 10, el ancho de banda de los amplificadores de entrada dominan sobre el del amplificador sumador (ganancia unidad) estableciendo el ancho de banda en aproximadamente  $300 \text{ kHz}$ .



- El diagrama de Bode o respuesta en frecuencia del PACblock se muestra en la figura siguiente:

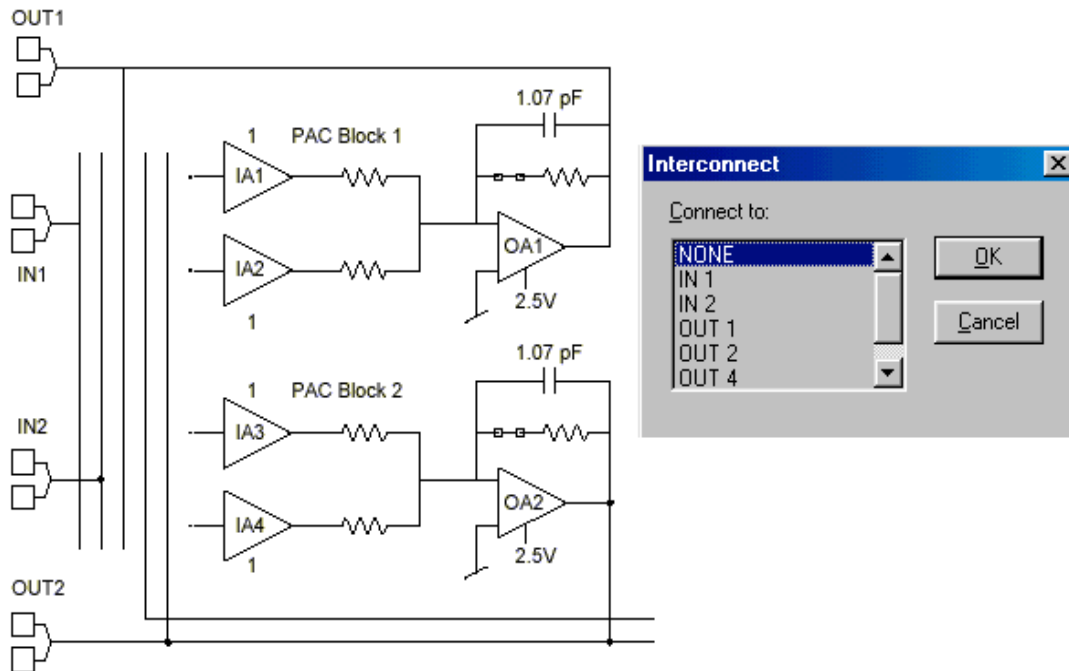


- Integrador: Si se rompe el lazo de realimentación en el amplificador operacional sumador y se vuelven a aplicar las leyes de Kirchoff al circuito con dos entradas, se obtiene que esta situación es equivalente a imponer la condición de que la transconductancia del amplificador de realimentación en la expresión de la tensión de salida es nula, por lo que la función de transferencia se convierte en:

$$V_{OUT} = \frac{k_1 V_{IN1} + k_2 V_{IN2}}{\frac{sC_F}{2g_m}}$$

- Puesto que se trata de un dispositivo programable por el usuario, esto se traduce en la posibilidad por parte del usuario de seleccionar las estructuras idóneas, combinarlas e interconectarlas adecuadamente entre ellas y con las diferentes entradas y salidas con el fin de generar diferentes tipos de circuitos analógicos (se verá posteriormente).

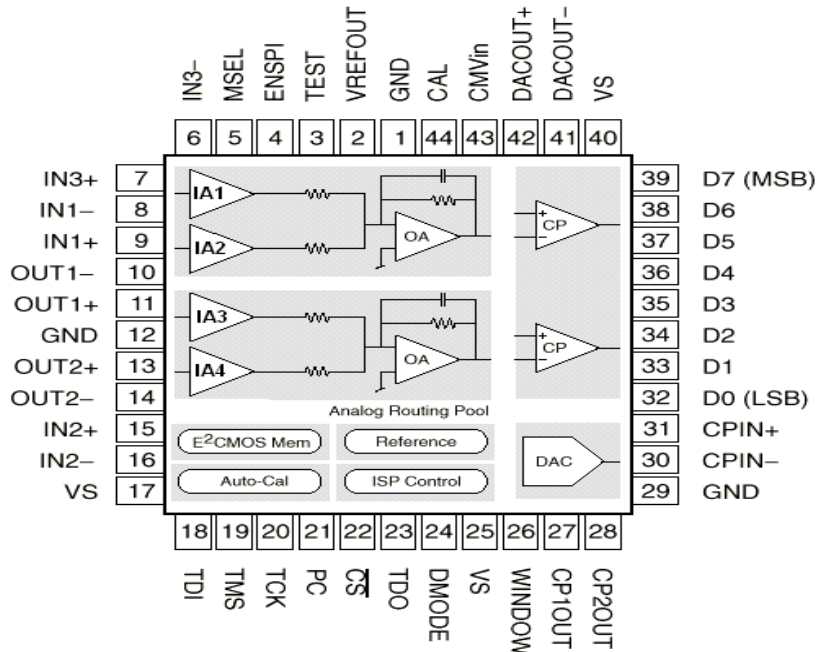
- Así, cada una de las entradas de los dos primeros PACblocks, que corresponden a los amplificadores IA1, IA2, IA3 e IA4 se pueden conectar a los pines de entrada IN1 e IN2 y a los de salida OUT1, OUT2 y OUT4, mientras que las entradas de los dos últimos PACblocks, que corresponden a los amplificadores IA5, IA6, IA7 e IA8 se pueden conectar a los pines de entrada IN3 e IN4 y a los de salida OUT2, OUT3 y OUT4.



- Una característica notable de este dispositivo es la capacidad de autocalibración, o calibración automática, mediante la que se consigue un bajo error de offset en el momento de su conexión (el fabricante asegura que nunca es mayor de 1 mV).
- Se puede lograr, también, externamente y en cualquier momento si se actúa sobre el pin CAL (pin de autocalibración) o mediante un comando de programación JTAG. La duración de la calibración, según cita el fabricante, está comprendida entre 100 mseg. (iniciada vía CAL o JTAG) y 250 mseg. (iniciada de forma automática).

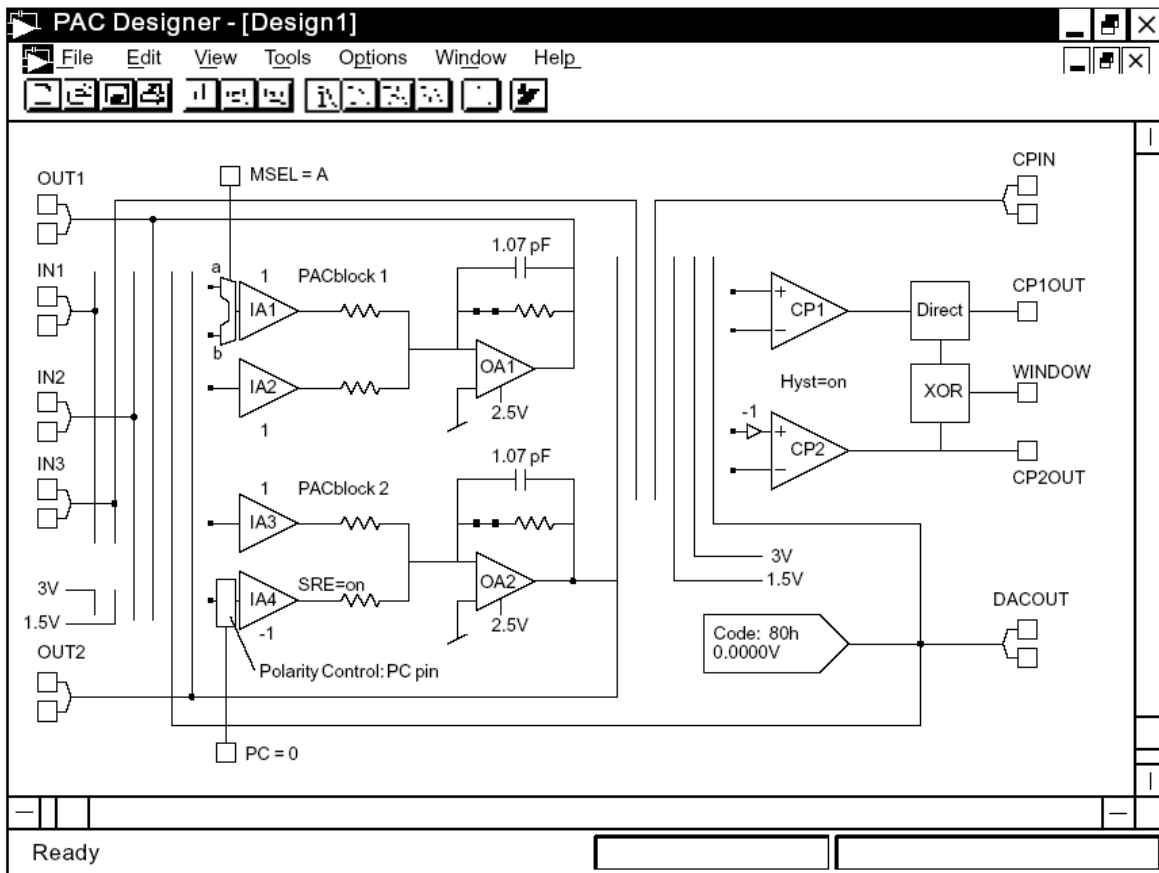
## DISPOSITIVO IspPAC20: ARQUITECTURA Y CARACTERÍSTICAS.

- Contiene dos macrocélulas analógicas programables PACblocks formadas, cada una de ellas, por dos amplificadores diferenciales de entrada (PACells IA), un amplificador sumador (PACell OA), un elemento de realimentación y una matriz programable de 128 condensadores.



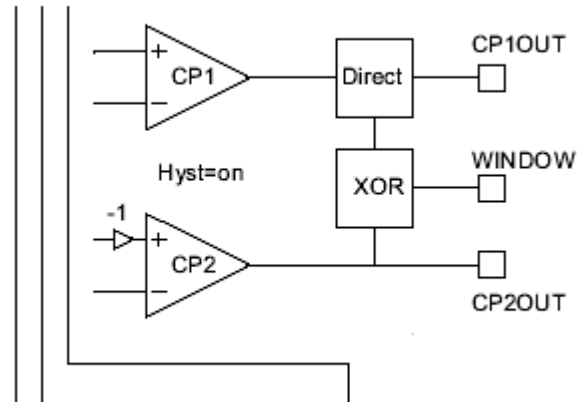
- Los amplificadores IA1, IA2 e IA3 tienen su ganancia programable entre [-10, +10] mientras que la de IA4 sólo se puede seleccionar entre [-10, -1].
- El amplificador IA4 posee un elemento de control de polaridad (Polarity Control PACell) que controla la polaridad de la señal de entrada aplicada al mismo (permite añadir o no a la entrada de señal un amplificador inversor y conseguir de esta forma obtener el rango positivo [1, +10]).

- El control de polaridad puede operar de cuatro formas distintas, a saber:
  - Modo fijo: El elemento de control de polaridad no actúa (ganancia [-10, -1]).
  - Modo PC: El control de polaridad se establece a través del pin 21 del dispositivo (PC) con el siguiente convenio:
    - Si PC = 0 entonces se incluye el INVERSOR ([1, +10]).
    - Si PC = 1 entonces no se incluye el INVERSOR ([-10, -1]).
  - Modo Flip-Flop: La polaridad se controla a través de los dos comparadores CP1 y CP2 y el pin WINDOW que es ruteado internamente hacia el mismo (elemento de control de polaridad).
  - Modo CP1: La polaridad se controla a través de la salida del comparador CP1 (CP1 = 0 inversión y CP1 = 1 no inversión).
- Por otro lado, el amplificador IA1 posee un multiplexor en su entrada, controlado por el terminal MSEL (pin 5), que permite seleccionar qué entrada irá conectada a éste.



- Cada una de las entradas de los amplificadores IA1, IA2 e IA3 se pueden conectar a los pines de entrada IN1, IN2 e IN3 y a los de salida OUT1, OUT2 y DACOUT (salida del convertidor D/A) y la entrada de IA4 se puede rutear a IN2, OUT1, OUT2, DACOUT, 3 voltios y 1,5 voltios.

- Cada PACblock se puede comportar como amplificador de ganancia programable por el usuario [-10, +10] o como integrador (transconductancia  $g_{m3}=0$ ).
- El ispPAC20 contiene, además, dos comparadores (PACells CP) que incluyen diferentes opciones programables por el usuario.



- Su funcionamiento es el típico de un comparador (cuando la tensión en la entrada no inversora es positiva/negativa con respecto a la entrada inversora la salida se satura a positivo/negativo). Cada una de las entradas de estos dos comparadores se pueden conectar a los siguientes puntos, ya sean internos o externos, del chip:
  - No conectado: Es la opción por defecto, y en ella las entradas están conectadas a la tensión de referencia de 2.5 voltios.
  - Conexión a IN3: Es una conexión al pin IN3.
  - Conexión a CPIN: Es una conexión al pin CPIN del dispositivo.
  - Conexión a OUT2: Es una conexión al pin exterior OUT2, que corresponde, también, a la salida de un PACblock.
  - Conexión a DAC OUTPUT: Es una conexión al pin exterior DACOUT, que corresponde, también, a la salida del convertidor digital-analógico. Se puede utilizar de este modo el convertidor para generar cualquier nivel de referencia (8 bits permiten 256 niveles).
  - Conexión a 3 voltios: Permite conectar las entradas a una tensión fija de 3 voltios. Así, no se utiliza el conversor y se libera para ser utilizado en tareas de conversión.
  - Conexión a 1.5 voltios: Permite conectar las entradas a una tensión fija de 1.5 voltios. Así, no se utiliza el conversor y se libera para ser utilizado en tareas de conversión.
- La entrada no inversora de uno de los comparadores (CP2) lleva un amplificador inversor que cambia la polaridad de ésta con el fin de poder generar funciones de comparación de tipo eventanado (comparadores de ventana).

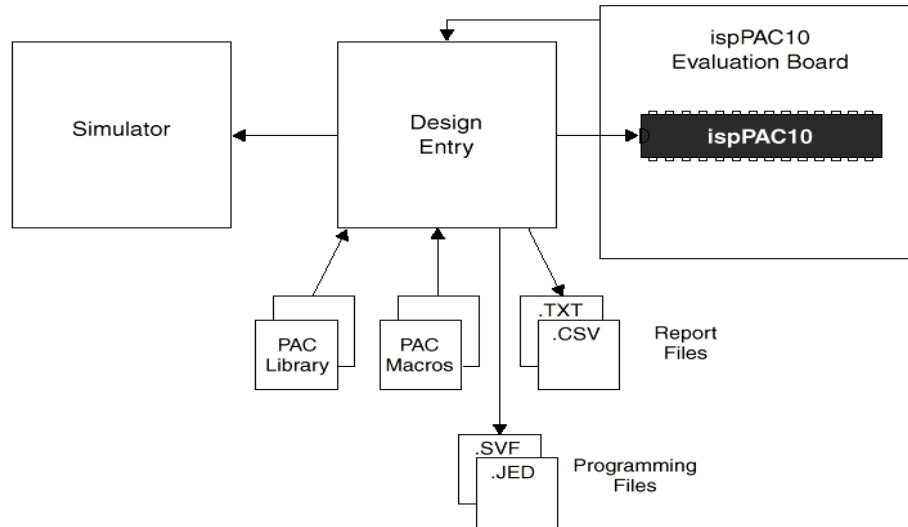
- Por ejemplo, si se conectan las entradas no inversoras de ambos comparadores a la tensión de 1.5 voltios, las entradas inversoras de CP1 y CP2 al pin CPIN y la salida se obtiene de WINDOW ( $WINDOW = CP1OUT \oplus CP2OUT$ ) se obtiene un comparador de ventana con tensiones de transición de  $-1.5$  y  $+1.5$  voltios.
- La salida del comparador CP1 posee un registro que puede actuar, vía programación, de dos modos:
  - Modo Directo: La salida de CP1 es directa (se conecta directamente la salida de CP1 al pin CP1OUT).
  - Modo de Reloj: La salida de CP1 es de tipo registro, o lo que es lo mismo, existe un biestable a la salida del comparador cuya señal de reloj se obtiene del pin PC.
- Una última opción disponible, y que afecta a los dos comparadores a la vez, es la posibilidad de añadir una tensión de histéresis de valor 47 milivoltios.
- El último de los elementos que contiene el dispositivo es un convertidor analógico-digital de 8 bits (DAC).
- Está disponible externamente, pines 41 y 42, e internamente para ser conectado a otras células del circuito integrado (amplificadores, comparadores, etc.) y cuya característica de transferencia, o relación entre la palabra digital de entrada y la tensión de salida analógica, se muestra a continuación:

	Code		Nominal Voltage		
	DEC	HEX	Vout+ (V)	Vout- (V)	Vout (Vdiff)
-Full Scale (-FS)	0	00	1.0000	4.0000	-3.0000
	32	20	1.3750	3.6250	-2.2500
	64	40	1.7500	3.2500	-1.5000
	96	60	2.1250	2.8750	-0.7500
MS - 1LSB	127	7F	2.4883	2.5117	-0.0234
Mid Scale (MS)	128	80	2.5000	2.5000	0.0000
MS + 1LSB	129	81	2.5117	2.4883	0.0234
	160	A0	2.8750	2.1250	0.7500
	192	C0	3.2500	1.7500	1.5000
	224	E0	3.6250	1.3750	2.2500
+Full Scale (+FS)	255	FF	3.9883	1.0117	2.9766
LSB Step Size			$x + 0.0117$	$x - 0.0117$	0.0234
+FS + 1LSB			4.0000	1.0000	3.0000

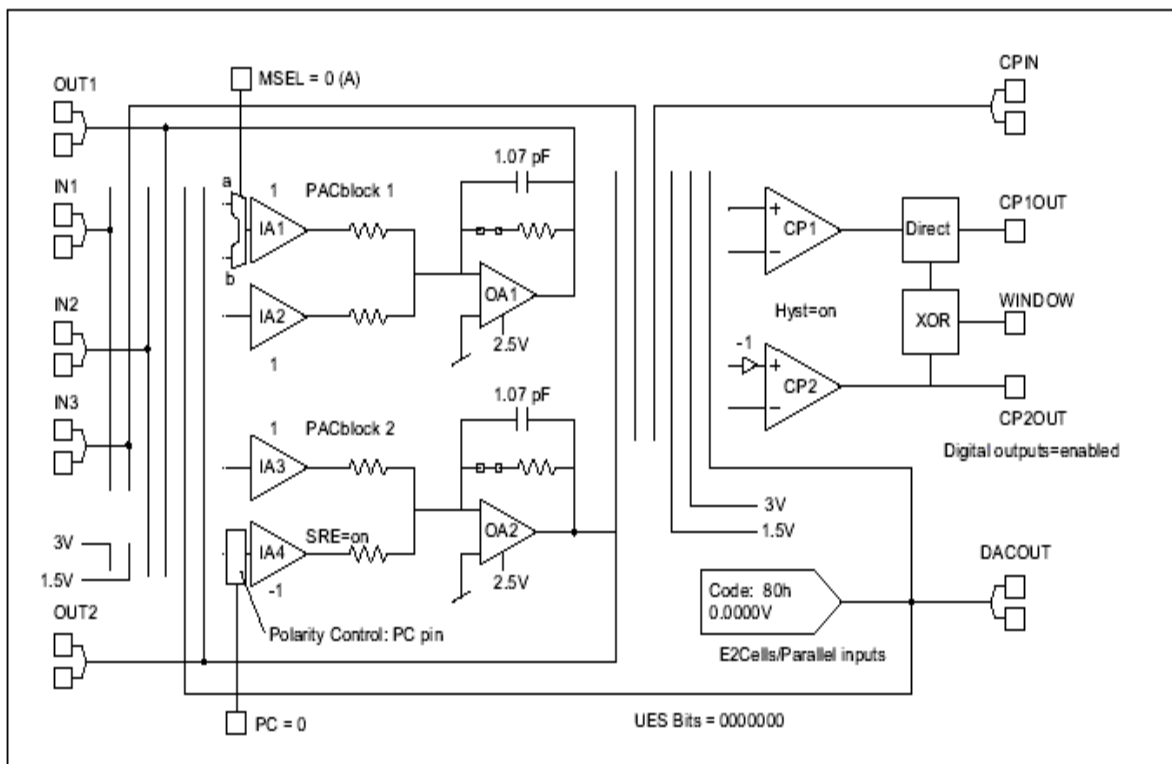
- Por lo que respecta a la descripción de sus pines, se pueden agrupar de la siguiente forma:
  - De alimentación y tierra ( $V_S$  y GND).
  - De entrada diferencial ([IN1<sub>+</sub>, IN1<sub>-</sub>], [IN2<sub>+</sub>, IN2<sub>-</sub>] e [IN3<sub>+</sub>, IN3<sub>-</sub>]).
  - De salida diferencial ([OUT1<sub>+</sub>, OUT1<sub>-</sub>] y [OUT2<sub>+</sub>, OUT2<sub>-</sub>]).
  - De programación in-system o pines de entrada y salida digital TTL (TDI, TDO, TMS y TCK).
  - De test industrial (TEST).
  - De referencia ( $V_{REFOUT}$  y  $CMV_{IN}$ ).
  - De entrada y salida del comparador (CPIN<sub>+</sub>, CPIN<sub>-</sub>, CP1OUT, CP2OUT y WINDOW).
  - Relacionados con el DAC (DACOUT<sub>+</sub>, DACOUT<sub>-</sub>, D0...D7, DMODE, ENSPI y CS).
  - De control de los amplificadores de entrada IA1 e IA4 (MSEL y PC).

## SOFTWARE DE DESARROLLO PAC-DESIGNER.

- El flujo de desarrollo de PAC-Designer es el siguiente:



- La entrada del diseño se realiza mediante el interface gráfico de la figura:

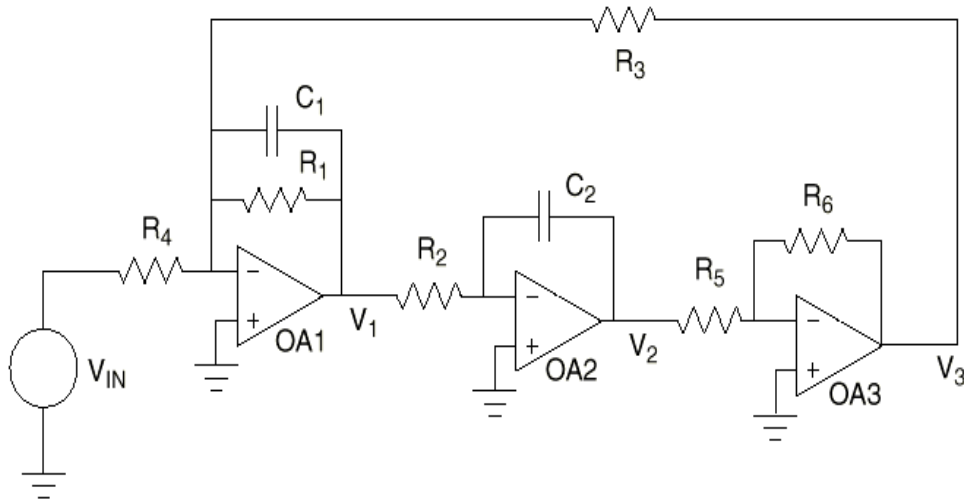


- Permite el acceso a todos los elementos configurables de las diferentes células que componen el dispositivo (valor de la ganancia, interconexiones de las entradas de los amplificadores de cada PACblock, valor de la capacidad de realimentación de los PACblocks, etc. ).
- Se puede hacer de 4 formas diferentes:
  - Mediante el ratón: Una vez se ha seleccionado el elemento a personalizar se despliega un submenú en el que aparecen todas las opciones o valores que puede tomar.
  - Utilizando el editor de símbolos: Se despliega un primer menú con todos los elementos configurables y tras situarse sobre la opción elegida se despliega un segundo menú con las opciones o valores que puede tomar.
  - Mediante la librería de diseño (PAC Library): Librería que contiene un conjunto de diseños previamente configurados y que puede servir como punto de partida para diseños más complejos.
  - Utilizando el generador de macros (PAC Macros): Opción que permite generar de forma automática determinados filtros a partir de las especificaciones requeridas.
- Una vez se ha realizado la entrada del diseño el siguiente paso es el de la simulación, para lo que el software incorpora un simulador que permite generar, al mismo tiempo, la respuesta en frecuencia (módulo y fase) de hasta cuatro gráficas diferentes (se pueden realizar comparaciones entre configuraciones alternativas).
- Los ficheros de salida que proporciona el software se pueden reunir en dos grupos, a saber:
  - De programación: Ficheros con extensión .JED (ficheros con formato JEDEC) y .SVF (Serial Vector Format) o formato estándar usado por los dispositivos con JTAG.
  - De información (report): Ficheros con extensión .CSV y .TXT. El primero corresponde a los valores en modo texto de la respuesta en frecuencia del diseño considerado, mientras que el segundo tipo corresponde a esquemáticos expresados en modo texto (es una forma de disponer de un esquemático en modo texto y no en modo gráfico).
- El último paso a realizar por el diseñador es el de la programación del dispositivo directamente en la tarjeta de aplicación (la familia ispPAC es del tipo in-system programmable). En efecto, cuando el diseño se ha simulado correctamente el usuario puede cargar la configuración en la memoria E<sup>2</sup>CMOS del dispositivo ispPAC usando el cable ispDOWNLOAD conectado entre el puerto paralelo del PC y el puerto serie JTAG del dispositivo (el software genera automáticamente todas las señales necesarias para la programación).

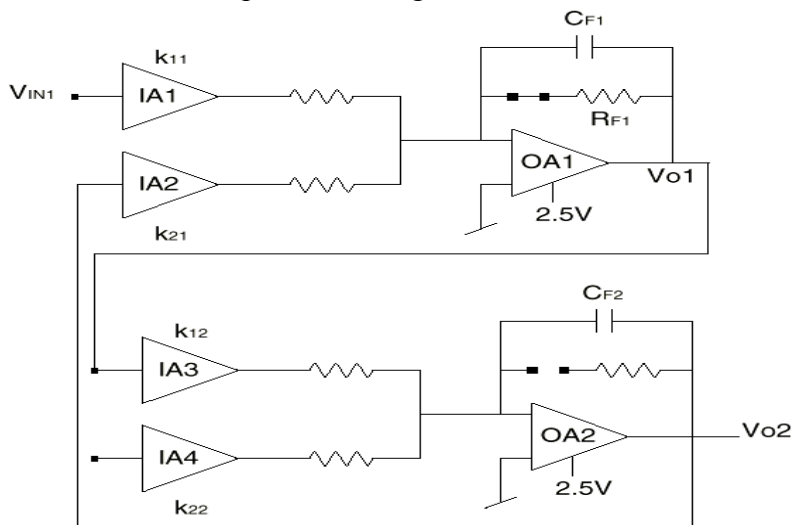


## APLICACIONES.

- Filtro Biquad:** Es un filtro activo que proporciona un elevado factor de calidad en la aplicación pasa-banda ( $Q$  alto), fácilmente ampliable mediante la conexión en cascada de otras etapas (se consiguen órdenes mayores) y con un ancho de banda que permanece constante frente a variaciones de la frecuencia central ( $\omega_0$ ).



- Su estructura en el ispPAC es la siguiente:



- La función de transferencia del filtro es la siguiente:

$$\frac{V_{01}}{V_{IN1}} = \frac{\frac{-k_{11}s}{C_{F1}\left(\frac{1}{2g_m}\right)}}{s^2 + \frac{s}{C_{F1}\left(\frac{1}{2g_m}\right)} - \frac{k_{12}k_{21}}{\left[C_{F1}\left(\frac{1}{2g_m}\right)C_{F2}\left(\frac{1}{2g_m}\right)\right]}}$$

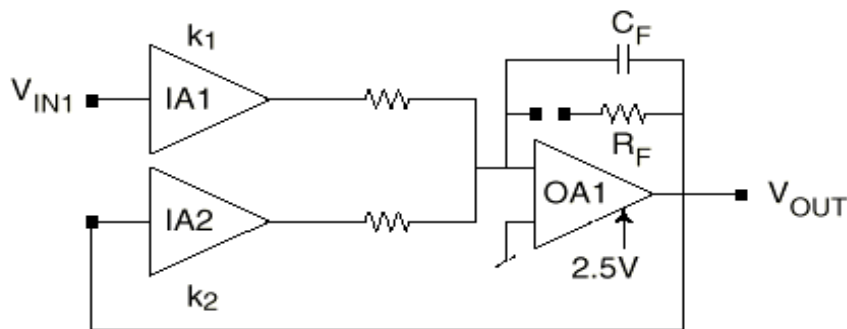
- Como la transconductancia  $g_m$  vale  $2 \mu\text{A/V}$ ,  $1/2g_m$  es igual a  $250 \text{ k}\Omega$  por lo que se obtiene:

$$\frac{V_{01}}{V_{IN1}} = \frac{\frac{-k_{11}s}{(C_{F1} \cdot 250\text{k}\Omega)}}{s^2 + \frac{s}{(C_{F1} \cdot 250\text{k}\Omega)} - \frac{k_{12}k_{21}}{(C_{F1} \cdot 250\text{k}\Omega)(C_{F2} \cdot 250\text{k}\Omega)}}$$

- El cociente corresponde a una expresión de tipo pasa-banda. Por otro lado, si se calcula el cociente entre las tensiones  $V_{02}$  y  $V_{IN1}$  se tiene la siguiente expresión de tipo pasa-bajo:

$$\frac{V_{02}}{V_{IN1}} = \frac{\frac{k_{11}k_{12}}{(C_{F1} \cdot 250\text{k}\Omega)(C_{F2} \cdot 250\text{k}\Omega)}}{s^2 + \frac{s}{(C_{F1} \cdot 250\text{k}\Omega)} - \frac{k_{12}k_{21}}{(C_{F1} \cdot 250\text{k}\Omega)(C_{F2} \cdot 250\text{k}\Omega)}}$$

- **Atenuador:** Una posible estructura atenuadora es la siguiente:



- Su función de transferencia es la siguiente:

$$\frac{V_{OUT}}{V_{IN}} = - \frac{k_1}{k_2 + 1 + \frac{sC_F}{2g_m}}$$

- Los niveles de atenuación son:
  - Si  $R_F$  está habilitada  $1/11$  (-20.8 dB)
  - Si  $R_F$  no está habilitada el término unidad no aparece y la atenuación es  $1/10$  (-20dB).

## CONCLUSIONES

- La aparición de los componentes analógicos programables constituye un avance importante en el campo del diseño analógico, similar a la revolución que crearon en el diseño digital los dispositivos lógicos programables.
- Aunque la complejidad de los componentes analógicos programables todavía está lejos de ser comparable a la de sus homólogos digitales, estos componentes presentan la mayoría de los beneficios y ventajas que introduce el concepto de programabilidad en el diseño de circuitos y sistemas digitales:
  - Mayor rapidez en el diseño y verificación de los circuitos.
  - Flexibilidad para cambiar el diseño.
  - Reducción del número de integrados necesarios para realizar la aplicación.
  - Fácil programación
- Además, el soporte gráfico de programación facilita enormemente todas las etapas del proceso de diseño.