

Doctorado en Ingeniería Electrónica



VNIVERSITAT ID VALÈNCIA

Estudio de la fiabilidad de los dispositivos HEMT de GaN

Tesis presentada por artículos para obtener el título de Doctor en
Ingeniería Electrónica de la Universidad de Valencia por

Pedro Javier Martínez Mecinas

Director: Dr. Enrique Maset Sancho
Escuela Técnica Superior de Ingeniería

Valencia, Mayo 2021



VNIVERSITAT DE VALÈNCIA

El Dr. D. Enrique Maset Sancho, Titular de Universidad del Departamento de Ingeniería Electrónica de la Universitat de València.

HACE CONSTAR: Que el Graduado en Electrónica Industrial D. Pedro Javier Martínez Mecinas ha realizado bajo su dirección el trabajo titulado "Estudio de la fiabilidad de los dispositivos HEMT de GaN.", que se presenta en esta memoria para optar al grado de Doctor en Ingeniería Electrónica.

Y para que así conste, firmo el presente documento en Valencia a 10 de mayo de 2021.

Fdo. D. Enrique Maset Sancho.

UNIVERSITAT DE VALÈNCIA
ESCUELA TÉCNICA SUPERIOR DE INGENIERÍA
Departamento de Ingeniería Electrónica

Avd. de la Universitat s/n, 46100 Burjassot (Valencia)



VNIVERSITAT E VALÈNCIA

Acta de calificación de tesis doctoral

Autor: Pedro Javier Martínez Mecinas.

Título: **Estudio de la fiabilidad de los dispositivos HEMT de GaN.**

Director: Enrique Maset Sancho

El tribunal nombrado para juzgar la citada Tesis Doctoral, compuesta por:

Secretario

Presidente

Vocal

Fdo: D/Da

Fdo: D/Da

Fdo: D/Da

Acuerda otorgarle la calificación de: _____

En Burjassot, a de de 2021

Agradecimientos

Quería aprovechar estas líneas para agradecer a todos aquellos que han formado parte de esta tesis. En primer lugar, agradecer a mi tutor Enrique Maset quien con sus conocimientos y esfuerzo me brindó la oportunidad de comenzar este trabajo de tesis y que ha estado ahí como guía para ayudarme a superar cada uno de los obstáculos que se han presentado.

En segundo lugar, quería acordarme de todos aquellos compañeros del LEII que han ayudado a crear un buen entorno de trabajo para el desarrollo de entre otras, esta tesis. En especial dentro del grupo quería agradecer a Esteban Sanchis por estar ahí brindando su apoyo cada vez que lo he necesitado. Y por supuesto cuando pienso en este trabajo de tesis he de acordarme de mis compañeros de batalla Guillermo y David. Gracias por todo, sin los momentos con vosotros no hubiera sido lo mismo.

No quiero dejar de acordarme también de aquellos que han ayudado al desarrollo de esta tesis desde otras instituciones, ya que sin ellos no hubiera podido llevar a cabo algunas de las contribuciones que aquí se presentan. Yolanda Morilla y Pedro Martin del CNA por su ayuda en las campañas de radiación. Mis compañeros del Fraunhofer IISB Sebastian, Zhao y Flaviu por su ayuda durante mi estancia allí. Y por último Pablo Fernández de la universidad de Oviedo por su ayuda para sacar adelante una de las contribuciones que se presentan en esta tesis.

Por último, quería acordarme de aquellos que día tras día me han ayudado y dado su apoyo tanto en los buenos como los malos momentos, mi familia. En especial a mis padres, mi hermano y mi pareja Amparo. Gracias por todo, sin vosotros no hubiera sido posible.

Resumen

El presente trabajo de tesis en Ingeniería Electrónica tiene como objetivo el estudio de la fiabilidad de dispositivos HEMT (High Electron Mobility Transistor) de GaN (Gallium Nitride). Gracias a las ventajas teóricas en el uso de dispositivos GaN frente a dispositivos de Silicio y a la aparición de dispositivos GaN que mejoran las prestaciones de sus homónimos de Silicio, el siguiente paso, es el estudio de la fiabilidad que presentan estos dispositivos en la actualidad, con el objetivo de mejorarlos e investigar los límites actuales en determinadas aplicaciones de potencia. La investigación realizada en esta tesis se divide en tres partes claramente diferenciadas.

La primera de ellas trata el estudio del principal problema asociado a la tecnología de los HEMT de GaN de cara a su funcionamiento en conmutación: la resistencia dinámica. Este ha sido un problema muy estudiado desde los inicios de la realización de los HEMT de GaN para aplicaciones de potencia, que a día de hoy sigue siendo uno de los principales problemas a resolver en estos dispositivos. En esta tesis se han estudiado distintos dispositivos comerciales, donde se demuestran que un buen diseño estructural del dispositivo GaN HEMT es imprescindible para evitar problemas asociados a la resistencia dinámica. Mientras unos fabricantes continúan presentando este problema en sus dispositivos, otros fabricantes han conseguido minimizarlo mediante modificaciones en la estructura.

La segunda parte engloba el análisis y los resultados obtenidos desde un punto de vista de la fiabilidad eléctrica, o también conocido como robustez de estos dispositivos. Esta segunda parte engloba las pruebas para determinar la capacidad de soportar cortocircuitos y avalanchas por sobretensión. Análisis, que es de aplicación directa de cara al funcionamiento real de los dispositivos GaN HEMT como transistores de potencia en el campo industrial. Los resultados obtenidos en esta tesis muestran que los dispositivos HEMT de GaN no tienen un buen comportamiento frente a eventos de avalancha y a priori no parece un

problema con una solución inmediata. Sin embargo, los dispositivos HEMT de GaN analizados en cortocircuito si demuestran un buen comportamiento ante condiciones de cortocircuito. A pesar de la necesidad de mejoras, que están relacionadas con el efecto de los electrones calientes (hot-electron) los dispositivos HEMT de GaN han conseguido soportar tiempos de cortocircuito mucho mayores que sus competidores de Silicio.

Por último, la tercera parte engloba las pruebas relacionadas con la necesidad asociada al uso de estos dispositivos en la industria aeroespacial, analizando la robustez y comportamiento ante radiación electromagnética. Esta última parte de estudio, demuestra que el diseño y geometría de la estructura juega un papel esencial en el comportamiento de los dispositivos HEMT de GaN frente a radiación. Además, todos los cambios observados tras la radiación de los dispositivos HEMT de GaN están relacionados con efectos de atrapamiento/desatrapamiento de cargas en los dispositivos. Por este motivo, los dispositivos que han demostrado estar libres de este atrapamiento durante los test de resistencia dinámica, han demostrado ser robustos frente a radiación y no han sufrido cambios tras la misma, independientemente del uso de dosis altas o bajas de radiación gamma.

Por tanto, los resultados obtenidos durante esta tesis muestran a los HEMT de GaN como dispositivos prometedores, que se encuentran ya muy cerca de su uso en aplicaciones reales, pero que todavía tiene aspectos tecnológicos, de cara a su implantación en los diseños de potencia actuales (tales como el encapsulado, circuitos de disparo, etc.), que se espera, vayan mejorándose con la evolución de los procesos de diseño y fabricación.

Abstract

The theoretical advantages of GaN devices compared to its Silicon counterparts has been extensively studied and confirmed over the last decade. Following these studies, the current thesis is made with the aim of studying the current reliability of commercial GaN devices to contribute the future improvement of these devices from the point of view of its application in the future of power electronics. The research carried out in this thesis is divided into three clearly differentiated parts.

The first part is about the main problem associated with the GaN HEMT technology from its beginning and is known as dynamic resistance. This problem has been extensively studied in the literature over the last decades and still being today one of the main problems associated to the GaN HEMTs. This thesis studies this phenomenon over different commercial GaN devices. These studies show that a good structural design of the GaN HEMT is mandatory to avoid problems causing dynamic resistance. While some manufacturers still showing this problem on its HEMTs, others have managed to reduce it with new structural designs.

The second part of this thesis corresponds to the analysis and results from a point of view of the electrical reliability, also known as robustness of the GaN HEMT devices. This second part it's about the capability of the device to endure short-circuits and over-voltages. This part is the closest to the real application of the GaN HEMT devices as power semiconductor in the industrial environment. The results obtained in this thesis show that GaN HEMT devices do not show a good behavior with avalanche events and it does not seem to have an immediate solution. However, GaN HEMT devices analyzed in short circuit demonstrate good behavior under short circuit conditions. Despite of the need for improvements related with hot-electron effect, the GaN HEMTs have endured short circuit events for times much greater than its Silicon counterparts.

As third and last part, this thesis shows the tests related with the needed of the use of these devices at the aerospace industry by analyzing the robustness and behavior against electromagnetic radiation. These studies demonstrate that the design and internal structure of the GaN HEMTs play a main role in the behavior of these devices against radiation. Besides, all the observed changes of the GaN HEMTs are related with charge trapping/detrapping effects. For this reason, the devices that have demonstrated being free current collapse during the dynamic resistance tests have also demonstrated a good behavior against radiation, and its electrical characteristics has not been modified after low and high doses of gamma radiation.

Therefore, the obtained results over this thesis show the GaN HEMTs as promising devices for the future of power electronics. They are close to its use in final applications but still being necessary to improve some of their technological aspects for its use in the actual power designs (such as encapsulated, drive circuits ...). These aspects are expected to improve with the evolution and improvement of design and manufacturing processes.

Índice general

<i>Capítulo 1</i>	<i>Introducción y objetivos</i>	<i>1</i>
1.1.	Objetivos	4
1.2.	Marco de la tesis	5
1.3.	Dispositivos semiconductores de banda ancha (WBG)	9
<i>Capítulo 2</i>	<i>Dispositivos de potencia de GaN</i>	<i>17</i>
2.1.	Diodo de potencia de GaN	19
2.2.	Transistores de potencia de GaN	23
<i>Capítulo 3</i>	<i>Problemas de fiabilidad de los HEMT de GaN</i>	<i>37</i>
3.1.	Degradación por hot electron	37
3.2.	Atrapamiento en AlGaIn/GaN HEMTs	39
<i>Capítulo 4</i>	<i>Metodología</i>	<i>45</i>
4.1.	Procedimientos experimentales.	48
4.2.	Medidas de resistencia dinámica con carga resistiva	55
4.3.	Medidas Resistencia dinámica con carga L	59
4.4.	Medidas de cortocircuito	64
4.5.	Medidas de avalancha	65
<i>Capítulo 5</i>	<i>Discusión</i>	<i>69</i>
5.1.	Comportamiento de la resistencia dinámica en dispositivos comerciales GaN HEMT.	70
5.2.	Estudio de la robustez de dispositivos GaN HEMT	80
5.3.	Estudio de la robustez frente a radiación de los GaN HEMT	95
<i>Capítulo 6</i>	<i>Conclusiones y trabajos futuros</i>	<i>109</i>
<i>Anexo 1. Publicaciones</i>		<i>113</i>
<i>Bibliografía</i>		<i>173</i>

Listado de abreviaturas

CAVET	Transistor de corriente de apertura vertical de electrones
Co	Cobalto
DUT	Dispositivo bajo prueba
d-mode	Dispositivo normalmente en conducción
E_{AV}	Energía de avalancha
E_{BR}	Energía de ruptura
E-mode	Dispositivo normalmente en corte
FIB	Foco de iones radiados
GaN	Nitruro de Galio
GIT	Transistor de inyección en puerta
g_m	Transconductancia
HC	Alta corriente
HEMT	Transistor de alta movilidad de electrones
HV	Alta tensión
IGBT	Transistor bipolar de puerta aislada
I_{CSS}	Corriente de fugas de puerta-surtidor
I_{DSS}	Corriente de fugas de drenador-surtidor
JBS	Diodo Schottky de barrera de unión
JFOM	Figura de mérito de Johnson
MC	Corriente media
MOSFET	Transistor de efecto de campo metal-óxido-semiconductor
R_G	Resistencia de puerta
SBD	Diodo de barrera Schottky
SC	Cortocircuito

Si	Silicio
SiC	Carburo de Silicio
SMU	Unidad de Sistema de Medida
SOA	Área de operación segura
t_{AV}	Tiempo de avalancha
V_{BR}	Tensión de ruptura
WBGs	Semiconductor de banda prohibida ancha
ZCS	Conmutación a cero de corriente
ZVS	Conmutación a cero de tensión
2DEG	Gas de electrones 2D

Listado de figuras

<i>Figura 1 Gráfico comparativo de las propiedades de los principales materiales semiconductores.</i>	12
<i>Figura 2 Rango de aplicación frecuencia-tensión de los principales dispositivos semiconductores de potencia [8].</i>	13
<i>Figura 3 Grafico con las principales áreas de actuación de dispositivos SiC, GaN y Si dividido por aplicaciones y estructuras de dispositivo [9].</i>	15
<i>Figura 4 Sección transversal simplificada de un diodo de GaN con estructura lateral</i>	20
<i>Figura 5 Sección transversal simplificada de un diodo p-i-n de GaN con estructura vertical</i>	21
<i>Figura 6 Sección transversal simplificada de un diodo p-i-n de GaN con estructura mesa</i>	22
<i>Figura 7 Sección transversal simplificada de un MOSFET de GaN</i>	25
<i>Figura 8 Sección transversal simplificada de un CAVET de GaN</i>	26
<i>Figura 9 Sección transversal simplificada de un dispositivo GaN HEMT</i>	27
<i>Figura 10 Diagrama de bandas indicando el nivel de Fermi de un dispositivo HEMT de AlGaIn/GaN.</i>	28
<i>Figura 11 Configuración de un dispositivo en Cascodo, formado por un GaN HEMT junto con un MOSFET de Silicio de baja tensión</i>	31
<i>Figura 12 Sección transversal de un dispositivo GaN HEMT normalmente a bloqueo mediante tratamiento de flúor.</i>	33
<i>Figura 13 Sección transversal simplificada de un dispositivo GaN HEMT normalmente a bloqueo mediante receso de puerta</i>	33
<i>Figura 14 Sección transversal simplificada de un dispositivo GaN HEMT normalmente a bloqueo con una estructura MIS (metal insulator semiconductor)</i>	34
<i>Figura 15 Sección transversal simplificada de un dispositivo GaN HEMT normalmente a bloqueo con el uso de una puerta tipo p.</i>	35
<i>Figura 16 Explicación gráfica de la rotura alcanzada por alto campo eléctrico provocada por el efecto hot electron [63]</i>	38
<i>Figura 17 Figura mostrando el comportamiento simplificado de la resistencia dinámica medida en el paso a conducción de un dispositivo</i>	40

<i>Figura 18 Modelo de dispositivo mostrando la localización de la puerta virtual a la izquierda y su representación esquemática a la derecha [67].</i>	41
<i>Figura 19 Evolución de la resistencia dinámica con la tensión aplicada durante estado de bloqueo. Medida tomada a los 10 μs de iniciar la conducción del dispositivo</i>	42
<i>Figura 20 Resistencia dinámica debida a atrapamiento por hot electron, variando el nivel de tensión aplicada durante el bloqueo. Cada punto de medida es tomado tras conmutar el dispositivo 100 veces con 200 μs a OFF y 10 μs a ON</i>	43
<i>Figura 21 Estructura p-GaN con receso de puerta y drenador híbrido.</i>	46
<i>Figura 22 Esquema de la estructura de un dispositivo MISHEMT en unión con una puerta p-GaN.</i>	47
<i>Figura 23 Esquema del circuito usado para el test de transconductancia.</i>	48
<i>Figura 24 Secuencia de pulsos usados en el test de transconductancia.</i>	50
<i>Figura 25 Ejemplo de medida de transconductancia realizada en el trazador indicando las medidas de la tensión umbral.</i>	50
<i>Figura 26 Esquema del circuito usado para el test de fugas.</i>	51
<i>Figura 27 Secuencia de pulsos usados en el test de fugas.</i>	52
<i>Figura 28 Ejemplo de medida de corriente de fugas realizada en el trazador.</i>	52
<i>Figura 29 Esquema del circuito usado para medir la característica de salida.</i>	53
<i>Figura 30 Secuencia de pulsos utilizados para la medida de la característica de salida.</i>	54
<i>Figura 31 Ejemplo de medida de característica de salida realizada en el trazador de curvas B1505A.</i>	54
<i>Figura 32 a) Esquema del circuito usado para la medida de la resistencia dinámica. b) PCB desarrollada para realizar la medida de resistencia dinámica con carga resistiva.</i>	56
<i>Figura 33 (a) Secuencia aplicada en los pulsos de puerta para obtener condiciones de conmutación suave y (b) resultado de la resistencia dinámica obtenida.</i>	57
<i>Figura 34 (a) Secuencia de pulsos utilizada para el test de resistencia dinámica de múltiples pulsos. (b) Resultados experimentales obtenidos en el EPC2025-7.5A-240V@10μs-31pulsos.</i>	59
<i>Figura 35 Esquema del circuito utilizado para la medida de resistencia dinámica con carga inductiva.</i>	59
<i>Figura 36 Configuración de los pulsos aplicados en un test completo.</i>	61

Figura 37 Circuitos explicativos de la conmutación de los transistores mostrando las diferentes fases. _____	62
Figura 38 PCB desarrollada para la medida de la resistencia dinámica con carga inductiva _____	63
Figura 39 Captura de osciloscopio para un test de 4 pulsos. En verde la corriente I_D y en rojo tensión V_{DS} . _____	63
Figura 40 Esquema del circuito utilizado para la realización de cortocircuito. _____	64
Figura 41 Captura de osciloscopio de un test de cortocircuito sobre un dispositivo de GaN. En rojo tenemos la tensión V_{DS} , en azul la tensión V_{GS} , en verde la corriente I_G y en amarillo la corriente I_D _____	65
Figura 42 a) Esquema del circuito utilizado para la realización del test de avalancha y b) Formas de onda típicas en un MOSFET de Silicio. _____	66
Figura 43 Captura de osciloscopio durante en un test de avalancha previo a la rotura de un dispositivo GaN. En amarillo la corriente I_D , en azul la tensión V_{GS} y en rojo la tensión V_{DS} . _____	67
Figura 44 Efecto de la resistencia dinámica mostrado gráficamente. _____	70
Figura 45 Variación de la resistencia dinámica para a) dispositivos MISHEMT y b) dispositivos HD-GIT variando únicamente el tiempo de estrés. _____	72
Figura 46 Variación de la resistencia dinámica para a) dispositivos MISHEMT y b) dispositivos HD-GIT con el número de pulsos. _____	73
Figura 47 Resistencia dinámica medida en un dispositivo MISHEMT tras 100 pulsos y $t_{ON} = 10 \mu s$ variando únicamente el tiempo de bloqueo del transistor. _____	75
Figura 48 Vista esquemática de una estructura GaN MISHEMT ilustrando los efectos de atrapamiento a) durante el estado de bloqueo tras el estado de semi-on y b) durante el estado de conducción tras el estado de bloqueo y semi-on. _____	76
Figura 49 Comparación de medidas con conmutaciones duras y suaves en un GaN MISHEMT tras 100 pulsos consecutivos de $200 \mu s$ de bloqueo y $10 \mu s$ de conducción. Medida realizada en el pulso 100. _____	77
Figura 50 Circuito esquemático diseñado para la medida de la resistencia dinámica en condiciones de carga inductiva, y Formas de onda obtenidas como ejemplo en uno de los test realizados. _____	78
Figura 51 Medida de 100 pulsos consecutivos con $7,5 A$ de pico, $t_{estrés}=19 \mu s$ y $V_{estrés}=80\%$ de $V_{DS,max}$ sobre a) EPC8004 y b) GS66508P _____	79

<i>Figura 52 Formas de onda obtenidas al realizar cortocircuito a diferentes tensiones V_{DS} para un dispositivo HD-GIT y un dispositivo MISHEMT</i>	80
<i>Figura 53 Variación de la corriente de saturación con la temperatura aplicada al dispositivo y extrapolación de la curva en temperatura para un dispositivo HD-GIT y un MISHEMT</i>	81
<i>Figura 54 Formas de onda de la rotura por temperatura obtenida sobre a) un dispositivo HD-GIT y b) GaN MISHEMT.</i>	83
<i>Figura 55 Fallo ocurrido tras la rotura por temperatura de un dispositivo HD-GIT ($t_{sc}=150 \mu s$ y $V_{DD}=400V$)</i>	84
<i>Figura 56 Formas de onda obtenidas en una rotura prematura con $V_{DD}=400 V$ para HD-GIT y GaN MISHEMT</i>	85
<i>Figura 57 Formas de onda típicas en un test de avalancha para un dispositivo a) HD-GIT y b) GaN MISHEMT.</i>	88
<i>Figura 58 Esquema del circuito utilizado para el test UIS de un GaN HEMT mostrando las diferentes fases: a) carga del inductor, b) carga de la capacidad de salida del DUT, c) descarga de la capacidad de salida del DUT y d) descarga del inductor a través del diodo de recirculación del DUT.</i>	89
<i>Figura 59 Medida de I_D-V_{GS} con V_{DS} constante de 0,1 V variando V_{GS} entre 0 y 4 V antes y después de la degradación provocada por el test de avalancha para a) HD-GIT y b) GaN MISHEMT.</i>	90
<i>Figura 60 Medida de corriente de fugas con V_{GS} constante de 0 V variando V_{DS} entre 0 y 200 V antes y después de la degradación provocada por el test de avalancha para a) HD-GIT y b) GaN MISHEMT.</i>	91
<i>Figura 61 Análisis con microscopio tras el tratamiento químico de dos muestras. a) HD-GIT y b) GaN MISHEMT.</i>	92
<i>Figura 62 Corte de sección con FIB de dispositivos GaN usados en test de avalancha. a) Región sin daño de la puerta tipo p de un GaN HEMT, b) región dañada de la puerta tipo p de un GaN HEMT tras la avalancha, c) región sin daño de un GaN MISHEMT y d) región dañada de un GaN MISHEMT tras el test de avalancha.</i>	94
<i>Figura 63 Secuencia de pulsos realizada durante la medida de la resistencia dinámica.</i>	97
<i>Figura 64 Resultados de resistencia dinámica obtenidos en un dispositivo p-GaN radiado con tensión aplicada en drenador.</i>	98
<i>Figura 65 Resultados de resistencia dinámica obtenidos en un dispositivo MISHEMT radiado con 400 V aplicados en drenador.</i>	98

<i>Figura 66 Resultados de resistencia dinámica obtenidos en un dispositivo MISHEMT radiado con los pines cortocircuitados.</i>	99
<i>Figura 67 Resultados de resistencia dinámica obtenidos en un dispositivo MISHEMT radiado con 400 V aplicados en drenador.</i>	100
<i>Figura 68 V_{th} medida para todos los dispositivos y dosis aplicadas</i>	102
<i>Figura 69 $V_{th_{ig}}$ medido cuando la corriente de puerta pasa por encima de 2 @ A para todos los dispositivos y dosis aplicadas</i>	103
<i>Figura 70 Corriente de fugas de drenador para todos los dispositivos y dosis aplicadas</i>	104
<i>Figura 71 Medida de resistencia dinámica para uno dispositivo con tensión aplicada en puerta y drenador para todas las dosis de radiación.</i>	105
<i>Figura 72 Medida de resistencia dinámica de GaN MISHEMT sujeto únicamente a tensión de drenador durante la radiación: a) medida de doble pulso a 500 V y b) medida de múltiple pulso.</i>	105

Listado de TABLAS

Tabla 1 Propiedades físicas de los materiales semiconductores más destacados en la literatura [4]. _____ 11

Tabla 2 Comparativa de los materiales que pueden ser usados como substratos en los GaN HEMT _____ 30

Tabla 3 Parámetros principales de los dispositivos estudiados durante la tesis. _____ 47

Capítulo 1

Introducción y objetivos

La Electrónica de Potencia juega un papel muy relevante en el ciclo de generación, almacenamiento y distribución de la energía eléctrica, pues ésta se consume después de sufrir algún tipo de transformación, frecuentemente realizada por convertidores electrónicos de potencia. Hoy en día, aproximadamente el 40% de la energía en todo el mundo se consume como energía eléctrica y, por lo tanto, la electrónica de potencia desempeña un papel clave en su ciclo de generación-almacenamiento-distribución. Además, el crecimiento de la demanda energética, debido al continuo crecimiento de la población mundial y al uso de la tecnología, provoca la necesidad de reemplazar el uso de las energías fósiles y no renovables por fuentes renovables que permitan la sostenibilidad global.

De esta forma, se hace cada vez más relevante la reducción de las pérdidas energéticas que tiene lugar desde la generación hasta el consumo de la energía eléctrica. En esa lucha por alcanzar la sostenibilidad, uno de los puntos a tener en cuenta, debe ser la mejora sobre los sistemas electrónicos de conversión de potencia. Dentro de estos sistemas el mayor origen de pérdidas se localiza en los dispositivos semiconductores de potencia, actualmente basados en el Silicio como material semiconductor. El Silicio representa una tecnología completamente madura y bien conocida. Sin embargo, este material semiconductor presenta características limitadas en frecuencia, temperatura de operación y capacidad de bloquear tensión. En la actualidad, la más alta capacidad de tensión de ruptura en un IGBT de Silicio comercial es de 6,5 kV con unas características de conmutación limitada, y no hay ningún dispositivo basado en Silicio

que pueda trabajar por encima de 200°C. Estos límites físicos inevitables reducen drásticamente la eficiencia de los convertidores de potencia actuales, que requiere entre otros, sistemas de refrigeración complejos, voluminosos y costosos.

En consecuencia, en las últimas décadas se han buscado nuevos materiales semiconductores que permitan mejorar la tecnología existente. En esta nueva generación de dispositivos de potencia se ha apostado por materiales semiconductores de banda prohibida ancha (WBG, acrónimo del término inglés “Wide Band-Gap”) para convertidores de potencia. El uso de estos nuevos materiales semiconductores de potencia permitirá aumentar la eficiencia de las transformaciones de energía eléctrica, conseguir un uso más racional de la energía eléctrica junto con una mejora considerable en tamaño y robustez de los convertidores de potencia. Entre los posibles materiales semiconductores, el carburo de silicio (SiC) y nitruro de galio (GaN) son quienes muestran actualmente el mejor equilibrio entre las características teóricas (capacidad de bloqueo de tensión, operación a alta temperatura y alta frecuencia de conmutación), la disponibilidad comercial real del material de partida (obleas y capas epitaxiales), y la madurez de sus procesos tecnológicos de fabricación.

Los nuevos dispositivos electrónicos de potencia basados en semiconductores de banda prohibida ancha tienen unas características excepcionales para convertirse en el centro de atención de la electrónica de potencia de los próximos años. Estas características proveen, a los dispositivos de potencia de banda prohibida ancha, de una alta capacidad de bloqueo de la tensión, baja caída de tensión en estado de conducción, alta velocidad de conmutación y baja resistencia térmica. Todas estas propiedades permitirán diseñar convertidores conmutados de alta potencia, alta tensión, alta frecuencia y alto rendimiento con la consiguiente reducción del tamaño de los mismos.

Todas estas ventajas teóricas que presentan los dispositivos semiconductores de banda ancha, han sido demostradas experimentalmente. A día de hoy ya existen dispositivos basados tanto en Carburo de Silicio como en Nitruro de Galio que mejoran las prestaciones del Silicio. No obstante, todavía están en una fase inicial de desarrollo, principalmente el Nitruro de Galio que a pesar de sus

magníficas ventajas de rendimiento en aplicaciones de alta frecuencia sigue sufriendo muchos inconvenientes relacionados con su fiabilidad. Por tanto, la motivación que ha focalizado este trabajo ha sido el estudio de los problemas de fiabilidad de estos dispositivos semiconductores en las aplicaciones de potencia.

1.1. Objetivos

En el campo de la electrónica de potencia se pueden diferenciar varias fases desde la idea inicial de un dispositivo nuevo, hasta la aplicación del mismo en una determinada aplicación. Estas fases se podrían resumir en tres, la primera es la fabricación de un dispositivo que por sí solo y en su caracterización consiga mejores prestaciones que sus adversarios. La segunda fase, que tiene lugar tras la demostración mediante la caracterización de un dispositivo con mejores prestaciones, consiste en una validación de la fiabilidad de ese dispositivo en condiciones que puedan acercarse a la realidad de la aplicación industrial. Por último, cuando se supera esta fase, se llega a la fase final, que consiste en el montaje en un convertidor que pueda mejorar las prestaciones, respecto a los competidores, mediante el uso de ese dispositivo desarrollado. Debido a la dificultad para englobar tecnológicamente las tres fases, por la necesidad de equipamiento singular y personal cualificado, estas tres fases suelen ser llevadas por grupos de investigación distintos que necesitan unos de otros. La primera fase provee de nuevos dispositivos a las siguientes fases, que proporcionan una retroalimentación necesaria a los primeros para poder acabar obteniendo convertidores electrónicos que mejoren a los anteriores.

Dentro de estas tres fases, en el desarrollo y comercialización del producto, esta tesis se enmarca dentro de la segunda, que es donde a día de hoy se encuentra la tecnología de Nitruro de Galio para los dispositivos semiconductores de potencia. En concreto en esta tesis se persigue el análisis y la obtención de evidencias experimentales sobre la fiabilidad de los dispositivos de Nitruro de Galio disponibles comercialmente hoy día, que nos ayuden a comprender mejor los fenómenos involucrados y poder así realimentar la fase de diseño y fabricación de dichas estructuras. Este estudio podría dividirse en tres partes principales.

La primera consiste en un estudio de uno de los principales problemas asociados a estos dispositivos de GaN desde su inicio que es conocido como la resistencia dinámica (el aumento de la resistencia en

conducción del dispositivo causado por haber estado estresado previamente). En la literatura se han ido mostrando cada vez más estudios investigando el origen y los factores que afectan a dicho fenómeno. Hasta llegar al punto que estamos hoy día, donde ese problema se ha reducido considerablemente desde el inicio, pero que todavía hoy en día no todas las estructuras y tipos de transistores de GaN han sido optimizados.

La segunda parte que abarca esta tesis se centra en la robustez eléctrica de estos dispositivos de GaN. Uno de los principales problemas de los dispositivos electrónicos de potencia surge cuando se utilizan en una determinada aplicación industrial. En concreto dos de los fenómenos que deben tenerse en cuenta al diseñar circuitos electrónicos de potencia, son la capacidad para soportar eventos de sobretensión por avalancha y para soportar cortocircuito. En esta parte se ha investigado la robustez de los principales dispositivos comerciales disponibles de transistores de GaN.

Por último, la tercera parte, se centra en una de las posibles ventajas de estos dispositivos al pertenecer a los denominados de banda prohibida ancha como es el mejor comportamiento ante radiación, por este motivo hemos estudiado cómo se comportan estos dispositivos frente a dosis de radiación gamma. Un punto importante de este estudio es la unión con el estudio mostrado en la primera parte, evaluando también el comportamiento de la resistencia dinámica ante la radiación.

1.2. Marco de la tesis

Esta tesis se realiza dentro del grupo de investigación Laboratorio de Electrónica Industrial e Instrumentación (LEII) de la Universitat de València. Gracias a este entorno de investigación contamos con los recursos necesarios para el desarrollo de esta tesis sustentándose mediante los fondos que a continuación se mencionarán.

1.2.1. Proyectos

El entorno principal del trabajo realizado se enmarca dentro del grupo de investigación del Laboratorio de Electrónica Industrial e Instrumentación (LEII) de la Universidad de Valencia y concretamente dentro del proyecto:

- Proyecto (ESP2015-68117-C2-1-R): Tecnologías basadas en Dispositivos Semiconductores de Carburo de Silicio y en Sensores de corriente Magnetorresistivos para las etapas de Rectificación en Propulsión Iónica. Se trata de un proyecto coordinado entre el Industrial Electronics Group (IE-g) de la Universidad Miguel Hernández y el Laboratorio de Electrónica Industrial e Instrumentación (LEII) de la Universidad de Valencia. En concreto, la parte en la que está implicada fue en el proyecto coordinador, donde los objetivos fueron orientados a los beneficios que se pueden obtener por una mayor temperatura y una mayor tensión de funcionamiento del SiC (comparado con los semiconductores basados en Si). Dicho proyecto fue financiado por: Ministerio de Economía y Competitividad /FEDER.

1.2.2. Ayudas

- **Ayuda:** Ayuda para la contratación de personal investigador de carácter predoctoral.
 - **Entidad financiadora:** Generalitat Valenciana.
 - **Nombre de la ayuda:** ACIF2016.
 - **Objetivo:** Desarrollo de una la línea de investigación asociada a esta tesis sobre la fiabilidad de dispositivos GaN.

- **Ayuda:** Ayuda para estancias de contratados predoctorales en centros de investigación fuera de la Comunidad Valenciana.
 - **Entidad financiadora:** Generalitat Valenciana.
 - **Nombre de la ayuda:** BEFPI2018.
 - **Objetivo:** Realización de una estancia que permita el acceso a recursos técnicos o conocimientos que favorezcan el desarrollo de la línea de investigación.

1.2.3. Estancias

Durante el desarrollo de esta tesis se ha realizado una estancia en un centro extranjero de relevancia internacional que se describe a continuación.

- **Lugar:** Fraunhofer Institute for Integrated Systems and Device Technology (IISB).
 - **Duración:** 3 meses
 - **Periodo:** 01/09/2018 – 01/12/2018
 - **País:** Alemania
 - **Financiación:** BEFPI2018- Generalitat Valenciana
 - **Objetivo:** Realización de una estancia que permita el acceso a recursos técnicos o conocimientos que favorezcan el desarrollo de la línea de investigación.

1.3. Dispositivos semiconductores de banda ancha (WBG)

Hoy día el mercado de la electrónica de potencia está dominado por la bien establecida tecnología de Silicio. Esta tecnología ha demostrado durante décadas ser una tecnología fiable y barata. Sin embargo, las progresivas mejoras sobre estos dispositivos a lo largo del tiempo debido a la continua necesidad de aumentar la eficiencia, reducir el tamaño y aumentar la capacidad de tensión soportada por estos dispositivos, ha llevado a que hoy día, la tecnología de Silicio esté llegando a su límite. Es en este entorno donde se apuesta por nuevas tecnologías que puedan superar al Silicio como son los dispositivos semiconductores de banda prohibida ancha (WBG).

Los semiconductores WBG son semiconductores que presentan una energía de banda a banda mayor que los semiconductores normales. Normalmente los dispositivos semiconductores tienen un ancho de banda entre 1 y 1.5 eV mientras que los dispositivos WBG lo tienen entre 2 y 4 eV [1]. Este mayor ancho de banda supone una mayor energía necesaria del electrón para pasar a la banda de conducción permitiendo que se puedan tener dispositivos que soporten mayores niveles de tensión por unidad de área. El tamaño de los dispositivos semiconductores está directamente relacionado con la resistencia que oponen al paso de la corriente, de modo que soportar mayores tensiones por unidad de área permite además tener dispositivos capaces de conmutar mayor tensión con mayor eficiencia.

Otra gran ventaja de los semiconductores WBG es la mayor velocidad de saturación de los electrones. Esto se traduce en una capacidad conmutar a mayor frecuencia sin que esto suponga un aumento de las pérdidas. Este aumento en la capacidad de conmutar a mayor frecuencia de los dispositivos supone un aumento en la frecuencia del sistema que conlleva una reducción del tamaño de los elementos reactivos (bobinas y condensadores), pudiendo alcanzar mayores densidades de potencia.

Además, estos dispositivos tienen otra gran ventaja como es la baja concentración de portadores intrínsecos (n_i), esto permite a los dispositivos soportar mayores temperaturas de funcionamiento. La concentración de portadores intrínsecos y su dependencia exponencial con la temperatura es un factor que limita la temperatura de operación debido a dos motivos:

En el caso de alcanzar una concentración de portadores intrínsecos mayor que de portadores dopantes provocaría la incorrecta operación del dispositivo.

La corriente de fugas de bloqueo es exponencialmente dependiente de la concentración de portadores intrínsecos lo que significa que las pérdidas en bloqueo pasarían a ser significativas.

Por tanto, debido a que los dispositivos WBG tienen una concentración de portadores intrínsecos varios órdenes de magnitud menor que Silicio, como se puede apreciar en la Tabla 1, estos dispositivos podrían alcanzar temperaturas de hasta 600 °C mientras que el límite para el Silicio estaría en los 200 °C. Un aumento en la máxima temperatura de operación no solo implica la posibilidad de trabajar en entornos hostiles, sino que también puede significar una reducción importante del gasto de energía y coste de refrigeración [2], [3].

En la Tabla 1 se muestran las propiedades físicas de los principales materiales semiconductores WBG comparados con el Silicio. Teóricamente, el mayor ancho de banda significa la necesidad de una mayor tensión para inducir el salto de un electrón de banda a banda. Esto permitiría operar a mayor tensión, frecuencia y temperatura en un menor tamaño de chip.

Tabla 1 Propiedades físicas de los materiales semiconductores más destacados en la literatura [4].

Properties	Si	GaAs	4H-SiC	GaN	Diamond
E_g (eV)	1.1	1.42	3.26	3.39	5.45
ϵ_r	11.8	13.1	10	9.0	5.5
μ_n (cm ² /V s)	1350	8500	700	1200(bulk) 2000(2DEG)	1900
v_{sat} (10 ⁷ cm/s)	1.0	1.0	2.0	2.5	2.7
E_{br} (MV/cm)	0.3	0.4	3.0	3.3	5.6
Θ (W/cm K)	1.5	0.43	3.3-4.5	1.3	20
$JFOM = \frac{v_{sat} \cdot E_{BD}}{2\pi}$	1	2.7	20	27.5	50

Para comparar las ventajas teóricas de estos dispositivos se puede usar la figura de mérito de Johnson [5], [6]. Este parámetro da información referida al campo eléctrico de rotura (E_{BD}) y la velocidad de saturación de los electrones (v_{sat}) tal y como se muestra en la Ecuación 1. De esta manera se define una medida comparativa entre materiales referidos a la capacidad de trabajar a alta frecuencia con alta potencia, el valor de esta figura de mérito para los principales materiales semiconductores también se muestra en la Tabla 1.

$$FOM_{Johnson} = \frac{v_{sat} \cdot E_{BD}}{2\pi} \quad (1)$$

La traducción de estas propiedades físicas superiores en los dispositivos de WBG se muestra gráficamente en la

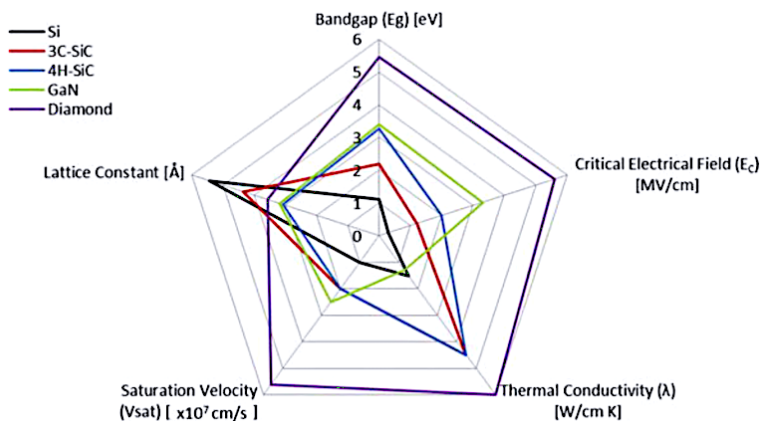


Figura 1 Gráfico comparativo de las propiedades de los principales materiales semiconductores.

Como se muestra en la Figura 1, las propiedades físicas del material de GaN, lo hacen el más atractivo para aplicaciones a alta potencia y alta frecuencia solo sobrepasado por el diamante. Sin embargo, el desarrollo de la tecnología de SiC ha sido más rápida y ya hay disponibles comercialmente dispositivos robustos y fiables que mejoran las propiedades ofrecidas por el Silicio. Mientras tanto, la madurez de los dispositivos GaN ha sido más lenta. Principalmente debido a la ausencia de sustratos de buena calidad, necesarios para desarrollar dispositivos verticales como los MOSFET [7]. Se puede concluir que los dispositivos de GaN son una buena opción para aplicaciones de alta tensión y alta frecuencia de conmutación. Sin embargo, no son eficientes a altas temperaturas. Por otro lado, los dispositivos de SiC son la mejor opción para alta tensión, y alta temperatura.

A pesar de las características mostradas en comparación a los otros materiales, el interés industrial por los dispositivos de GaN ha aumentado en los últimos años debido a las potenciales mejoras, principalmente en términos de frecuencia de conmutación, pero también, porque los dispositivos GaN presentan una ventaja principal con respecto a SiC y Silicio que es la posibilidad de formar heteroestructuras fácilmente (permitiendo formar HEMT) que pueden ser crecidas en diferentes materiales, entre los que se encuentran SiC y

Si. Estas heteroestructuras se caracterizan por una mejor concentración de portadores y alta movilidad del canal.

La unión de todas las características mencionadas en los párrafos anteriores hace que cada material abarque un rango distinto de aplicaciones. En la Figura 2 se recogen estas aplicaciones en función de la frecuencia y la tensión de trabajo.

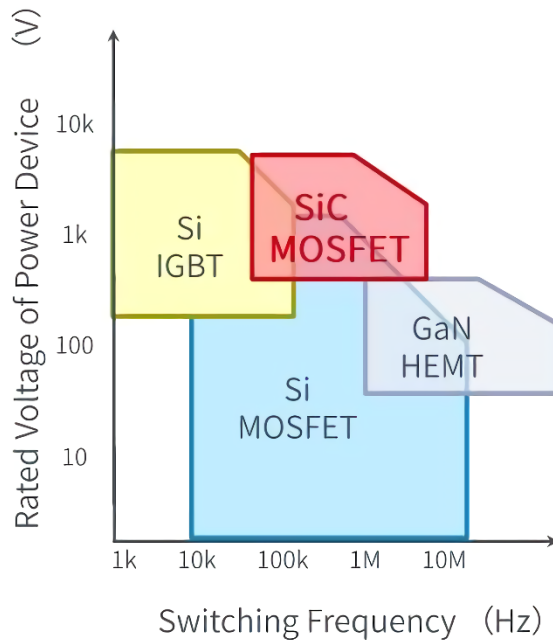


Figura 2 Rango de aplicación frecuencia-tensión de los principales dispositivos semiconductores de potencia [8].

Como se aprecia en el gráfico anterior, la aparición de estos dispositivos no solo mejora al Silicio en gran cantidad de aplicaciones, sino que además permite aumentar las condiciones de trabajo de las distintas aplicaciones. El carburo de Silicio permitiría aumentar el límite de tensión, mientras que el Nitruro de Galio permitiría trabajar a frecuencias mayores. Además, en ambos casos, también permitirían el aumento de la temperatura de operación.

Hoy en día, tanto los dispositivos semiconductores basados en SiC como los basados en GaN han demostrado enormes beneficios comparados con el Silicio. SiC es normalmente un candidato mejor en aplicaciones para tensiones por encima de 1200 V, mientras que GaN es más competitivo por debajo de 1200 V. En el rango entre 650 V y 1200 V es un espacio competitivo en el que tanto SiC como GaN pueden ofrecer ventajas. Comparado con el Silicio, los dispositivos basados en SiC pueden operar a mayores temperaturas con mayor conductividad térmica, mayor tensión de rotura, una resistencia de conducción menor, mayor velocidad de conmutación, menores pérdidas de conmutación y una gran capacidad de soportar radiación. Mientras que las ventajas de GaN incluyen una mayor saturación de la movilidad de electrones y menos pérdidas a la vez que permiten conmutar a frecuencias más altas, lo que puede permitir un tamaño mucho menor del dispositivo, aumentando la densidad de potencia.

A pesar de todas estas mejoras, ofrecidas por los dispositivos basados en SiC y GaN, todavía se deben superar muchas dificultades que incluyen un mayor coste del material y su fabricación, así como diversos problemas de fiabilidad y encapsulado. En los últimos años, los esfuerzos por adaptar estos dispositivos para su uso en aplicaciones de automoción, fotovoltaica o fuentes de alimentación han hecho que se superen muchos de los problemas iniciales, sobre todo en SiC. Sin embargo, este progreso no se ha finalizado en aplicaciones para motores industriales, tracción y aerogeneradores. Todo irá mejorando en función del nivel de inversión en tecnología e investigación, que permitirá mejorar sus prestaciones y reducir los costes de producción, haciéndolos competitivos en un mayor número de aplicaciones.

En este sentido los precios para los dispositivos SiC y GaN han ido bajando aceleradamente en los últimos años, lo que ha ayudado a impulsar su crecimiento en el mercado. Los dispositivos SiC han aumentado su crecimiento en aplicaciones muy por encima de los GaN principalmente por motivos de fiabilidad. Además, el SiC permite la creación de estructuras verticales, que son las preferidas y más conocidas en electrónica de potencia, por sus mejores prestaciones para alta tensión. Sin embargo, esto no ocurre en los dispositivos GaN, donde la principal problemática reside en la dificultad para crecer

grandes substratos de GaN de buena calidad, que son muy costosos. Por ello se ha optado por la creación de dispositivos laterales como los transistores de alta movilidad de electrones (HEMT). Esto ha propiciado que el crecimiento de dispositivos SiC haya sido mucho más rápido que el de GaN principalmente debido al conocimiento de la tecnología. No obstante, esta ventaja en los primeros años de desarrollo de la tecnología, puede invertirse en el largo plazo, ya que la facilidad del GaN para formar heteroestructuras como los HEMT, puede permitir a los mismos alcanzar frecuencias de conmutación mucho mayores que sus rivales.

En la Figura 3 se muestra un análisis de los principales campos de actuación de cada una de las tecnologías mencionadas (Silicio, SiC y GaN). Como se puede apreciar, SiC supera al Silicio en capacidad de potencia, mientras que GaN lo supera en capacidad de conmutación, permitiendo ampliar la frecuencia de conmutación. Por otro lado, en la franja media entre potencia y frecuencia de conmutación ambos materiales compiten, como ocurriría en el caso del vehículo eléctrico.

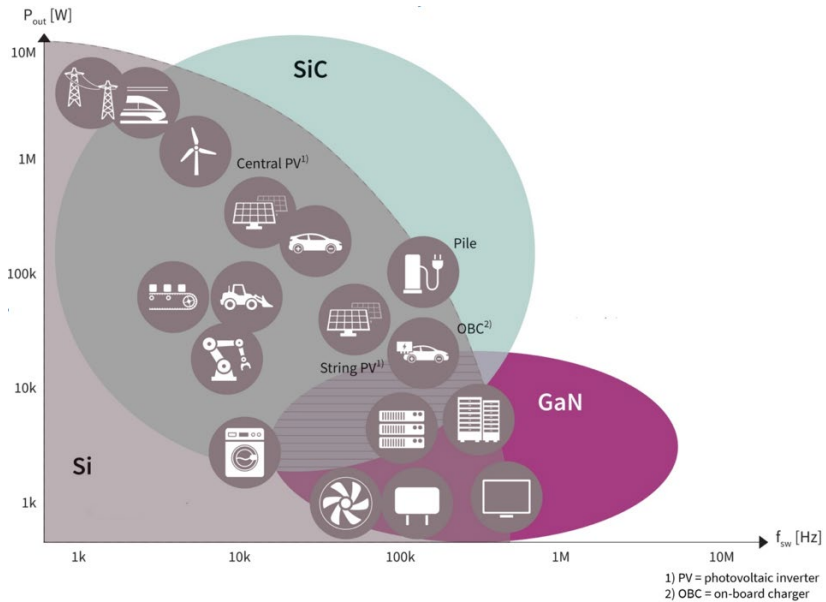


Figura 3 Gráfico con las principales áreas de actuación de dispositivos SiC, GaN y Si dividido por aplicaciones y estructuras de dispositivo [9].

Gracias a todas las características mencionadas estos dispositivos prometen un gran avance en el campo de semiconductores de potencia. Sin embargo, muchas de las ventajas no están siendo explotadas por el momento debido a diseños poco optimizados, baja calidad del material, limitaciones tecnológicas y problemas de fiabilidad, sobre todo en los dispositivos de GaN, donde la fiabilidad está siendo el principal problema de esta tecnología tan prometedora. Por ello esta tesis se centra en el estudio de algunos problemas de fiabilidad de los transistores de potencia de GaN disponibles en el mercado.

Capítulo 2

Dispositivos de potencia de GaN

Debido a las características, como semiconductor de banda ancha, los dispositivos GaN, presentan mejoras teóricas de sus propiedades eléctricas frente a los semiconductores de Silicio. De las posibles mejoras que pueden beneficiar estos dispositivos podemos destacar las siguientes [10]:

- Baja resistencia a conducción de los dispositivos: Los dispositivos GaN tienen una ratio de saturación de electrones superior al Silicio, permitiendo una menor resistencia a conducción.
- Mayor velocidad de conmutación: El material GaN posee una pequeña capacidad de unión y la frecuencia de conmutación que podemos obtener debido a este motivo podría llegar hasta el nivel de MHz.
- Funcionamiento a alta tensión: El material GaN tiene tres veces más ancho de banda que el Silicio, y el campo eléctrico máximo de hasta 3.3 MV/cm es hasta 10 veces mayor que el material de Silicio, por tanto, GaN permite la posibilidad de trabajar a mayor tensión de bloqueo.

Debido a estas posibles mejoras, el desarrollo de la tecnología permitió que en el año 2000 apareciese el primer dispositivo basado en Nitruro de Galio, fabricado en un sustrato de Carburo de Silicio usando los

estándares de radio frecuencia. Tras este momento el desarrollo de la tecnología de los dispositivos GaN dio un salto cualitativo [10].

Por su fabricación el nitruro de Galio puede ser crecido de manera homoepitaxial o heteroepitaxial. El primero da lugar a los conocidos como dispositivos verticales, mientras que el segundo permite la creación de dispositivos laterales. El crecimiento heteroepitaxial es más apropiado para aplicaciones de media y baja potencia (hasta 10kW), donde los dispositivos con topologías laterales son favoritos. Sin embargo, para aplicaciones de mayor potencia (mayor a 10kW) donde se requieren mayores tensiones de rotura (mayores a 1200 V) las estructuras laterales son menos atractivas. [11]. Esto es debido a dos motivos principales:

La estructura lateral de GaN permite la creación de un canal de alta movilidad de electrones, conocido como 2DEG, que permite una mayor movilidad de electrones con la consecuente reducción de la resistencia de conducción y aumento de velocidad de conmutación [12].

La estructura vertical permite mayores tensiones debido a que, por estructura, el drenador del dispositivo se encuentra en la parte posterior a la puerta y surtidor lo que hace que cuando una alta tensión es aplicada durante el estado de bloqueo del dispositivo, el campo eléctrico se distribuye uniformemente a lo largo de la dirección vertical sin los picos de campo eléctrico que se producen en el borde de la puerta en los dispositivos laterales [10]. En este apartado se realiza una revisión de los principales dispositivos de Nitruro de Galio destinados a aplicaciones de potencia

Veamos a continuación un resumen de los diferentes tipos de dispositivos semiconductores de GaN.

2.1. Diodo de potencia de GaN

Los diodos de potencia de GaN se pueden clasificar en dos tipos dependiendo del contacto de puerta utilizado: El diodo GaN de barrera Schottky (SBD) y los diodos PN. Debido a la ausencia de acumulación portadores minoritarios y la menor altura de la barrera, los diodos SBD pueden operar a mayores frecuencias con una menor tensión de conducción que los diodos basados en unión PN [13].

A parte del material utilizado en el contacto, los diodos de GaN se pueden dividir por su estructura en tres: estructura lateral, estructura vertical y estructura cuasi-vertical también conocida como mesa.

2.1.1. Diodos Schottky de GaN con estructura lateral

Los diodos de barrera Schottky (SBDs) con estructura lateral muestran una estructura interna como la que se muestra en la Figura 4, este tipo de dispositivos se basan en la creación de un canal de alta movilidad de electrones conocido como 2DEG. Este canal se forma gracias a la unión de heteroestructuras entre materiales con distinto nivel de energía. Una posibilidad de crear esta canal, muy utilizada, es la unión de una capa AlGaN con una capa de GaN. La diferencia de energías que se produce entre el AlGaN y el GaN provoca que los electrones de la capa con mayor energía se muevan hacia la capa de menor energía, provocando un canal de electrones en la interfaz entre los dos materiales. La ventaja de este tipo de diodos se basa en la formación del canal de electrones que permite obtener dispositivos de potencia, debido al gran ancho de banda del material GaN, junto con una alta movilidad que permite la obtención de una baja caída de tensión durante la conducción [14], [15], [16].

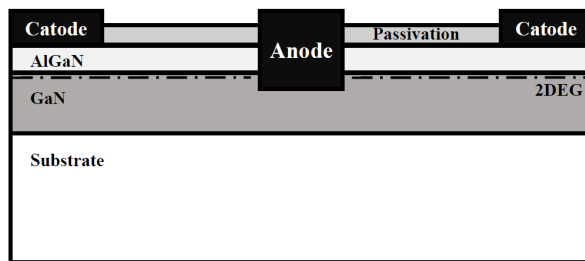


Figura 4 Sección transversal simplificada de un diodo de GaN con estructura lateral

El problema asociado con estos diodos de GaN laterales es que sufren de atrapamiento de electrones en la superficie debido a la presencia de un alto campo eléctrico en la superficie cuando están en estado de bloqueo.

2.1.2. Diodos de GaN con estructura vertical (p-i-n)

Además de las estructuras laterales, también ha habido un gran interés en el desarrollo de diodos GaN con estructuras verticales [17], [18], [19]. Las estructuras verticales, permiten la obtención de tensiones de bloqueo mayores con un tamaño menor del dispositivo, buenas prestaciones térmicas, integración y flexibilidad [20]. Una simplificación de la estructura básica de estos dispositivos se muestra en la Figura 5. Entre los dispositivos GaN verticales, los diodos p-i-n han sido ampliamente estudiados debido a sus bajas pérdidas de conducción, baja corriente de fugas y alta tensión de rotura. En la última década se han obtenido buenos resultados en esta dirección [21], [22], [23]. Sin embargo, los sustratos de GaN son costosos si se quiere obtener una baja densidad de defectos y solo disponibles en tamaños pequeños, limitando su uso para producción en masa. Este motivo ha hecho que se ponga el foco de atención en la obtención de diodos p-i-n crecidos en sustratos de silicio. Para ello, primero se obtiene el diodo p-i-n sobre una fina capa de GaN y posteriormente se implanta sobre un sustrato de Silicio [24], [25].

Capítulo 2. Dispositivos de potencia de GaN

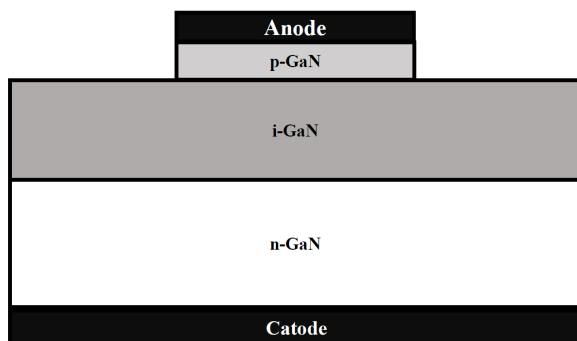


Figura 5 Sección transversal simplificada de un diodo p-i-n de GaN con estructura vertical

Los diodos P-i-N basados en GaN se han realizado con varios sustratos, incluidos GaN, SiC, zafiro y Si. Hasta ahora, se ha publicado evidencias de los diodos p-i-n de GaN con tensiones de ruptura superiores a 4 kV. La tensión de ruptura de los diodos p-i-n de GaN crecidos en sustratos diferentes está permitiendo grandes avances con el desarrollo de tecnologías de crecimiento. Además, las nuevas tecnologías de terminación del dispositivo también pueden mejorar la tensión de ruptura de los diodos p-i-n de potencia en un futuro próximo.

Un inconveniente potencial de los diodos GaN p-i-n es su caída de tensión directa relativamente grande, típicamente más de 3 V, lo que conlleva a una pérdida de conducción no despreciable.

Durante el transcurso de los últimos años, se han presentado diodos de barrera Schottky (SBDs) de GaN verticales avanzados. Hay dos tipos de SBD de GaN verticales, es decir, diodos Schottky de barrera de unión (JBS) y diodos Schottky (TMBS) de barrera de aislamiento de metal de trinchera (MIS).

Sin embargo, estos diodos GaN JBS tienen inconvenientes tecnológicos. Los diodos de Si y SiC JBS se fabricaron utilizando implantes selectivos de iones. Sin embargo, el proceso de implantación ionizante para obtener p-GaN es inmaduro. En lugar de utilizar una técnica de implantación iónica inmadura para p-GaN en el JBS, los diodos de trinchera JBS pueden fabricarse utilizando p-GaN epitaxial

y su grabado. Sin embargo, para lograr características excelentes para los diodos JBS de trinchera, se requiere un control estricto de la profundidad de grabado, lo que no es deseable para un proceso práctico de fabricación en serie.

2.1.3. Diodos p-i-n con estructura cuasi-vertical o mesa

Este tipo de diodo se basa en la estructura vertical p-i-n vertical, por lo que las ventajas son las mismas que la de esta tecnología (obtención de tensiones de bloqueo mayores con tamaño del dispositivo menor, buenas prestaciones térmicas, integración y flexibilidad) [26], [27]. Sin embargo, ante la necesidad que se produce en GaN de crecer el diodo p-i-n sobre un sustrato diferente al GaN, y debido al alto coste que supone utilizar un sustrato de GaN, se crea esta estructura, cuya sección transversal simplificada se muestran la Figura 6 donde se facilita el crecimiento del diodo sobre un sustrato de diferente material. Dada la dificultad para obtener sustratos GaN de buena calidad, esta es una forma de reducir el coste, e incluso mejorar la conductividad térmica con el uso de sustratos de SiC.

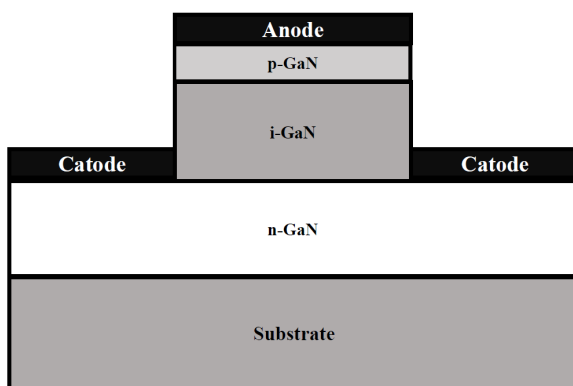


Figura 6 Sección transversal simplificada de un diodo p-i-n de GaN con estructura mesa

Capítulo 2. Dispositivos de potencia de GaN

Sin embargo, el SBD de GaN ha demostrado hasta ahora una tensión de ruptura relativamente inferior en comparación con los diodos GaN p-i-n, en parte debido a la alta fuga de corriente y la aparición de picos de campos eléctricos en la superficie del dispositivo.

Los dispositivos GaN verticales, que usan estructuras similares a sus homólogos de Si y SiC, pueden aprovechar al máximo las propiedades superiores del material GaN. Sin embargo, la falta de disponibilidad de obleas GaN de alta calidad y bajo costo ha limitado estas perspectivas [28].

2.2. Transistores de potencia de GaN

Debido a que los dispositivos GaN verticales aún no se han producido a nivel comercial, la mayoría de los dispositivos GaN disponibles en la actualidad son transistores de efecto de campo de heterounión lateral (HFET), también conocidos como transistores de alta movilidad de electrones (HEMT).

Inicialmente, el desarrollo de dispositivos de potencia GaN se centró en una geometría lateral. Recientemente, sin embargo, ha habido un creciente interés en las arquitecturas verticales. En [29] se propone una nueva estructura del transistor vertical de GaN, donde la compuerta de tipo p se forma sobre la ranura en V de las capas de deriva de GaN. Confirmando una baja resistencia de conducción de $1.0 \text{ m}\Omega\cdot\text{cm}^2$ y una alta tensión de ruptura de 1.7 kV. Los méritos de esta geometría incluyen: la capacidad de obtener altos niveles de tensión de ruptura y corriente, sin tener que agrandar el tamaño del chip; una fiabilidad superior, resultante del cambio en el campo eléctrico máximo desde la superficie hasta la mayor parte del dispositivo; y una simplificación de la gestión térmica, en comparación con los dispositivos laterales. Gracias a estos atributos, los dispositivos GaN verticales son los competidores más probables para combinar corrientes superiores a 100 A con tensiones de más de 600 V, los requisitos típicos para muchas aplicaciones de media y alta potencia, como vehículos eléctricos y procesamiento de energías renovables.

Uno de los desafíos a los que se enfrentan los transistores de GaN verticales, como sus homólogos laterales, es la realización de un dispositivo que de manera natural esté con los contactos abiertos (normally-off). Sin embargo, ese no es el único problema: muchos dispositivos verticales requieren GaN tipo p o regeneración epitaxial. Eso no es fácil, en comparación con GaN de tipo n, la variante de tipo p tiene una relación baja para la activación del aceptador y una movilidad de portadores mucho menor. Y si se necesita un nuevo crecimiento epitaxial, esto aumenta enormemente la complejidad y el coste de la fabricación del dispositivo.

A continuación, se muestran brevemente las principales características de los tipos de transistores de GaN que más se han investigado recientemente en la literatura.

2.2.1. MOSFET de GaN

La estructura MOSFET (metal-oxide-semiconductor field effect transistor) ha demostrado una baja resistencia de conducción a la vez que una gran capacidad de operar a altas tensiones de bloqueo en dispositivos de Silicio y SiC. Además, la mayor ventaja de este tipo de dispositivos reside en que son dispositivos cuyo estado natural es el bloqueo de tensión (normally-off), y poseen niveles de tensión umbral altos que permiten la segura operación del dispositivo incluso en ambientes hostiles de ruido electromagnético. Una sección transversal simplificada de esta estructura se muestra en la Figura 7.

Esta estructura de potencia, muy utilizada en Silicio, ha sido rápidamente desarrollada con la nueva tecnología de SiC por su gran parecido en cuanto a fabricación. Sin embargo, en GaN este desarrollo ha sido más lento, principalmente debido a dos motivos. El primero de los inconvenientes es la dificultad para crecer el cristal de GaN en un sustrato diferente que provoca un alto número de defectos en la estructura. Estos defectos afectan muy negativamente a las características del dispositivo y su fiabilidad. El segundo de los inconvenientes tiene lugar en la interfaz entre el material de GaN y el óxido utilizado en la puerta. La calidad de esta interfaz es baja en GaN

Capítulo 2. Dispositivos de potencia de GaN

y debido a la operación del dispositivo MOSFET, esto provocara un aumento importante de la resistencia en conducción del mismo. Además, una baja calidad de esta interfaz hace que el nivel de tensión umbral varíe del valor diseñado provocando problemas de oscilaciones en las conmutaciones.

El progresivo estudio sobre estos dispositivos ha hecho que ya se hayan demostrado buenos resultados en este tipo de estructuras [30], [31], sin embargo, en la actualidad todavía no hay disponibles comercialmente dispositivos con esta estructura.

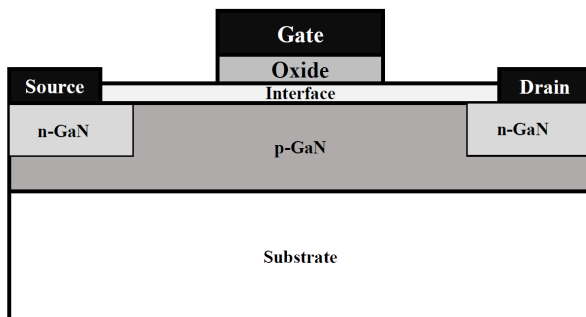


Figura 7 Sección transversal simplificada de un MOSFET de GaN

2.2.2. CAVET de GaN

El Transistor Vertical de Apertura de Corriente (CAVET) se basa en la utilización de una estructura como la mostrada en la Figura 8. Esta estructura posee las ventajas de una estructura vertical, como es la capacidad de soportar altas tensiones con menor dependencia del tamaño que en el caso de estructuras laterales como el HEMT. Y además supera el problema que se plantea en los MOSFET de GaN, ya que al no utilizar un óxido de metal en la puerta evitamos los problemas que la unión entre ese óxido y el cristal de GaN generan. Sin embargo, al contrario que el MOSFET de GaN, el CAVET de GaN es un dispositivo por defecto normally-on, como ocurre con el HEMT. De este modo, las estrategias que se usan en el HEMT para conseguir un comportamiento normally-off también son aplicables en los

dispositivos CAVET, estas estrategias serán abordadas más adelante en el apartado de los HEMT de GaN [32].

Debido a sus ventajas, esta estructura de dispositivo, puede ser la que acabe compitiendo en el mercado de semiconductores de alta tensión (>1200 V) con los MOSFET de SiC [33]. Por ello se están haciendo esfuerzos en el sentido de mejorar los dispositivos CAVET de GaN que van mostrando características prometedoras para ser utilizados en aplicaciones de potencia [34], [20].

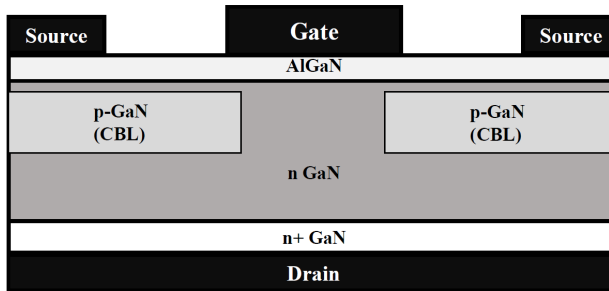


Figura 8 Sección transversal simplificada de un CAVET de GaN

2.2.3. GaN HEMT

Los transistores de alta movilidad de electrones (HEMT) son dispositivos donde la corriente circula a través de un canal entre drenador y surtidor que es controlado por un tercer contacto llamado puerta. Estos dispositivos están basados en heteroestructuras y en el fenómeno que ocurre entre dos materiales de diferente energía de la banda de conducción. Cuando una heterounión se forma en un semiconductor se produce una transferencia de electrones del material con mayor energía al material con menor energía, donde los electrones pasan a tener un menor estado de energía. Este fenómeno provoca la concentración de electrones en la unión creando de esta manera el conocido gas de electrones bidimensional (2DEG). Esta canal es conocido por la alta movilidad de electrones que es una gran ventaja en términos de pérdidas de conducción y alta frecuencia de

Capítulo 2. Dispositivos de potencia de GaN

conmutación [35]. La Figura 9 muestra la sección transversal simplificada de un GaN HEMT.

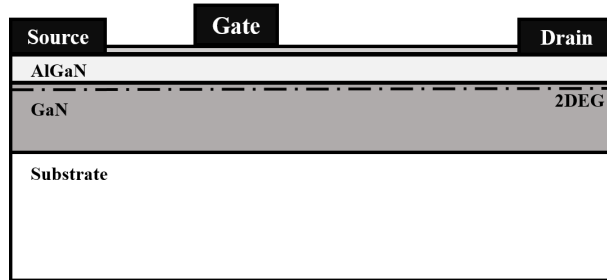


Figura 9 Sección transversal simplificada de un dispositivo GaN HEMT

Estos dispositivos tienen la ventaja, respecto a los dispositivos verticales, de obtener una mayor movilidad de electrones, debido a la existencia del 2DEG, lo que favorece el trabajo a mayores frecuencias de conmutación con una baja resistencia de conducción. No obstante, el inconveniente principal de esta tecnología, es la limitación para aumentar la tensión de ruptura. En este tipo de estructuras la obtención de una tensión de rotura mayor está ligada directamente a la distancia entre puerta y drenador. Como consecuencia, al aumentar esa distancia obtenemos dispositivos de mayor tamaño en comparación con los dispositivos verticales de GaN para obtener una misma tensión de ruptura, pero además esta mayor distancia entre puerta y drenador conlleva otros problemas como por ejemplo el aumento de atrapamiento de electrones [36].

En el caso concreto de los AlGaN/GaN HEMT el efecto de polarización de la capa AlGaN crecido sobre un buffer de GaN provoca una polarización positiva en la interfaz AlGaN/GaN y una polarización negativa en la parte superior de la capa AlGaN. Estas cargas de polarización generan un campo eléctrico y hacen que la banda de energía se mueva hacia la interfaz. Bajo la fuerza de este campo eléctrico los electrones conductores en el AlGaN se mueven hacia el electrodo positivo (interfaz AlGaN/GaN) y se acumulan allí curvando la banda de energía y haciendo el nivel de Fermi plano de nuevo. Una vez los electrones llegan a la capa de GaN se acumulan allí formando el 2DEG porque el nivel de Fermi es menor que en el AlGaN. Este

proceso continúa hasta que las energías en el GaN y AlGaN son iguales [37]

La interfaz formada por los dos semiconductores doblará las bandas de energía debido a la diferencia de banda prohibida (Figura 10): unos pocos nanómetros debajo de la superficie (lado GaN), la banda de conducción pasará debajo del nivel de Fermi y confina los electrones en un pozo cuántico. Los portadores se encontrarán en un estado llamado gas 2D (2DEG) donde su movilidad aumentará considerablemente, además de la contención de los electrones.

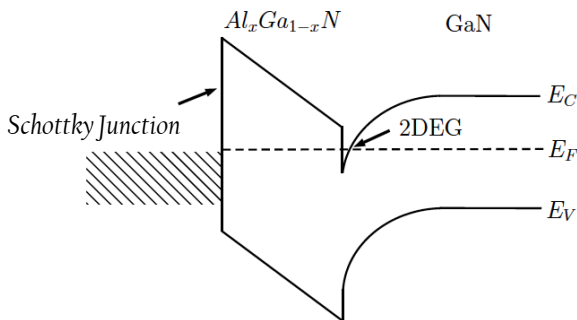


Figura 10 Diagrama de bandas indicando el nivel de Fermi de un dispositivo HEMT de AlGaN/GaN.

La existencia del 2DEG hace que estos dispositivos sean por defecto transistores normalmente cerrados lo que significa que en ausencia de tensión aplicada en puerta el dispositivo se encuentra conduciendo corriente entre drenador y surtidor.

Las características eléctricas básicas de estos dispositivos son:

Resistencia de conducción (R_{ON}): Esta es la resistencia que presenta el dispositivo cuando se encuentra conduciendo corriente entre drenador y surtidor. Estos dispositivos presentan una resistencia a conducción muy baja gracias al canal 2DEG y esta tiene una dependencia positiva con la temperatura.

Tensión umbral de puerta (V_{TH}): La tensión umbral es la tensión necesaria por el dispositivo en puerta para abrir el canal y permitir el

Capítulo 2. Dispositivos de potencia de GaN

paso de la corriente. El valor de V_{TH} en estos dispositivos es, por defecto, negativa a no ser que se utilicen estrategias en puerta para aumentar ese nivel.

Capacidades: La estructura HEMT se caracteriza por sus bajas capacidades parásitas. El bajo nivel de capacidad C_{GS} , que es la mayor implicada en los tiempos de conmutación, permite a estos dispositivos conmutar mucho más rápido que otras tecnologías que usan dispositivos verticales como los MOSFET.

Diodo intrínseco: La estructura HEMT es una estructura lateral que carece de la existencia de la unión bipolar parásita que es común en los dispositivos MOSFET de Silicio. Por tanto, no existe un diodo en antiparalelo dentro del dispositivo. Sin embargo, la estructura GaN HEMT posee un mecanismo de operación, que permite el paso de corriente cuando la tensión en surtidor es mayor que en drenador como si de un diodo se tratase. Con una tensión por debajo de V_{TH} , aplicada en puerta, hay una ausencia de electrones bajo la región de puerta. Como la tensión en drenador disminuye, se crea una tensión positiva en puerta, inyectando electrones bajo la puerta. Una vez el nivel de V_{TH} es alcanzado, habrá suficientes electrones bajo la puerta para formar un canal conductivo. El beneficio de este mecanismo es que la ausencia de unión p-n entre surtidor y drenador evita las pérdidas de recuperación inversa del mismo en las conmutaciones.

2.2.4. Estructuras más comunes de los dispositivos GaN HEMT normally-off.

Desde la aparición de los primeros dispositivos de GaN, se han detectado dos problemas principales de esta tecnología. El primero es que a pesar de que la estructura interna (wurtzite) es termodinámicamente estable, es difícil crecer substratos de GaN. Estos son caros y de baja calidad, por lo que surge la necesidad de crecer el GaN sobre un material diferente. Esto provoca un cambio de la rejilla de la estructura y del coeficiente de expansión térmica entre ambos materiales y principalmente, al comienzo de la tecnología y todavía hoy, hacen que elegir el substrato adecuado sea un punto crítico para

estos dispositivos. En la Tabla 2 [38] [39] se muestran las constantes de rejilla y el coeficiente de expansión térmica para los diferentes materiales que pueden ser usados como sustratos en GaN HEMT. Como se muestra, el mejor sustrato en términos de rejilla y coeficiente de expansión térmica sería el SiC, que además tiene una mayor conductividad térmica que ayuda a evacuar el calor. Sin embargo, el mayor coste de las obleas de SiC comparado con las de Silicio, hacen que este segundo este siendo el más utilizado, existiendo en la actualidad varios fabricantes que lo ofrecen comercialmente.

Material	Lattice Constant (Å)	Lattice Mismatch (%)	Thermal Exp. Coefficient (10^{-6} K^{-1})	Thermal Mismatch (%)	Thermal Conductivity (W/cmK)
GaN	3.19	0	5.6	0	1.3
Al ₂ O ₃	4.75	15	7.5	33.9	0.5
SiC	3.08	-3.5	4.46	-20.3	5
Si	5.43	17	3.59	-35.8	1.5

Tabla 2 Comparativa de los materiales que pueden ser usados como sustratos en los GaN HEMT

El primero de los fabricantes fue EPC (Efficient Power Conversion Corporation, Inc.), cuyos dispositivos llegan en este momento hasta tensiones de ruptura de 300V. Más tarde, otros fabricantes aparecieron ofreciendo dispositivos comerciales únicamente en el rango de 600 V en el caso de Panasonic [40] e Infineon y 650 V en el caso de GaN Systems [41].

El segundo gran problema de los dispositivos GaN HEMT es la creación de dispositivos normalmente abiertos (normally-off o también llamados enhancement mode). Debido al uso de la estructura HEMT y la existencia del 2DEG, estos dispositivos son por defecto dispositivos normalmente cerrados (normally-on o también llamados depletion mode) con tensiones umbrales de puerta entre -6 V y -2 V

Capítulo 2. Dispositivos de potencia de GaN

[42]. Sin embargo, en la industria, los dispositivos normalmente abiertos son preferidos debido al comportamiento más seguro en caso de fallo. A continuación, se detallan las estrategias existentes para resolver el problema de los dispositivos normally-on.

Configuración de cascodo

La solución más sencilla para implementar dispositivos normalmente abiertos es utilizarlos con la configuración de cascodo. Donde se conectan en cascada un MOSFET de Silicio de baja tensión con un AlGaIn/GaN HEMT normalmente cerrado. La Figura 11 muestra la conexión para obtener la configuración de cascodo. El principio de operación del cascodo es simple, para la puesta a conducción, lo primero que se aplica es un pulso de puerta en el transistor de Silicio que al pasar a conducción hace que la tensión en drenador del Silicio sea 0 V. Por tanto, la tensión entre la puerta del GaN HEMT que está conectado al surtidor del MOSFET de Silicio se hace cero y el dispositivo HEMT empieza a conducir ya que su nivel de tensión umbral está por debajo de 0 V. Cuando llega el turno de la puesta a bloqueo del dispositivo en cascodo, primero el dispositivo de Silicio impide el paso de la corriente, haciendo que la tensión en drenador del MOSFET de Silicio aumente. Esto hace que aparezca una tensión negativa entre el surtidor y la puerta del HEMT de GaN y que por tanto se cierre el canal 2DEG. De este modo la función del HEMT en esta configuración es soportar toda la tensión durante el tiempo de bloqueo. Esta opción ha sido comercializada por la empresa Transphorm Inc comercializando estructuras en cascodo en el rango de 600V y 900V.

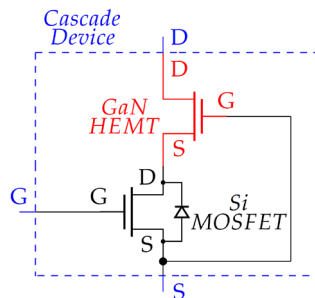


Figura 11 Configuración de un dispositivo en Cascodo, formado por un GaN HEMT junto con un MOSFET de Silicio de baja tensión

Sin embargo, esta forma de realizar dispositivos normalmente abiertos con el uso de un MOSFET de Silicio impide utilizar todas las mejoras de mayor frecuencia de conmutación y temperatura de operación del GaN HEMT. Por esta razón, se han estudiado muchas más configuraciones para realizar dispositivos normalmente abiertos.

Otra solución sencilla que se probó es el agotamiento del canal 2DEG usando una capa muy fina de AlGa_N con una baja concentración de Al. Sin embargo, el problema de esta solución es que el dispositivo es muy ineficiente en términos de resistencia a conducción (R_{ON}) ya que se agota todo el canal y no solo en la zona bajo la puerta. Para soluciones más optimizadas es necesario solo agotar el canal en la zona bajo puerta creando así dos partes en el camino de conducción. La primera es la región bajo la puerta que debe ser controlada por la puerta. La segunda zona se compone por las zonas de acceso entre surtidor y puerta y entre puerta y drenador que no son controladas por la tensión de puerta y por tanto tienen una mayor movilidad de los electrones [43].

En los siguientes párrafos se muestran otros mecanismos para realizar dispositivos normalmente abiertos sobre AlGa_N/Ga_N HEMTs.

Tratamiento con Flúor

El tratamiento con flúor consiste en añadir iones de flúor negativos en la región bajo la puerta. Esto provoca un aumento en la banda de conducción y cuando este aumento es suficiente para subir el nivel de tensión umbral por encima de los cero voltios, entonces se alcanza el comportamiento E-mode (enhancement-mode). Este tratamiento proporciona un ancho de barrera adicional reduciendo las corrientes de fugas en puerta. Sin embargo, este tratamiento tiene dos problemas principales, el primero es que durante la implantación algunos iones de flúor penetran en el canal y se quedan allí en forma de impurezas que pueden provocar una degradación de la movilidad [44]. Está demostrado que este problema se puede resolver mediante un recocido posterior a 400 °C recuperando la movilidad. El segundo problema es el bajo nivel de tensión umbral que se puede obtener a través de este método, que está en torno a 1 V [45], [44], [46], [42], [47]. La sección transversal simplificada de esta estructura se muestra en la Figura 12.

Capítulo 2. Dispositivos de potencia de GaN

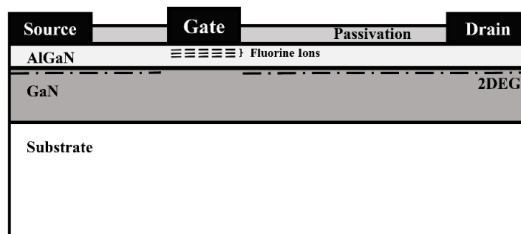


Figura 12 Sección transversal de un dispositivo GaN HEMT normalmente a bloqueo mediante tratamiento de flúor.

Receso de puerta

Esta técnica consiste en extender la puerta dentro de la capa AlGaN usando un proceso de grabado. De esta manera la puerta se acerca a la interfaz AlGaN/GaN donde se genera el 2DEG. Cuanto más cerca está la puerta del canal mayor es el nivel de tensión umbral conseguido, pero a su vez mayor es la resistencia del canal bajo la puerta. Esta es una buena solución ya que solo afectamos a la resistencia del canal bajo la puerta sin afectar al resto del canal [48], [49]. Sin embargo, con esta técnica el nivel de tensión umbral alcanzable es menor a 1 V. Por esta razón este método se suele combinar con otros como tratamiento de flúor [50] o en combinación con un aislante metálico para aumentar el nivel de tensión umbral [51]. Pero además esta solución tiene otro problema que es el daño inducido por el proceso de grabado que podría provocar un aumento en las fugas en puerta y efectos de tensión umbral no uniforme [52]. La sección transversal simplificada de esta estructura se muestra en la Figura 13.

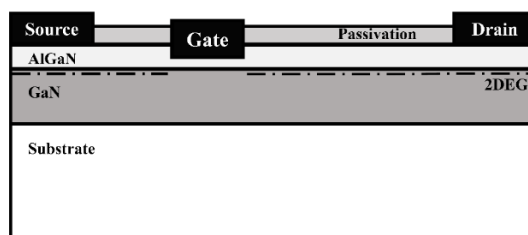


Figura 13 Sección transversal simplificada de un dispositivo GaN HEMT normalmente a bloqueo mediante receso de puerta

Estructura MISHEMT

MIS es el acrónimo de “Metal Insulator Semiconductor” y es una de las estructuras utilizadas para convertir al HEMT en normalmente abierto. El aislante más extendido en este tipo de estructuras es el SiO₂, pero también hay otros que pueden ser usados como SiN, HfO₂, o Al₂O₃ [53]. Lo mejor de esta técnica es que puede ser usada en combinación con otras como puerta tipo p, pasivación [54] o receso de puerta [51] permitiendo aumentar el nivel de la tensión umbral y alcanzando valores en torno a 3 V que son mucho más deseables. Esto es posible porque muchas de estas estructuras usan una puerta tipo schottky y el aumento del nivel de tensión umbral está limitado por las fugas de la misma. Por tanto, con el uso de un aislante se pueden alcanzar mayores valores de tensión umbral [42]. Sin embargo, algunos autores han demostrado que esta estructura presenta una fiabilidad menor frente a altas tensiones y es más sensible a la aparición de resistencia dinámica debido a las trampas creadas en el dieléctrico [55], [56]. La sección transversal simplificada de esta estructura se muestra en la Figura 14.

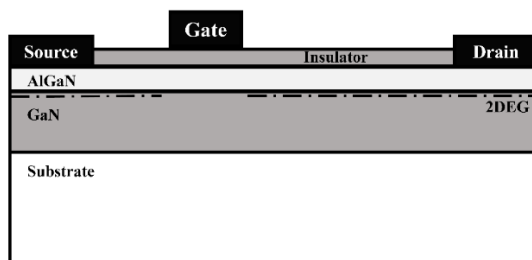


Figura 14 Sección transversal simplificada de un dispositivo GaN HEMT normalmente a bloqueo con una estructura MIS (metal insulator semiconductor)

Puerta tipo-p

Este método proporciona el comportamiento E-mode con el uso de una región p-GaN bajo la puerta, subiendo el diagrama de bandas, lo que provoca el agotamiento del canal cuando la banda de conducción sube por encima del nivel de fermi [52]. Este proceso está recibiendo gran atención por parte de la comunidad científica [57]. Un gran paso en este método ha sido reportado por Uemoto et al. In 2007 [58], que obtuvieron un transistor E-mode con el uso de una puerta p-AlGaIn.

Capítulo 2. Dispositivos de potencia de GaN

Ellos demostraron que la inyección de huecos hacia la interfaz, la cual da al dispositivo el nombre de transistor de inyección en puerta (GIT), permite una mayor densidad de corriente en el canal sin un aumento la corriente de puerta obteniendo una menor R_{ON} (resistencia a conducción). La sección transversal simplificada de esta estructura se muestra en la Figura 15

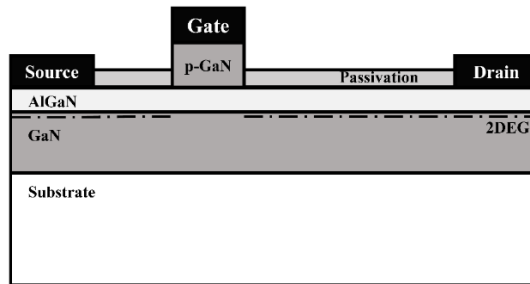


Figura 15 Sección transversal simplificada de un dispositivo GaN HEMT normalmente a bloqueo con el uso de una puerta tipo p.

Capítulo 3

Problemas de fiabilidad de los HEMT de GaN

Muchos son los problemas de fiabilidad que presentan los GaN HEMT desde sus inicios, algunos de ellos se han corregido y otros muchos todavía siguen siendo un obstáculo incluso en dispositivos comerciales. Entre los distintos problemas de fiabilidad, en esta introducción destacamos los dos problemas más comunes, que además aparecerán nombrados durante el resto de la tesis y que son la degradación por hot electron y el atrapamiento de cargas.

3.1. Degradación por hot electron

“Hot electron” son llamados a aquellos electrones con una alta energía cinética acelerados por un alto campo eléctrico. Debido a la alta densidad de potencia por unidad de área, es común en los dispositivos GaN HEMT este mecanismo de degradación. La demostración de este fenómeno se ha realizado mediante medidas de electroluminiscencia (EL) que han sido expuestas por varios autores. Shigekawa et al. [59], [60] y Nakao et al. [61] demostraron que la luz emitida por los GaN HEMT puede ser debida a transiciones entre bandas de electrones con una alta energía que adquieren energía cinética en la región de alto campo eléctrico del canal.

G. Meneghesso, en [62] muestra los experimentos llevados a cabo para demostrar que la degradación por hot electron provoca una disminución de la corriente de fugas de drenador (I_{DSS}) y de la transconductancia (g_m) junto con un aumento de los efectos de retraso de puerta. Además, demuestran que los hot electron no son acelerados únicamente por el campo eléctrico si no que, las condiciones más peligrosas ocurren cuando ambas, la corriente en el canal y el campo eléctrico presente en el dispositivo son altos. Estas condiciones son conocidas como estado de semi-on y bajo las mismas, los hot electron pueden ser atrapados en la superficie del dispositivo, en el AlGaIn o en el buffer provocando una degradación reversible de I_{DSS} y g_m , además podrían generar trampas (aumentando “current collapse” y “gate lag” que serán tratados más adelante).

El atrapamiento generado por el fenómeno de hot electron, puede provocar el aumento de la resistencia dinámica. Este aumento puede tener lugar durante las conmutaciones, cuando los electrones (corriente de drenador) son acelerados por el alto campo eléctrico (tensión de drenador). En ese momento algunos electrones pueden ganar energía suficiente para quedar atrapados. Este fenómeno aparte de generar un aumento de la resistencia dinámica, puede llevar a la rotura del dispositivo. En determinadas condiciones que unen alta tensión y corriente, este atrapamiento de electrones puede ser tan grande que provoque la concentración de un alto campo eléctrico en la superficie cerca del drenador, que puede provocar la rotura del [63] dispositivo. Este fenómeno se muestra gráficamente en la Figura 16.

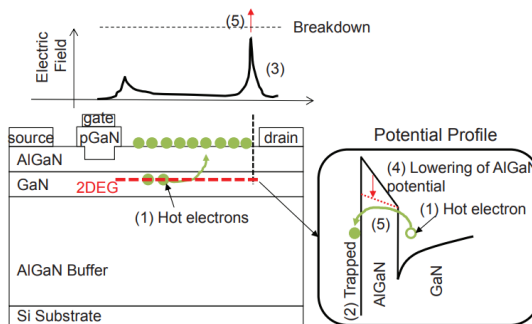


Figura 16 Explicación gráfica de la rotura alcanzada por alto campo eléctrico provocada por el efecto hot electron [63]

3.2. Atrapamiento en AlGaN/GaN HEMTs

Una trampa en física de estado sólido, se considera a cualquier localización dentro de un material (generalmente un semiconductor) que limita el movimiento de los portadores [64]. Las trampas surgen debido a la existencia de defectos en el semiconductor, sin embargo, cabe diferenciar entre ambos, ya que las trampas están causadas por defectos, pero no en todos los defectos existen trampas. En general, los dispositivos GaN sufren bastante de atrapamiento. Esto es debido a la alta densidad de defectos existentes en el material de GaN, principalmente debido a imperfecciones cristalinas que resultan del crecimiento del material (como impurezas en la rejilla cristalina dentro del GaN o con otros materiales que forma la heteroestructura como Si o SiC) [64]. Los defectos puntuales generan niveles de electrones localizados en el ancho de banda del semiconductor. Estos estados pueden atrapar portadores induciendo así la compensación, la dispersión de los portadores libres y el cambio posterior sobre las propiedades eléctricas [65].

Las trampas dentro del ancho de banda pueden ser diferenciadas en dos grupos, las trampas de nivel superficial que tienen un nivel de energía cercano a la banda de conducción o a la de valencia ($<1\text{eV}$). Estas trampas son las responsables de los efectos de dopaje parásito. El resto de trampas con niveles de energía más profundos dentro del ancho de banda son llamadas las trampas de nivel profundo. Por otro lado, las trampas también se pueden diferenciar por el nivel de energía. Las trampas en la parte alta del ancho de banda sobre el nivel neutro, lo que significa que están más cerca de la banda de conducción son de tipo receptor, neutrales cuando están libres y cargadas negativamente cuando se ocupan. El otro tipo serían las trampas en la parte baja del ancho de banda, por debajo del nivel neutro, lo que significa trampas más cerca de la banda de valencia, estas trampas actúan como donantes cargados positivamente cuando están vacíos y neutrales cuando se ocupan [66].

Los efectos de atrapamiento son responsables de la reducción de las propiedades dinámicas de los HEMT de GaN y pueden limitar

enormemente la capacidad de aumentar tensión o frecuencia. Dicho esto, el principal problema causado por el atrapamiento en estos dispositivos es la aparición del efecto denominado resistencia dinámica que también podría estar causado por el fenómeno hot electron. La resistencia dinámica se define como el aumento de la resistencia a conducción del dispositivo ocasionado por haber estado estresado previamente en unas determinadas condiciones comparado con la resistencia medida en ese dispositivo en condiciones de atrapamiento nulo. Un ejemplo explicativo de este efecto se muestra en la Figura 17. Como se aprecia en esta imagen, durante el tiempo de ON tenemos una gran variación de la resistencia del dispositivo que pasa de un valor mayor a uno menor. La velocidad con que baja el nivel de resistencia de la señal, así como el valor de la misma son variables y se ven influenciados por diversas condiciones. Entre estas condiciones que influyen a la resistencia dinámica están la tensión de bloqueo, el tiempo que soportan esta tensión de bloqueo, la construcción del dispositivo, la calidad de la oblea utilizada etc... Esto puede llevar a que tener en la aplicación real un mal diseño térmico, por soportar mayores pérdidas de las estimadas, con todo lo que ello conlleva.

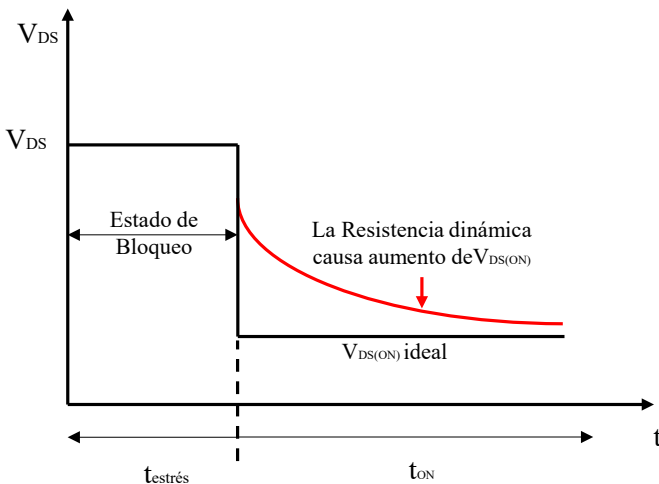


Figura 17 Figura mostrando el comportamiento simplificado de la resistencia dinámica medida en el paso a conducción de un dispositivo

Capítulo 3. Problemas de fiabilidad de los HEMT de GaN

En la literatura, una forma bastante extendida de entender este fenómeno es la denominada "Virtual Gate", este modelo se basa en la aparición de una segunda puerta virtual en el dispositivo que es dependiente del atrapamiento en el mismo y que se muestra gráficamente en la Figura 18. Ese efecto explica que el aumento de la resistencia dinámica se puede simular como un estrechamiento transitorio del canal por el cual circula la corriente. De esta manera cuando la corriente es suficientemente pequeña para circular sin aprovechar todo el canal, no somos capaces de ver el efecto de la resistencia dinámica. Sin embargo, cuando disminuimos la tensión de puerta y por tanto disminuimos el canal o cuando aumentamos la corriente de drenador obtenemos el mismo efecto, que es un aumento considerable de la resistencia dinámica del dispositivo.

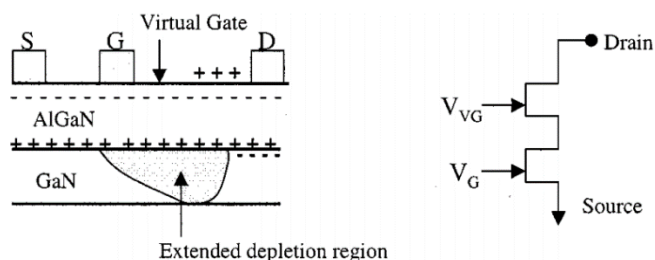


Figura 18 Modelo de dispositivo mostrando la localización de la puerta virtual a la izquierda y su representación esquemática a la derecha [67].

Muchos son los estudios realizados para entender el comportamiento de la resistencia dinámica bajo distintas condiciones. Como la resistencia dinámica es debida al atrapamiento, y este es dependiente en gran parte de la estructura y las técnicas usadas para evitarlo, los resultados obtenidos por los distintos autores varían dependiendo de muchos factores. No obstante, en toda la literatura se pueden observar aumentos en la resistencia dinámica que se pueden agrupar por el origen de este aumento. De esta manera existen dos grupos principales:

El primer grupo sería el atrapamiento producido por la alta tensión de drenador aplicada durante el estado de bloqueo del transistor. Este atrapamiento aumenta con la tensión aplicada durante el bloqueo y el

tiempo que la misma es aplicada antes de poner a conducción al dispositivo [68]. Un ejemplo de este aumento con la tensión se muestra en la Figura 19 correspondiente a la contribución N^o 1 de esta tesis.

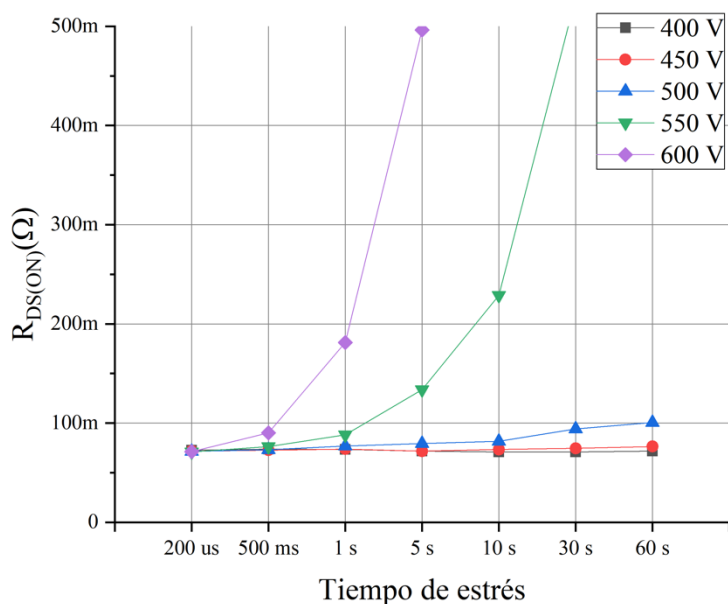


Figura 19 Evolución de la resistencia dinámica con la tensión aplicada durante estado de bloqueo. Medida tomada a los 10 μ s de iniciar la conducción del dispositivo

El segundo grupo sería el atrapamiento producido por el efecto hot electron, este tiene lugar debido a la aparición simultánea de alta tensión y alta corriente en el dispositivo. Esto ocurre por ejemplo en las conmutaciones forzadas, donde existe solape de tensión y corriente. La principal consecuencia de este atrapamiento es el aumento de la resistencia dinámica. En muchos casos es difícil evaluar qué porcentaje de aumento de la resistencia dinámica es debido al atrapamiento por hot electron. Una forma, es la realización de conmutaciones suaves y comparando con las mismas condiciones, pero en conmutaciones forzadas, de modo que la diferencia entre ambas nos indica el nivel de atrapamiento producido por hot electron. Un ejemplo se muestra en la Figura 20 perteneciente a la contribución N^o 1 de esta tesis, donde se varía la tensión de estrés aplicada con una secuencia de 100 pulsos de

Capítulo 3. Problemas de fiabilidad de los HEMT de GaN

200 μs en corte y 10 μs en conducción y obteniendo el valor de la resistencia para el pulso 100.

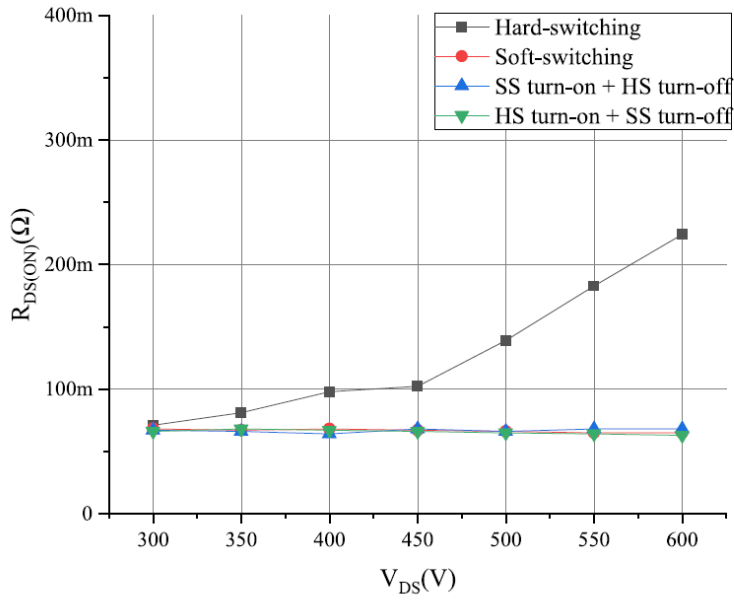


Figura 20 Resistencia dinámica debida a atrapamiento por hot electron, variando el nivel de tensión aplicada durante el bloqueo. Cada punto de medida es tomado tras conmutar el dispositivo 100 veces con 200 μs a OFF y 10 μs a ON

Capítulo 4

Metodología

Durante la tesis se ha evaluado la fiabilidad de dispositivos comerciales GaN HEMT normalmente abiertos en el rango de 600-650 V para aplicaciones de media-alta tensión, tales como correctores del factor de potencia, fuentes de alimentación conmutadas, inversores fotovoltaicos y convertidores para electromovilidad (PHEV/HEV).

En este rango de tensiones podemos encontrar dispositivos con estructura normalmente abierta tipo e-HEMT, aunque también existen otros dispositivos normalmente abiertos fabricados mediante el uso de una estructura en cascodo. En nuestro estudio hemos considerado únicamente los dispositivos con estructura HEMT única, para evitar el uso de un dispositivo normalmente abierto en estructura de cascodo. El principal motivo es que la mejora de los dispositivos de GaN mediante el uso de estructuras en cascodo con dispositivos de Silicio puede mejorar algún aspecto como la tensión máxima de rotura soportada por los dispositivos, sin embargo, estaríamos limitados por el Silicio en cuanto a frecuencia y temperatura de operación. Por este motivo pensamos que la mejora de la tecnología en el futuro pasa por el uso de dispositivos GaN HEMT normalmente abiertos y no por el uso de dispositivos de en estructura de cascodo.

Por tanto, los dispositivos seleccionados para evaluar su fiabilidad son los que se recogen en la Tabla 3, donde se muestran los principales parámetros de cada uno de ellos. En concreto se han seleccionado dos fabricantes distintos, donde cada fabricante tiene una estructura interna diferente para sus dispositivos. En el caso de los dispositivos de Panasonic [69], la estructura utilizada está informada por la empresa

y denominada como estructura HD-GIT, esta es una estructura GaN HEMT en los que el funcionamiento normalmente cerrado es logrado a través de una puerta p-GaN empotrada con un contacto óhmico en la capa de p-GaN, además también presentan una capa de p-GaN no empotrada cerca del contacto de drenador, conectado eléctricamente a él, que inyecta huecos durante el estado OFF para mitigar la resistencia dinámica. En la Figura 21 se muestra una sección transversal del dispositivo HD-GIT [29]

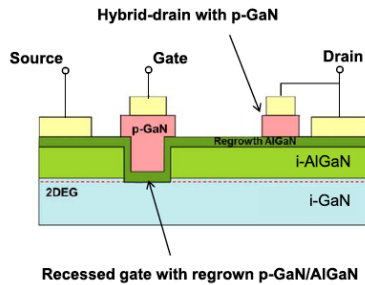
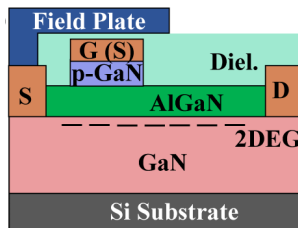


Figura 21 Estructura p-GaN con receso de puerta y drenador híbrido.

Por otro lado, están los dispositivos de la empresa GaN Systems Inc. cuya estructura no ha sido informada por el fabricante, pero muchos autores coinciden en el uso de una puerta tipo p no empotrada, combinado con una deposición dieléctrica debajo del electrodo de puerta. Este aislante se inserta para reducir la fuga de puerta asociadas con el campo eléctrico alto en el borde de la puerta en el lado del drenador del transistor en comparación con un dispositivo HEMT de puerta Schottky. De esta forma se realiza un dispositivo MISHEMT (Metal Insulator Semiconductor). En la Figura 22 se muestra un esquema de la sección transversal del dispositivo MISHEMT [70].



Capítulo 4 Metodología

Figura 22 Esquema de la estructura de un dispositivo MISHEMT en unión con una puerta p-GaN.

En ambas estructuras el funcionamiento normally-off se consigue con una puerta tipo p-GaN, el metal de la puerta forma un contacto óhmico con el p-GaN en el HD-GIT, siendo el metal de la puerta el que forma un contacto Schottky con el p-GaN en el MISHEMT. Por tanto, durante el resto de la tesis nos referiremos a los dispositivos como MISHEMT o HD-GIT para diferenciarlos.

Tabla 3 Parámetros principales de los dispositivos estudiados durante la tesis.

	Parámetro	p-GaN HEMT PGA26E07BA	GaN MIS-HEMT GS66508P	GaN MIS-HEMT GS66516T
Tensión de rotura drenador-surtidor	BVDSS	600 V	650 V	650 V
Corriente continua de drenador ($T_c=25^\circ\text{C}$)	ID	26 A	30 A	60 A
Resistencia de conducción ($T_j=25^\circ\text{C}$)	RDS(on)	56 m Ω	50 m Ω	25 m Ω
Capacidad de entrada (1MHz, 400V)	Ciss	405 pF	168 pF	520 pF
Carga total de Puerta	QG	5 nC	5.8 nC	12.1 nC

Para la evaluación de la fiabilidad se ha necesitado el uso de diferentes plataformas de test. Estas plataformas de test son las que se recogen en las siguientes subsecciones.

4.1. Procedimientos experimentales.

El trazador/analizador de curvas utilizado es el modelo B1505A de Keysight Technology, este instrumento se basa en una combinación de distintas unidades de medida (SMU) que permiten aplicar y leer los niveles de tensión y corriente aplicados. Mediante el uso de distintas SMU aplicadas a los bornes del dispositivo a medir, este instrumento nos permite realizar los test necesarios para medir las curvas estáticas características de los dispositivos.

En concreto durante la consecución de la tesis hemos realizado los siguientes tipos de test:

4.1.1. Test de transconductancia

El test definido para la evaluación de la transconductancia de los dispositivos se realiza mediante la configuración mostrada en la Figura 23.

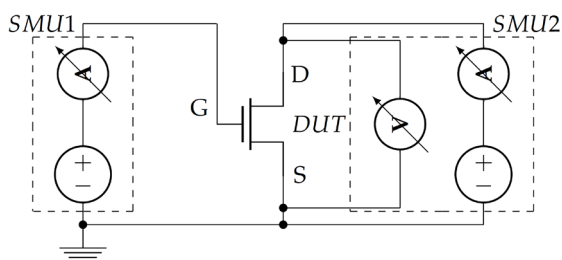


Figura 23 Esquema del circuito usado para el test de transconductancia.

En este caso la SMU1 utilizada es una MC (medium current) que permite realizar un barrido de tensión de hasta ± 30 V con máximo 1 A de corriente, para la SMU2 se utiliza una HC (high current) que permite realizar un barrido en tensión de ± 20 V con una corriente de hasta 40 A. Para los test que hemos realizado, el barrido de la tensión de puerta va desde 0 V hasta 4 V de tensión de puerta mientras que se aplica una tensión pulsada constante de 100 mV en drenador por lo que los dispositivos, limitados por su resistencia a conducción no

Capítulo 4 Metodología

dejaran pasar más de 5 A en el caso del dispositivo de menor resistencia a conducción.

Ambas tensiones en puerta y drenador se realizan de manera pulsada durante el test. La mínima duración de pulsos para la medida permitida por la MCSMU es de 10 μs , pero para la HCSMU es de 50 μs , sin embargo, dependiendo del nivel de corriente al que deba llegar puede ser un tiempo mayor. Para evitar problemas de medidas erróneas o ruido en la medida, después de haber analizado la respuesta transitoria, se ha definido un pulso de 100 μs en ambos casos, que asegura el perfecto funcionamiento de la medida. Los pulsos se realizan de la forma que se indica en la siguiente Figura 24, realizando un barrido pulsado de la tensión de puerta desde 0 V a 4 V con una tensión pulsada y constante de drenador de 100 mV.

En cada pulso se mide la corriente de drenador y la corriente de puerta de modo que se pueden obtener ambas curvas, $I_{\text{DS}}-V_{\text{GS}}$ e $I_{\text{GS}}-V_{\text{GS}}$. Un ejemplo de resultado obtenido con esta medida se muestra en la Figura 25. De la primera curva, se puede obtener un parámetro bien conocido como es la tensión umbral del dispositivo (V_{TH}). Esta tensión se mide con el método de medida a corriente constante. Para ello se fija un nivel de corriente de drenador que se mantendrá fijo para que los resultados sean comparables. Cuando el dispositivo pasa por ese nivel de corriente se toma el valor de la tensión V_{GS} y se considera que ese valor es la tensión umbral del dispositivo. Con esta medida podemos detectar degradaciones en la puerta del dispositivo antes y después de los distintos ensayos realizados durante la tesis. La segunda curva ($I_{\text{GS}}-V_{\text{GS}}$) nos da información de la corriente de puerta, obteniendo así más datos de posibles degradaciones en el dispositivo. En nuestro caso, también realizamos una medida del nivel de la tensión umbral, pero en este caso referido a un nivel constante de la corriente de puerta ($V_{\text{TH,IG}}$). Además de esto, otros datos interesantes que se pueden obtener de este test, son la corriente máxima alcanzada tanto de puerta como de drenador.

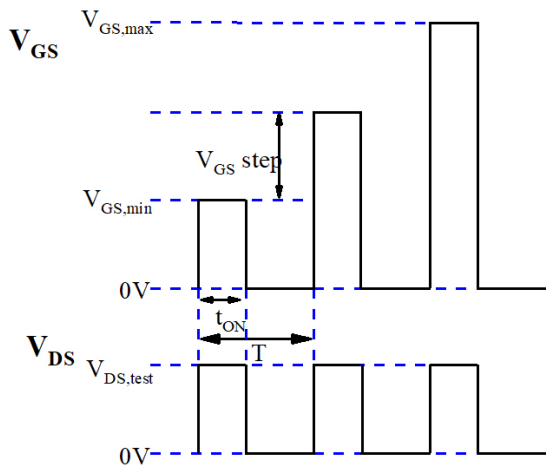


Figura 24 Secuencia de pulsos usados en el test de transconductancia.

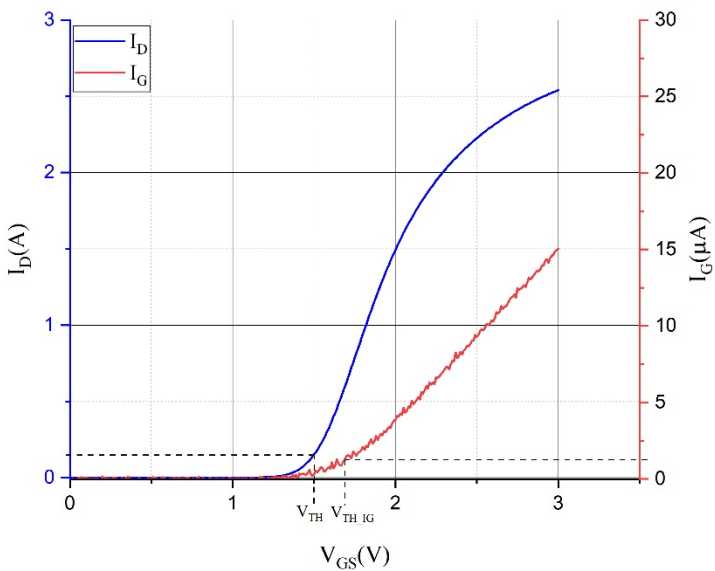


Figura 25 Ejemplo de medida de transconductancia realizada en el trazador indicando las medidas de la tensión umbral.

4.1.2. Test de Corriente de Fugas

El test de fugas consiste en la aplicación un barrido de tensión entre drenador y surtidor, mientras se mantiene constante la tensión en puerta a un valor que mantenga al dispositivo en corte. Al aplicar esta tensión se mide la corriente que circula por el drenador y la corriente que pasa por puerta con los amperímetros de cada una de las SMU utilizadas. De esta manera se obtiene de manera separada la corriente que circula entre drenador-surtidor y la que lo hace entre drenador-puerta. En puerta la SMU1 usada es una MCSMU (medium current) que permite aplicar una tensión en puerta de ± 30 V, en drenador la SMU2 utilizada es la HVSMU (high voltage) que permite aplicar tensiones de ± 1500 V con corrientes hasta 8 mA. La configuración de las SMU se muestra en la Figura 26.

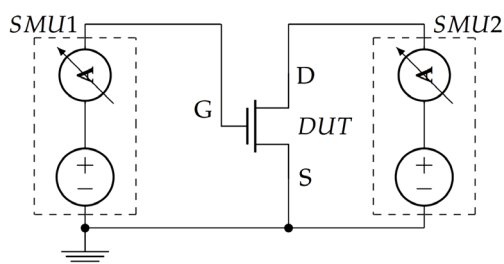


Figura 26 Esquema del circuito usado para el test de fugas.

La tensión aplicada en puerta se mantiene constante durante todo el test, sin embargo, en la tensión en drenador se realiza un barrido de la tensión entre los valores definidos en el test. La medida es tomada por el trazador justo antes de empezar aplicar la siguiente variación de tensión.

La Figura 27 muestra la secuencia de pulsos aplicados. Esta medida se usa para determinar si existe una degradación en el dispositivo que afecte al bloqueo de tensión del mismo. Además, al medir la corriente entre drenador y surtidor a la vez que medimos la corriente de puerta, esto también nos puede aportar información para saber si la degradación tiene lugar entre drenador y surtidor o entre drenador y puerta. Un ejemplo de esta medida se muestra en la Figura 28 donde aparece la medida de corriente de fugas en drenador y la medida de la

corriente de fugas en puerta. Dado que la tensión esta aplicada en drenador, la corriente de fugas en puerta aparece como negativa, lo cual significa que es una corriente de fugas que va desde el dispositivo hacia fuente (SMU1).

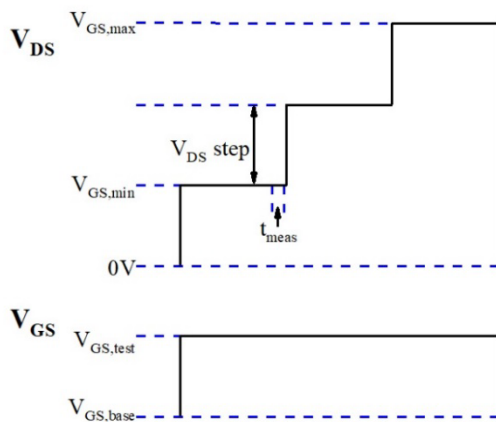


Figura 27 Secuencia de pulsos usados en el test de fugas.

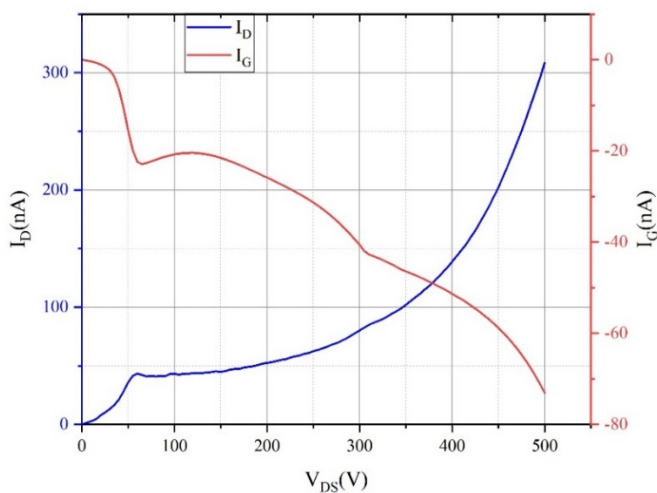


Figura 28 Ejemplo de medida de corriente de fugas realizada en el trazador.

4.1.3. Medida de la característica de salida.

Para la realización de este test se utilizan de nuevo dos SMU, la SMU1 en puerta es una MCSMU (medium current) y para la tensión de drenador se utiliza la SMU2 que es una UHCU (ultra high current unit) esta fuente permite dar pulso de mínimo $10 \mu\text{s}$ de duración con una tensión igual a $\pm 60 \text{ V}$ con una corriente de hasta 500 A . El conexionado para la medida es el que se muestra en la Figura 29.

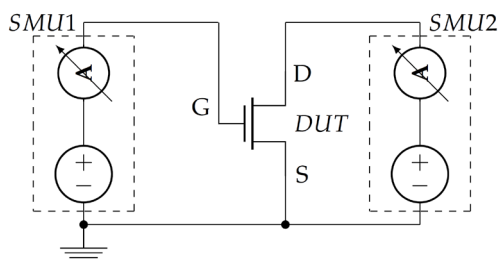
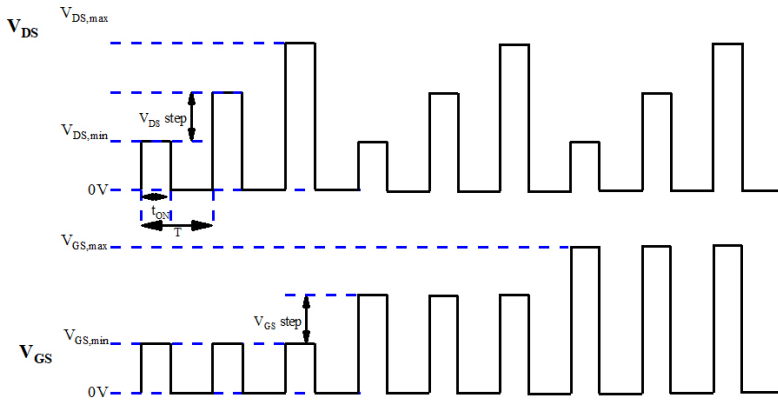


Figura 29 Esquema del circuito usado para medir la característica de salida.

En este caso se realiza un barrido de tensión de drenador para cada valor de tensión de puerta mientras se mide la corriente de drenador. La medida se realiza de manera pulsada en ambas fuentes. La secuencia de los pulsos utilizados se muestra en la Figura 30. Esta medida, nos permite medir la corriente de saturación del dispositivo. Debido al alto nivel de corriente que pasa por el dispositivo, intentamos evitar esta medida, por si pudiera producir una degradación del dispositivo bajo test por motivos distintos a los que se están evaluando en cada caso concreto. Sin embargo, esta medida ha resultado muy útil para estimar la temperatura alcanzada durante el cortocircuito, al permitirnos medir el comportamiento de la corriente de saturación con la temperatura.



a

Figura 30 Secuencia de pulsos utilizados para la medida de la característica de salida.

Un ejemplo de medida obtenida con este test, se muestra en la Figura 31, este test se realiza aumentando progresivamente la tensión de drenador aplicada al dispositivo, como hemos mencionado, y con esto se obtiene una curva que en una primera parte nos proporciona datos del funcionamiento del dispositivo en su región óhmica. En esta región el canal se comporta como una resistencia, de ahí el nombre de la región. La segunda zona que podemos apreciar es la región de saturación, a partir de este punto el dispositivo no se comporta como una resistencia, y aunque apliquemos una tensión de drenador mayor, la corriente de drenador no aumentará más.

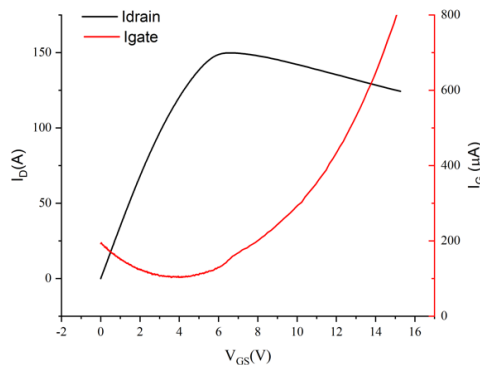


Figura 31 Ejemplo de medida de característica de salida realizada en el trazador de curvas B1505A.

4.2. Medidas de resistencia dinámica con carga resistiva

4.2.1. Versión doble pulso

Para la medida de la resistencia dinámica se ha diseñado un circuito electrónico que permite controlar el tiempo y tensión de estrés a la vez que se controla la corriente durante el test y la frecuencia de conmutación. Además, este circuito de pruebas permite la conmutación suave del transistor bajo test (DUT). La Figura 32 muestra el circuito utilizado, basado en una configuración en semipunto asimétrico. Para el transistor superior (Q1) se utiliza un MOSFET de SiC, que dispone una baja capacidad de salida, y por tanto permite tener pequeños picos de corriente durante la carga y descarga de su capacidad parásita de salida cuando se produce una conmutación. Para las medidas eléctricas, hemos usado una resistencia shunt tipo coaxial de 98 mΩ (SDN-414-10 de T&M con un ancho de banda de 2 GHz.) para medir la corriente y medimos la tensión a través de una sonda pasiva de tensión (PP018 300 V y 500 MHz de Lecroy). Respecto a la resistencia shunt utilizada, comentar que se ha escogido una resistencia de tipo coaxial para minimizar los elementos parásitos insertados en la realización de la medida.

Debido a la alta tensión aplicada al DUT, la caída de tensión V_{DS} supone una variación muy rápida y de demasiado valor para ser medida con precisión en el osciloscopio. El problema es el amplio rango dinámico de la señal de entrada. Si seleccionamos un rango de tensión pequeño por división, el amplificador de entrada del osciloscopio está saturado. Para resolver este problema, la tensión del drenador surtidor del DUT se mide con una combinación de una sonda de tensión pasiva (PMM511A) de ancho de banda de 500 MHz y un recortador de tensión comercial (clp150015A de Springburo) con una tensión de salida hasta 2,5 V y un tiempo de estabilización de alrededor de 200 ns. De esta manera podemos utilizar todo el rango dinámico del osciloscopio para ganar precisión en la medida de la $V_{DS(on)}$.

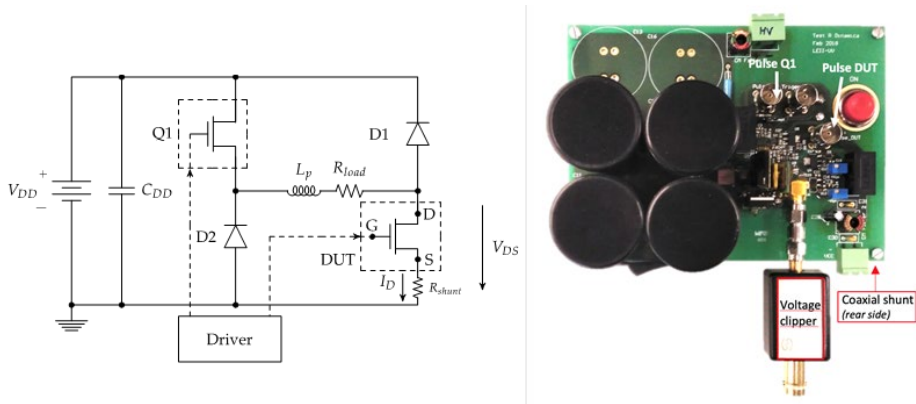
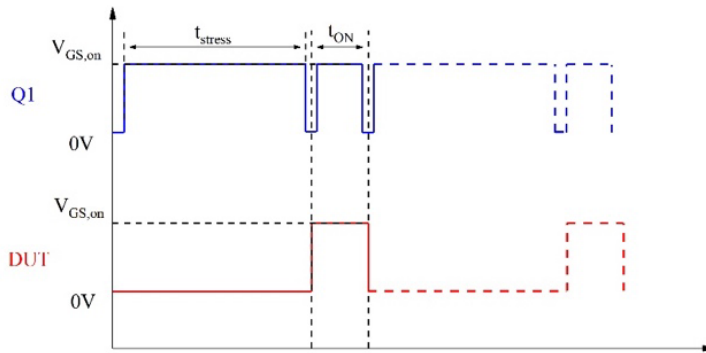


Figura 32 a) Esquema del circuito usado para la medida de la resistencia dinámica. b) PCB desarrollada para realizar la medida de resistencia dinámica con carga resistiva.

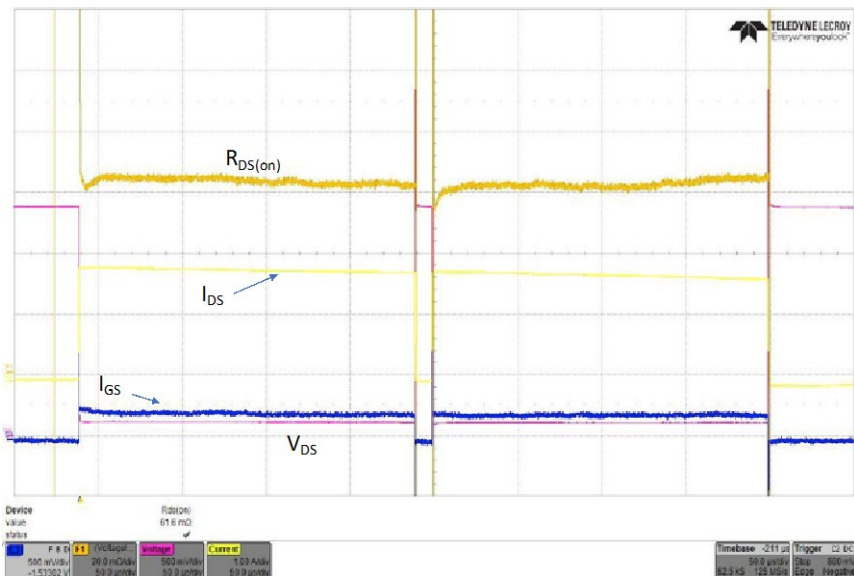
La realización de los test pasa primero por la definición de la tensión de estrés que se pretende aplicar y el nivel de corriente deseado durante el test. Con estos datos, se coloca la R_{load} necesaria. Después se definen los tiempos de estrés y tiempos de conducción y bloqueo de los pulsos a medir que son completamente configurables gracias al uso de un generador de funciones arbitrario de dos canales.

Además, esta configuración permite la aplicación de conmutaciones suaves al transistor bajo ensayo, para ello hay que eliminar la tensión aplicada al DUT mediante el MOSFET Q1 antes de iniciar el pulso de conducción del DUT. Definiendo un tiempo muerto entre ambos se consigue la conmutación a cero de tensión (ZVS) en el DUT. Si realizamos lo mismo en el apagado del DUT, podemos tener una transición a cero de corriente (ZCS). En la Figura 33 se muestran los pulsos que se deben aplicar a la puerta de Q1 y DUT para obtener conmutaciones suaves en ambas transiciones junto con la medida experimental obtenida para la resistencia dinámica sobre el DUT.

Capítulo 4 Metodología



(a)



(b)

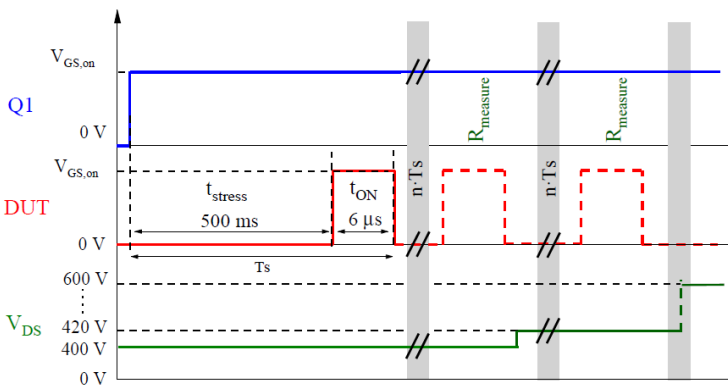
Figura 33 (a) Secuencia aplicada en los pulsos de puerta para obtener condiciones de conmutación suave y (b) resultado de la resistencia dinámica obtenida.

4.2.2. Versión múltiple pulso

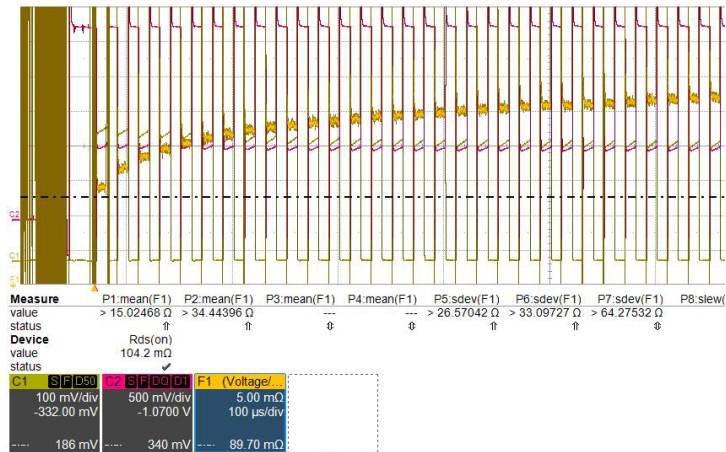
Este test consiste en el mismo circuito de la Figura 32, pero ahora se mantiene el MOSFET de SiC (Q1) a conducción durante todo el test,

mientras que con el MOSFET de GaN se van dando pulsos con un periodo y duty constantes. En los dispositivos GaN HEMT la resistencia dinámica al realizar este test tiende a estabilizarse. El número de pulsos depende de lo que la medida tarde en estabilizarse, si hay una gran resistencia dinámica la medida tarda más en estabilizarse en un valor, que cuando no tiene resistencia dinámica, donde la estabilización es instantánea.

En este test, se toma un valor de Resistencia cuando la medida estabiliza y si se quiere ver la variación con la tensión aplicada se va variando la tensión de drenador y tomando la medida cuando la resistencia dinámica se ha estabilizado de nuevo. Todos los test se empiezan en 400V (en esta tensión la mayoría de dispositivos no presentan nada de resistencia dinámica con estas condiciones de pulso), pero si en 400 V se detecta que ya hay resistencia dinámica, se baja la tensión, hasta que se aprecie una resistencia dinámica nula, y se empieza el test desde esa tensión. La tensión de puerta utilizada en todo momento son 4 V en conducción y 0 V en bloqueo. La secuencia de pulsos de los dos transistores es la que se muestra en la Figura 34 junto con los resultados experimentales obtenidos.



(a)



(b)

Figura 34 (a) Secuencia de pulsos utilizada para el test de resistencia dinámica de múltiples pulsos. (b) Resultados experimentales obtenidos en el EPC2025-7.5A-240V@10μs-31pulsos.

4.3. Medidas Resistencia dinámica con carga L

Para la medida de la resistencia dinámica con carga inductiva hemos desarrollado un test como el que se muestran en la Figura 35. Este circuito esta sacado de una de la contribución nº2 de esta tesis.

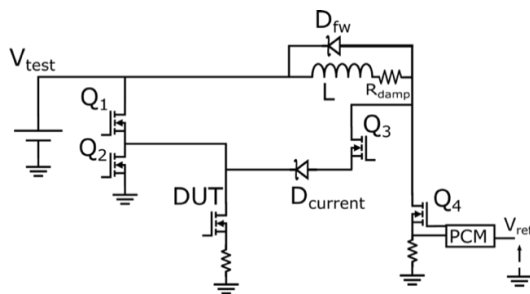


Figura 35 Esquema del circuito utilizado para la medida de resistencia dinámica con carga inductiva.

Este circuito permite cargar el inductor (L) a través del transistor Q₄ en lugar del DUT, evitando de esta manera efectos de auto-calentamiento durante la carga de la bobina sobre el DUT. Además, el control del tiempo de estrés es independiente a la carga de la bobina, ya que el tiempo de estrés sobre el dispositivo bajo prueba (DUT) se fija mediante los transistores Q₁ y Q₂.

En esta configuración se ha añadido una resistencia en serie con el inductor (R_{damp}) que permite mantener un nivel de corriente continua constante durante todos los pulsos aplicados al DUT. De modo que a través de la resistencia en serie calculada mediante (2) podemos aplicar al dispositivo distintos tiempos de conducción y bloqueo y mantener constante la corriente, de modo que sean resultados de resistencia a conducción del DUT comparables, variando únicamente el parámetro cuyo efecto se desea evaluar.

$$R_{\text{damp}} = \frac{V_{\text{test}} + \left(1 - \frac{1}{D}\right) \cdot V_{F_{Df\omega}}}{\frac{I_{L_{\text{avg}}}}{D}} \quad (2)$$

Los pulsos aplicados para el funcionamiento de este circuito se muestran en la Figura 36.

Capítulo 4 Metodología

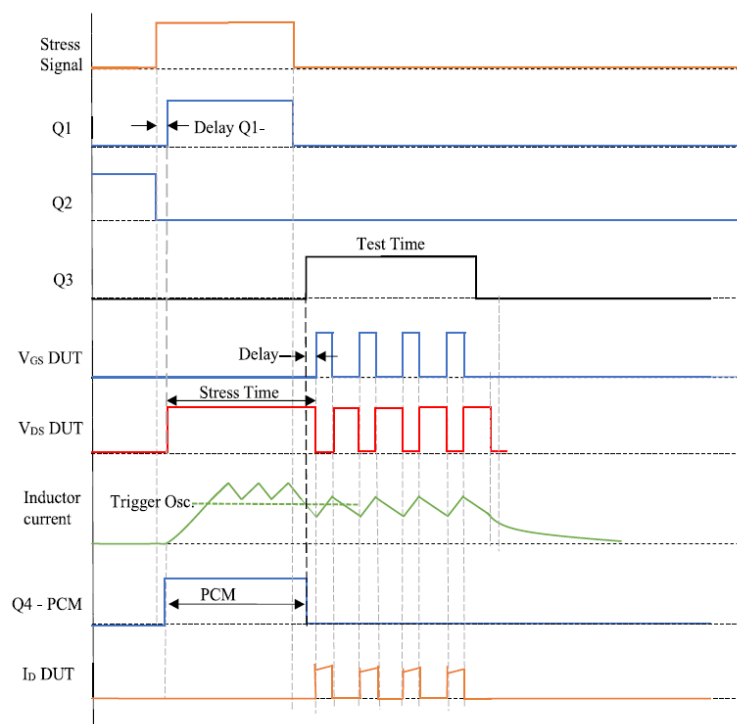


Figura 36 Configuración de los pulsos aplicados en un test completo.

En un primer momento el DUT se encuentra con 0 V aplicados en drenador gracias al uso del transistor Q_2 , posteriormente, se inicia el test con la puesta en marcha del transistor Q_1 y el apagado del transistor Q_2 (Figura 37 a)). Posteriormente (Figura 37 b)), se inicia de manera independiente las conmutaciones del transistor Q_4 . Este transistor se controla con un control por pico de corriente (PCM) que se activa con la señal de activación Q_4 -PCM. Una vez acabado el tiempo de estrés programado, se desactiva la señal del PCM y se apaga el transistor Q_1 y se activa el transistor Q_3 (Figura 37 c)). Esta activación previa del transistor Q_3 se realiza para evitar que una conmutación lenta del transistor Q_3 pueda afectar a la medida obtenida en el DUT. Por último, tras un leve retraso desde la conmutación de Q_3 , es sobre el DUT sobre el que se realizan las conmutaciones a conducción y

bloqueo deseadas y se mide la resistencia dinámica del mismo (Figura 37 d)).

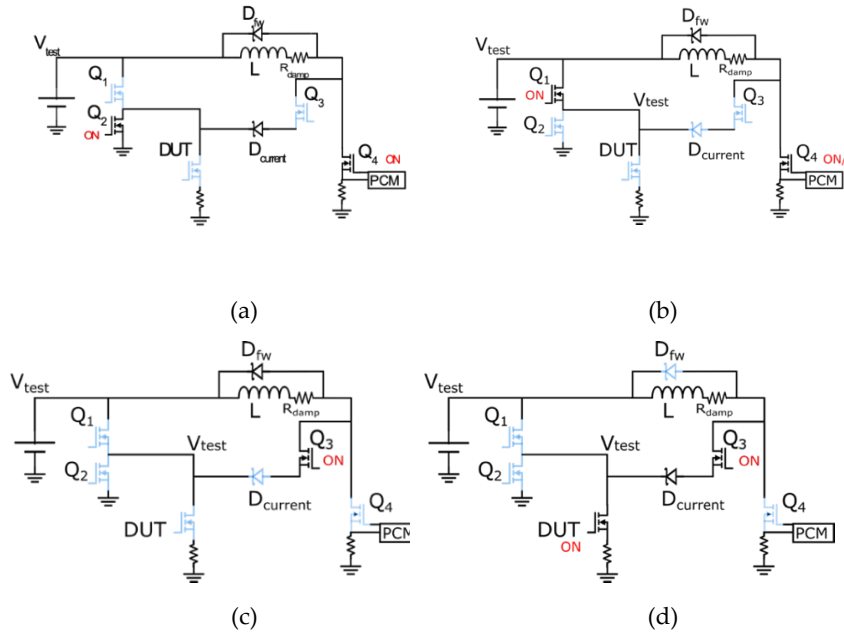


Figura 37 Circuitos explicativos de la conmutación de los transistores mostrando las diferentes fases.

La medida de la resistencia dinámica se realiza de la misma manera que lo explicado en el apartado anterior de medida con carga R , utilizando un recortador de tensión de 2 V (clp150015A1) y una sonda pasiva de tensión (PP018 300 V and 500 MHz from Lecroy) sobre una resistencia shunt coaxial (SDN-414-10). La imagen del circuito real implementado se muestra en la Figura 38.

Capítulo 4 Metodología

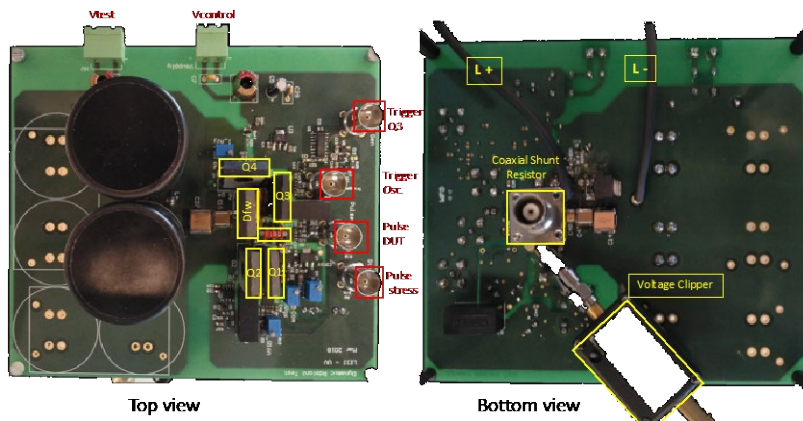


Figura 38 PCB desarrollada para la medida de la resistencia dinámica con carga inductiva

En la Figura 39 se muestra una captura de osciloscopio en el que se utiliza el sistema de medida mencionado para una medida de 4 pulsos con un 50% de duty. Como se puede apreciar, en el intervalo de conducción del DUT la corriente aumenta, y en el periodo de recirculación, gracias a la elección de la resistencia R_{damp} la corriente disminuye hasta el mismo nivel, haciendo que la corriente en todos los pulsos sea igual, como ocurriría en una aplicación real.

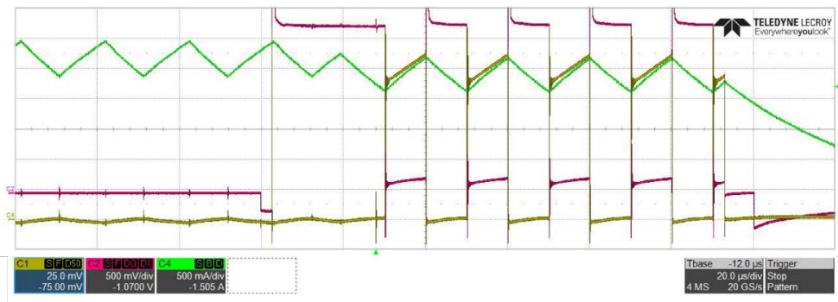


Figura 39 Captura de osciloscopio para un test de 4 pulsos. En verde la corriente I_D y en rojo tensión V_{DS} .

4.4. Medidas de cortocircuito

Para la realización de los ensayos de cortocircuito se ha diseñado un sistema de medida consistente en un banco de condensadores conectado directamente entre drenador y surtidor del DUT de modo que, mediante la conmutación del propio DUT se procede a la realización del test. El esquema se muestra en la Figura 40.

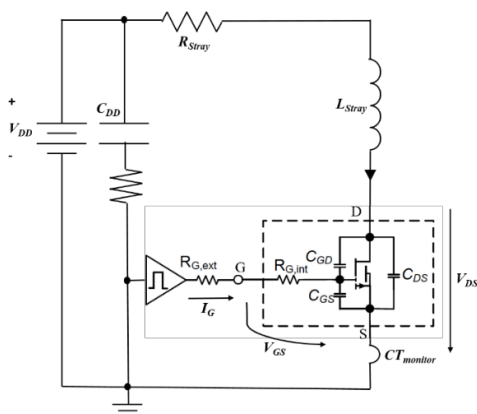


Figura 40 Esquema del circuito utilizado para la realización de cortocircuito.

Con este circuito controlamos el tiempo de cortocircuito mediante la señal de puerta del propio DUT. La tensión es mantenida constante por un banco de condensadores de película de polipropileno, con el objetivo de minimizar la resistencia e inductancia parásitas y tener un aumento rápido de la corriente, debido principalmente a la velocidad de conmutación del DUT. Este banco de condensadores ha sido diseñado para asegurar una caída de tensión durante todo el tiempo de cortocircuito menor al 10 %. El valor total diseñado de esta capacidad es de 357 μF que cargados a 400 V suponen una energía total almacenada de 28.56 J. La inductancia parásita medida experimentalmente mediante un analizador de impedancias Agilent E5061, es de 60 nH.

Para la medida de la corriente en este circuito se ha utilizado un transformador de corriente de dos etapas que consiste en un pequeño transformador de ferrita de 1:10 de primera etapa y un monitor de

Capítulo 4 Metodología

corriente Pearson Electronics modelo 2878 para la segunda etapa. El objetivo de utilizar un transformador de corriente en lugar de una resistencia shunt, es el de minimizar las pérdidas de energía durante el cortocircuito. La corriente de puerta ha sido medida durante los ensayos mediante una sonda diferencial (LeCroy HDV3106 120 MHz) utilizando la resistencia serie de puerta de $20\ \Omega$ para la medida de la corriente. En la Figura 41 se muestra una captura de osciloscopio que demuestra que gracias a tener la suficiente capacidad a la entrada del circuito, podemos mantener los 400 V sin variaciones durante todo el tiempo que dura el cortocircuito, forzando por tanto que el dispositivo soporte toda la tensión y la corriente, como ocurriría en el peor caso en una aplicación real.

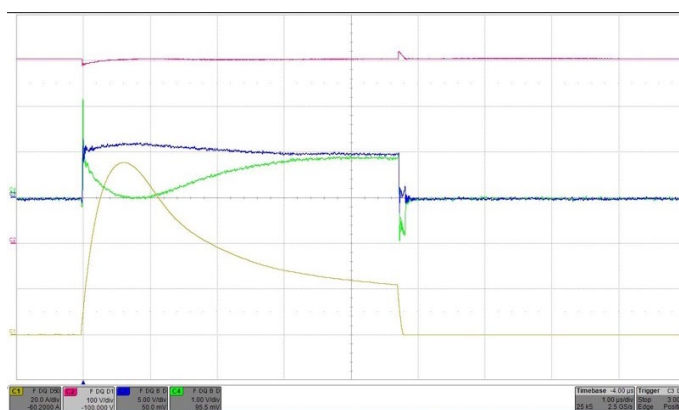


Figura 41 Captura de osciloscopio de un test de cortocircuito sobre un dispositivo de GaN. En rojo tenemos la tensión V_{DS} , en azul la tensión V_{GS} , en verde la corriente I_C y en amarillo la corriente I_D

4.5. Medidas de avalancha

Para la caracterización del comportamiento en avalancha de los dispositivos GaN HEMT hemos diseñado un circuito basado en un test de doble pulso en el cual eliminamos el diodo de recirculación en paralelo con la bobina. De esta manera obtenemos el circuito que se muestra en la Figura 42 a). El tiempo de conducción es controlado a

través de un generador de pulsos y un driver que nos permite tener una resistencia de puerta externa fácilmente variable (R_G). Como ejemplo del comportamiento la Figura 42 b) muestra las formas de ondas de tensión y corriente que se obtendrían sobre un MOSFET de Silicio. Y se definen el tiempo de avalancha (t_{av}) y la tensión de rotura (V_{BR}).

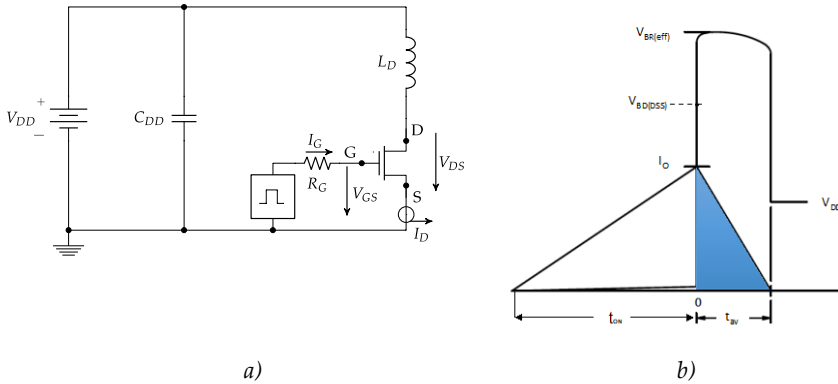


Figura 42 a) Esquema del circuito utilizado para la realización del test de avalancha y b) Formas de onda típicas en un MOSFET de Silicio.

El test comienza con la puesta en marcha del DUT, cargando así la bobina. Cuando se alcanza la energía en la bobina deseada, conmutamos a bloqueo el DUT provocando que la energía almacenada en la bobina provoque un gran aumento de tensión en el drenador del DUT, la pendiente de subida de esta tensión depende de la capacidad parásita de salida del DUT. En el caso del MOSFET de Silicio este aumento de tensión acaba cuando se alcanza el valor conocido como tensión de rotura (V_{BR}) y cuyo valor depende de la unión p-n interna del MOSFET de Silicio. Si el dispositivo no se rompe, la tensión en drenador cae cuando la energía cargada en la bobina se hace cero. El test se repite tantas veces como sea necesario, aumentando poco a poco el tiempo de conducción del DUT para obtener el punto de energía en la bobina que provoca la rotura del dispositivo. En ese momento se calcula el valor de energía soportada por el DUT en avalancha mediante (3).

$$E_{AV} = \int_{t=0}^{t=t_{AV}} V_{DS}(t) \cdot I_D dt \quad (3)$$

Capítulo 4 Metodología

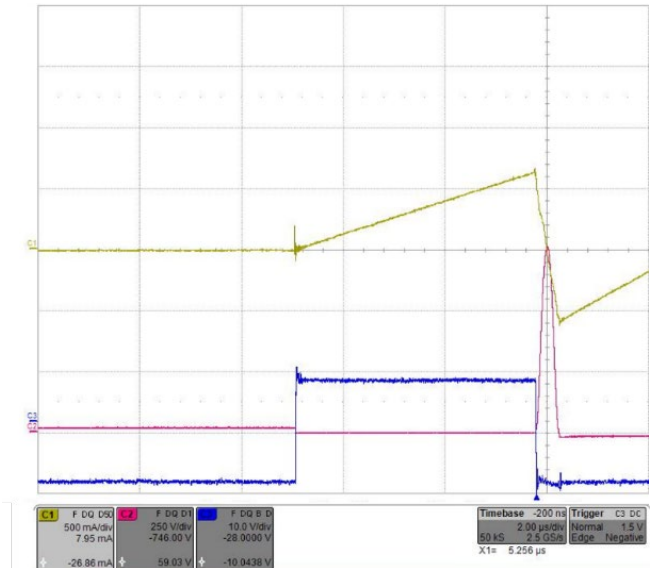


Figura 43 Captura de osciloscopio durante en un test de avalancha previo a la rotura de un dispositivo GaN. En amarillo la corriente I_D , en azul la tensión V_{GS} y en rojo la tensión V_{DS} .

Como se aprecia en la tensión de puerta de la Figura 43 tras la carga de la corriente en la bobina, ponemos el transistor en bloqueo. Al hacer esto la energía almacenada en la bobina provoca un aumento enorme de la tensión V_{DS} , cargando las capacidades parásitas del HEMT de GaN. Una vez la corriente en la bobina llega a cero, la tensión la energía almacenada en las capacidades parásitas se transfiere a la entrada, provocando la corriente negativa que se ve en la imagen.

Capítulo 5

Discusión

En este capítulo se recoge un análisis de los principales resultados obtenidos durante la tesis. Para el análisis de estos resultados hemos decidido englobarlos en tres sub apartados. El primero de ellos trata el estudio del principal problema asociado a la tecnología de los HEMT de GaN desde sus inicios: la resistencia dinámica. El segundo apartado engloba los resultados obtenidos desde un punto de vista de la fiabilidad eléctrica, o también conocido como robustez de estos dispositivos. Este segundo apartado engloba las pruebas de capacidad de soportar cortocircuitos y avalanchas por sobretensión. Por último, el tercer apartado engloba las pruebas relacionadas con una necesidad asociada al uso de estos dispositivos en la industria aeroespacial, analizando la robustez y comportamiento ante radiación electromagnética. En este apartado se engloban los resultados obtenidos como consecuencia de distintas campañas de radiación gamma llevadas a cabo en colaboración con el Centro Nacional de Aceleradores (Universidad de Sevilla, Junta de Andalucía y CSIC) y con la empresa Alter Technology TÜV Nord S.A.U.

No obstante, a pesar de dividirse los resultados principales dentro de tres sub apartados, hay una línea común que sigue a todos ellos, ya que la mayoría de los problemas de fiabilidad que se han encontrado, están relacionados directamente con efectos de atrapamiento que se producen dentro del dispositivo. Para la obtención de los resultados que se muestran a continuación se han utilizado HEMT de GaN con distintas estructuras internas y de distintos fabricantes: un dispositivo que referenciamos como HD-GIT, de Panasonic y un dispositivo que referenciamos como GaN MISHEMT de GaN Systems Inc.

5.1. Comportamiento de la resistencia dinámica en dispositivos comerciales GaN HEMT.

La resistencia dinámica en los dispositivos GaN HEMT se puede definir como el aumento temporal de la resistencia que presenta el dispositivo al paso de la corriente con respecto a la resistencia real que presenta ese dispositivo en estado estacionario (cuando no existen cargas atrapadas). De este modo cuando el dispositivo se encuentra en estado de corte, está soportando un estrés de tensión que provoca el aumento de la resistencia dinámica. Este efecto se muestra en la siguiente Figura 44 y provoca que durante el tiempo de conducción la resistencia es mayor al inicio del pulso y baja a medida que las trampas se van desatrapando. La velocidad en la disminución de la resistencia dinámica depende del lugar de atrapamiento de esas cargas dentro de la estructura interna, así como del nivel de tensión y tiempo de aplicación de dicho estrés sobre el dispositivo.

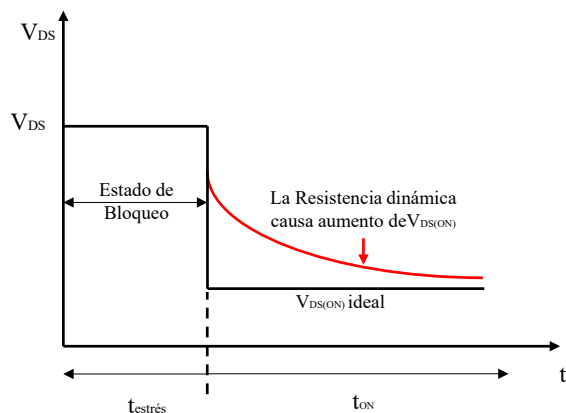


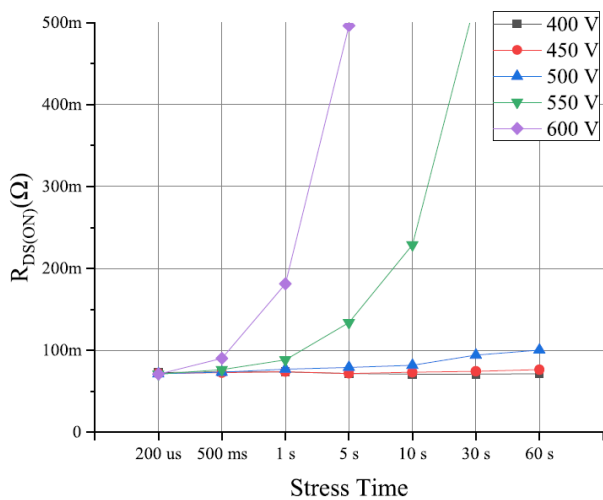
Figura 44 Efecto de la resistencia dinámica mostrado gráficamente.

Los efectos de atrapamiento en los GaN-HEMT pueden atribuirse al atrapamiento en la superficie del dispositivo y al atrapamiento en la capa intermedia.

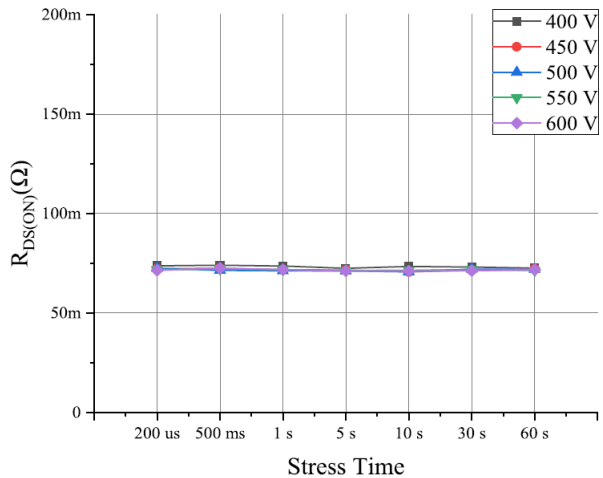
Capítulo 5. Resultados

Como se muestra en [71], cuando GaN-HEMT está polarizado, el campo eléctrico entre el drenador y el terminal de la puerta hace que algunos electrones queden atrapados en la superficie cercana a la puerta. Mientras tanto, un gran campo eléctrico vertical debajo del terminal de drenador hace que algunos electrones queden atrapados en la capa de buffer del dispositivo. Todos los electrones atrapados no se liberan instantáneamente cuando el dispositivo cambia de estado apagado a estado encendido, lo que reduce la capacidad de transporte de corriente del dispositivo en estado encendido por gas de electrones bidimensionales (2-DEG).

Esta resistencia dinámica ha sido medida bajo distintas condiciones para ver como la variación de esas condiciones puede afectar al comportamiento del dispositivo. Los siguientes resultados que se muestran en la contribución nº1 se obtienen con la variación de la tensión de estrés aplicada durante las pruebas, así como del tiempo que se aplica esta tensión durante el tiempo de bloqueo del dispositivo. Estas pruebas se han realizado sobre los dos tipos de dispositivos mencionados anteriormente (GaN MISHEMT y HD-GIT). Esta prueba consiste únicamente en variar el tiempo de bloqueo del transistor antes de dar un pulso a conducción, donde se mide la resistencia dinámica. Mediante esta prueba podemos ver una dependencia de la resistencia dinámica con el tiempo que se aplica la tensión de estrés para el caso de los dispositivos MISHEMT, tal y como se muestra en la Figura 45 a). No obstante, el aumento que se produce en la resistencia dinámica empieza a tener influencia para tiempos de estrés mayores a 500 ms, tiempos que están alejados de la aplicación real de estos dispositivos, por lo que, en la aplicación real, ese aumento de la resistencia dinámica no tendría efecto sobre las pérdidas en el semiconductor. Debemos también destacar que este comportamiento no existe en los dispositivos HD-GIT, tal y como se aprecia en la Figura 45 b). Siguiendo con el enfoque de la aplicación real, se han tomado medidas en conmutaciones de manera repetitiva de los dispositivos. En estas medidas, mostradas en la Figura 46 a) para el dispositivo MISHEMT, se demuestra el aumento de la resistencia dinámica con el número de pulsos, no obstante, ese aumento llega a un punto de estabilización, es decir, pasado un cierto nivel de resistencia dinámica, esta no aumenta más, aunque se sigan aplicando pulsos.



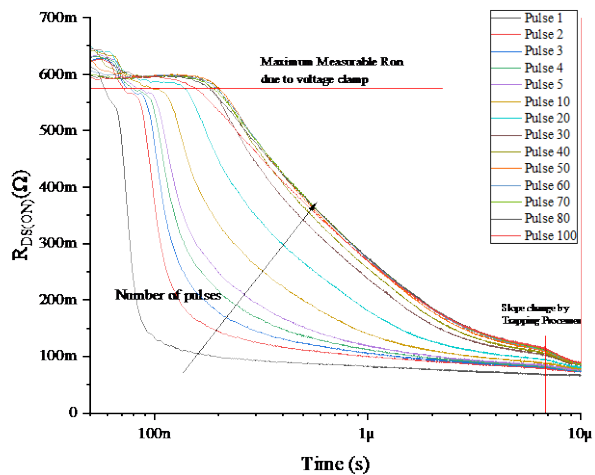
(a)



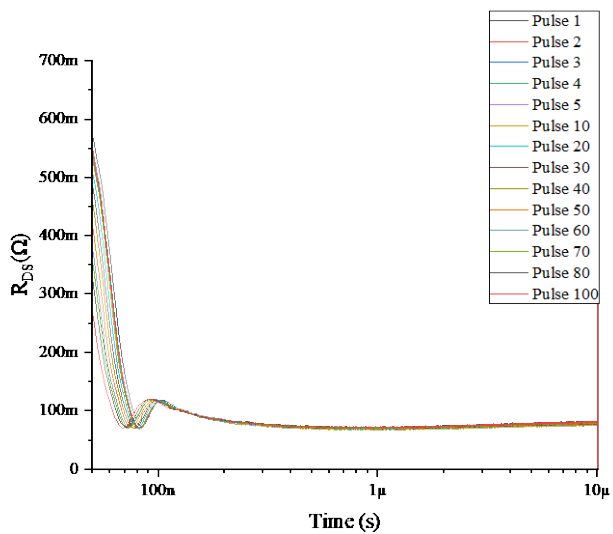
(b)

Figura 45 Variación de la resistencia dinámica para a) dispositivos MISHEMT y b) dispositivos HD-GIT variando únicamente el tiempo de estrés.

Capítulo 5. Resultados



(a)



(b)

Figura 46 Variación de la resistencia dinámica para a) dispositivos MISHEMT y b) dispositivos HD-GIT con el número de pulsos.

Con nuestras pruebas hemos llegado a la conclusión de que esta estabilización se debe a varios efectos que tienen lugar durante el ciclo completo de operación del transistor. El ciclo completo de operación del transistor se basa en un tiempo de bloqueo, una conmutación a conducción (turn-on), un tiempo de conducción y una conmutación a bloqueo (turn-off). Durante el tiempo de bloqueo del transistor, si la tensión en drenador es suficientemente alta, algunos electrones pueden ganar energía suficiente para quedar atrapados en regiones del dispositivo con defectos o menos optimizadas. Durante el tiempo de conducción, la formación del canal 2DEG permite a estos electrones atrapados moverse a una zona de menor energía produciéndose así el desatrapamiento de los mismos y la consecuente reducción de resistencia dinámica. Pero además del atrapamiento producido por la alta tensión durante el estado de bloqueo del transistor, el segundo atrapamiento que evidenciamos es el que tiene lugar en las conmutaciones, tanto a estado de bloqueo como a estado de conducción (turn-off y turn-on). Este mecanismo ha sido tratado en la literatura [56] y es debido al solape tensión-corriente, que provoca el conocido como estado de "semi-on" en este caso, la alta tensión unida a un nivel alto de corriente favorece que los electrones ganen suficiente energía para ser atrapados. Ambos efectos anteriores unidos (atrapamiento en las conmutaciones y desatrapamiento en el estado de conducción), provocan que al aumentar la frecuencia de conmutación aumente la resistencia dinámica. Esto es debido a la reducción del tiempo de desatrapamiento (reducción del tiempo de conducción) y manteniendo el atrapamiento (mismo número de conmutaciones).

No obstante, al realizar esta prueba, variando la frecuencia, también estamos modificando el tiempo de bloqueo, por lo que no podemos ver su influencia. Por ello, en nuestro caso, hemos variado la frecuencia, pero cambiando únicamente el tiempo de bloqueo y manteniendo constante el tiempo de conducción. De esta manera podemos saber que ocurre cuando solo modificamos un parámetro, que en este caso es el tiempo de bloqueo, pero manteniendo constante tanto las conmutaciones como el tiempo de conducción del transistor. Estos resultados se muestran en la Figura 47.

Capítulo 5. Resultados

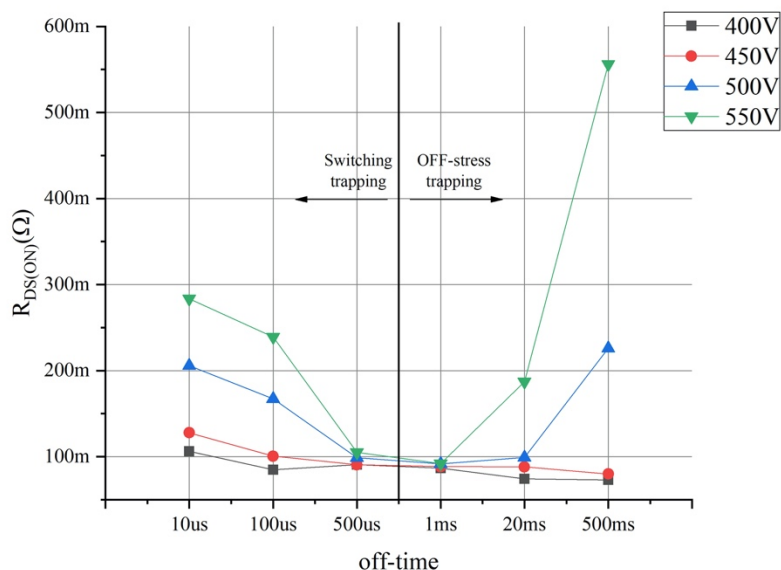


Figura 47 Resistencia dinámica medida en un dispositivo MISHEMT tras 100 pulsos y $t_{ON} = 10 \mu s$ variando únicamente el tiempo de bloqueo del transistor.

Como se muestra en la figura, se produce un aumento de la resistencia dinámica cuando subimos el tiempo de bloqueo del transistor, como ya esperábamos. Sin embargo, vemos que este hecho no tiene lugar en todo el rango de variación del tiempo de bloqueo. En concreto, el aumento de la resistencia dinámica en este dispositivo tiene lugar para tiempos mayores de 1 ms de bloqueo. Por debajo de esos tiempos el atrapamiento durante el bloqueo deja de ser relevante y lo que vemos es que se produce un nuevo aumento de la resistencia dinámica cuando los tiempos de bloqueo son menores a 500 μs . La única explicación que encontramos a este fenómeno es la existencia durante el tiempo de bloqueo de un mecanismo de desatrapamiento que afecta a las cargas atrapadas durante la conmutación. En la Figura 48 se representa de forma simplificada los efectos de atrapamiento y desatrapamiento que podrían estar produciéndose en el dispositivo. Durante las conmutaciones, como ya hemos comentado se produciría un atrapamiento de electrones en la barrera AlGa_N o en el buffer cerca del canal. En cambio, durante el tiempo de bloqueo existen dos

fenómenos opuestos, uno de atrapamiento producido por la alta tensión, que requiere de largos tiempos de bloqueo (mayores a 500 ms) para provocar aumento de la resistencia dinámica durante el tiempo de conducción. Y por otro lado estaría el desatrapamiento de las cargas atrapadas en las conmutaciones que como se aprecia en la Figura 47 tiene lugar en tiempos menores a 500 μ s.

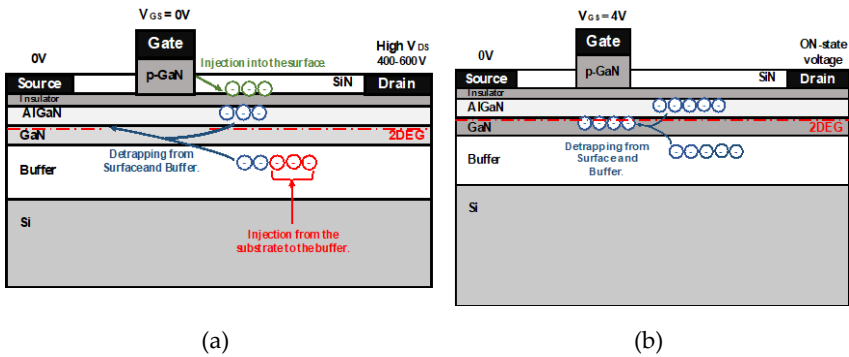


Figura 48 Vista esquemática de una estructura GaN MISHEMT ilustrando los efectos de atrapamiento a) durante el estado de bloqueo tras el estado de semi-on y b) durante el estado de conducción tras el estado de bloqueo y semi-on.

Dada la gran influencia de las conmutaciones sobre la resistencia dinámica del dispositivo, hemos decidido realizar pruebas eliminando el solape tensión-corriente que se produce durante las conmutaciones. Esto se ha conseguido implementando una secuencia de disparo para realizar conmutaciones suaves con cero de tensión al encendido (turn-on ZVS) y con cero de corriente al corte (turn-off ZCS). La configuración de pulsos utilizada para conseguir estas conmutaciones ha sido mostrada en el apartado metodología. Las pruebas realizadas concluyen que al usar transiciones suaves se evita la resistencia dinámica del dispositivo. Pero no solo eso, sino que además, el usar conmutaciones suaves en solo una de las transiciones bien a corte o bien a conducción también evita el aumento de la resistencia dinámica, tal y como se muestra en la Figura 49.

Capítulo 5. Resultados

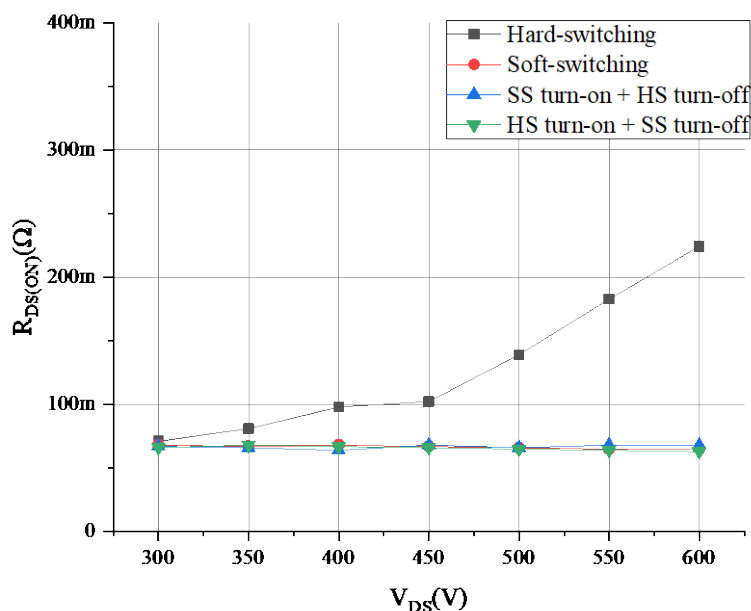


Figura 49 Comparación de medidas con conmutaciones duras y suaves en un GaN MISHEMT tras 100 pulsos consecutivos de 200 μ s de bloqueo y 10 μ s de conducción. Medida realizada en el pulso 100.

Todas estas medidas demuestran que a pesar de que la resistencia dinámica es un hecho no despreciable a día de hoy en algunos dispositivos comerciales. El avance que ha sufrido la tecnología en los últimos años hace que en un rango amplio de condiciones de funcionamiento la resistencia dinámica sea un efecto despreciable. No obstante, existe la necesidad de evidenciar bajo condiciones de funcionamiento reales, el comportamiento de estos dispositivos. Donde uno de los principales puntos a tener en cuenta son los transitorios entre conducción y corte. Por este motivo, y dado que la mayoría de aplicaciones en la industria se llevan a cabo con cargas inductivas, se ha realizado un sistema de medida de la resistencia dinámica con carga inductiva. Este sistema de medida es el que se muestra en la contribución nº2 y permite la conmutación de los dispositivos GaN HEMT simulando cualquier condición de pulsos que pudiera darse en una aplicación mediante el diseño de la resistencia serie utilizada en el circuito (R_{damp}) de la Figura 50. Las principales

mejoras son el completo control sobre las siguientes características: la tensión de estrés aplicada, el tiempo de estrés, el nivel de corriente constante repetitivo y la posibilidad de hacer múltiples pulsos de frecuencia variable y poder variar el ciclo de trabajo.

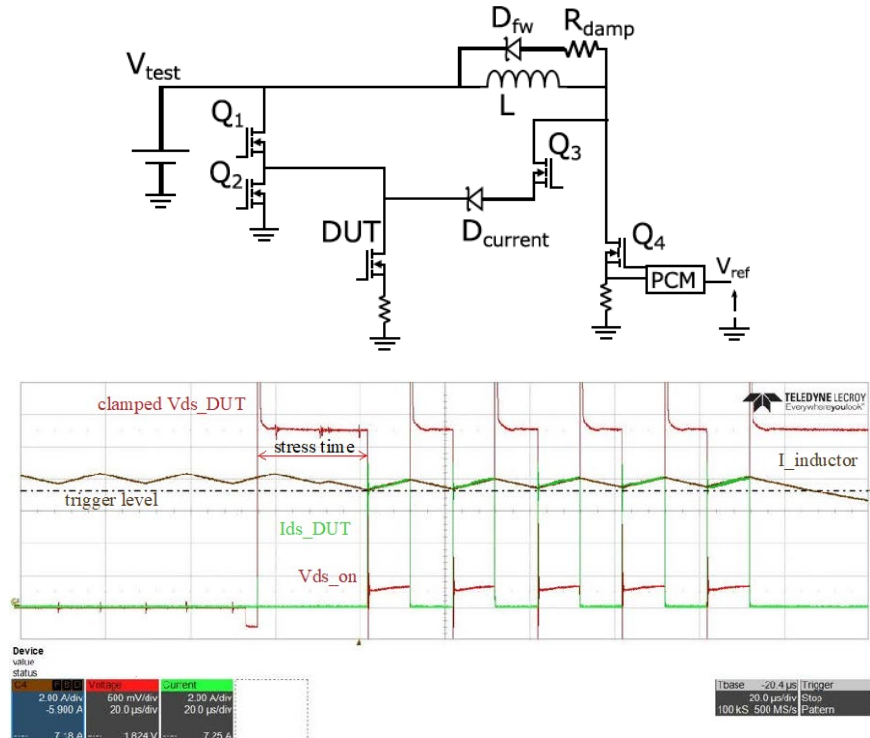


Figura 50 Circuito esquemático diseñado para la medida de la resistencia dinámica en condiciones de carga inductiva, y Formas de onda obtenidas como ejemplo en uno de los test realizados.

La necesidad de estas mejoras se demuestra mediante las pruebas de la Figura 51 donde se puede ver como el número de pulsos y la corriente utilizada puede tener una gran influencia en la medida, dependiendo del dispositivo utilizado. De este modo el circuito diseñado permite, mediante el uso de una resistencia serie y la elección del inductor, la obtención de una medida imitando condiciones reales de funcionamiento con carga inductiva.

Capítulo 5. Resultados

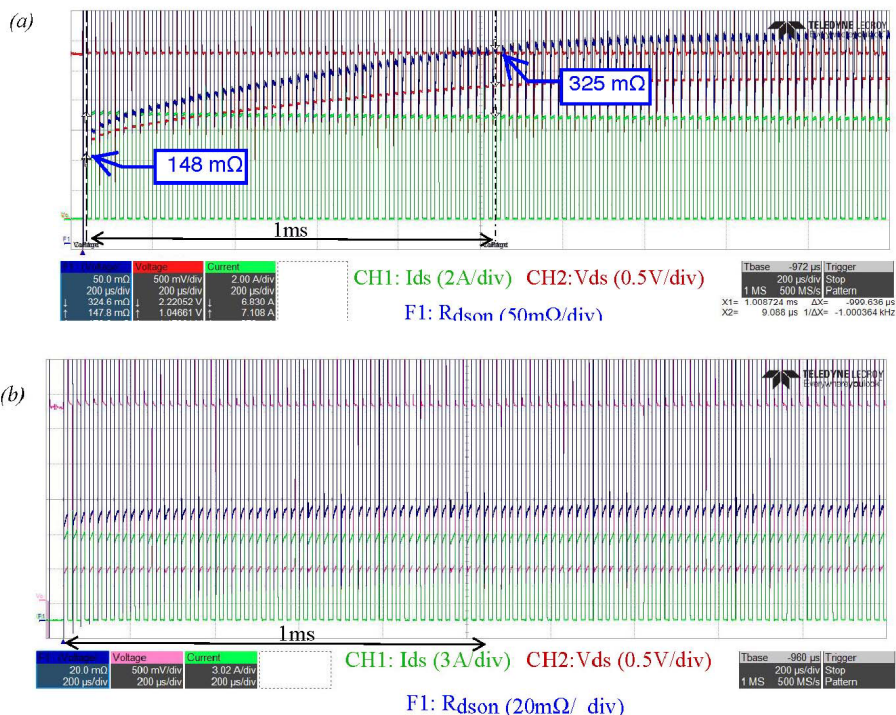


Figura 51 Medida de 100 pulsos consecutivos con 7,5 A de pico, $t_{estrés}=19 \mu s$ y $V_{estrés}=80\%$ de $V_{DS,max}$ sobre a) EPC8004 y b) GS66508P

En este artículo se puso de manifiesto, para algunos dispositivos tipo enhancement mode (e-mode) GaN devices, el efecto del atrapamiento de electrones calientes en la conmutación. Ese atrapamiento indujo un aumento significativo de $R_{DS(on)}$, alrededor de un 200% del valor típico en el dispositivo utilizado p-GaN de EPC. Este aumento degrada el rendimiento del dispositivo y puede resultar en una reducción de por vida, o incluso, la falla del dispositivo debido a efectos térmicos. Esto demuestra que la realización de test de resistencia dinámica sobre GaN HEMTs es muy importante, y además esos test deben ser cercanos a condiciones reales de conmutación como las que se consiguen con el circuito presentado en el artículo.

5.2. Estudio de la robustez de dispositivos GaN HEMT

El estudio de la robustez de los dispositivos incluye las pruebas realizadas para determinar la capacidad de los dispositivos GaN HEMT de soportar eventos de cortocircuito mostrado en la contribución nº3 y avalancha mostrado en la contribución nº4

Para el estudio del cortocircuito, se ha utilizado el circuito de medida de cortocircuito presentado en el apartado 4.4 de esta tesis. El primer paso ha sido la obtención de formas de onda que sin llegar a la rotura del dispositivo nos permitan entender lo que ocurre en el dispositivo. Para ello lo primero ha sido realizar una variación de la tensión aplicada en el cortocircuito en los dos dispositivos utilizados (HD-GIT y GaN MISHEMT). La Figura 52 muestra la variación de la corriente de drenador y puerta cuando variamos la tensión de cortocircuito que soporta el dispositivo.

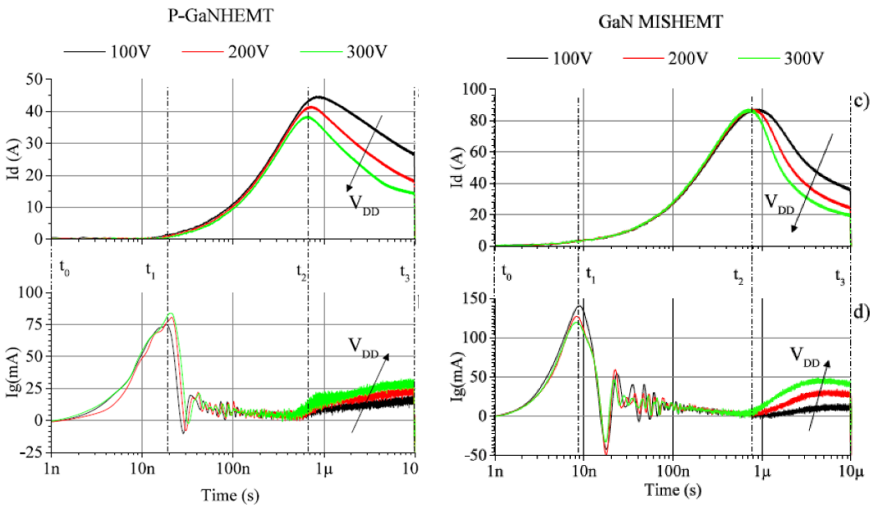


Figura 52 Formas de onda obtenidas al realizar cortocircuito a diferentes tensiones V_{DS} para un dispositivo HD-GIT y un dispositivo MISHEMT

Se aprecia una diferencia entre ambos tipos de dispositivos respecto al máximo de la corriente de saturación alcanzado durante el evento del

Capítulo 5. Resultados

cortocircuito. En el dispositivo p-GaN HEMT, la $I_{D,max}$ tiene una dependencia negativa con la tensión aplicada al dispositivo, mientras que el GaN MISHEMT no muestra este comportamiento, llegando al mismo valor de $I_{D,max}$ independientemente de la tensión. Este fenómeno es puramente térmico, debido a la disminución de la movilidad de los portadores con la temperatura. En el caso de la estructura p-GaN HEMT evaluada, el tamaño de chip más pequeño disponible requiere menos tiempo para calentar el dispositivo, alcanzando una temperatura más alta que el GaN MISHEMT. Por lo tanto, durante el mismo tiempo de cortocircuito, el p-GaN HEMT alcanzó una temperatura lo suficientemente alta como para causar una disminución en la corriente máxima.

Una vez alcanzado el máximo de la corriente, ambos dispositivos muestran un comportamiento similar, reducen su corriente de saturación con el tiempo y también tienen una mayor reducción de corriente con el aumento de la tensión aplicada. Esta disminución mejora la robustez del dispositivo ya que se reduce la disipación de energía. Esta reducción es puramente térmica y la dependencia de esta corriente se debe básicamente a la dependencia negativa de la electromovilidad con la temperatura para el GaN. Para poder realizar una estimación de la temperatura alcanzada en la rotura de los dispositivos, se han realizado medidas de la variación de la corriente de saturación con la temperatura para cada familia de dispositivos y se ha obtenido la relación que aparece en la Figura 53.

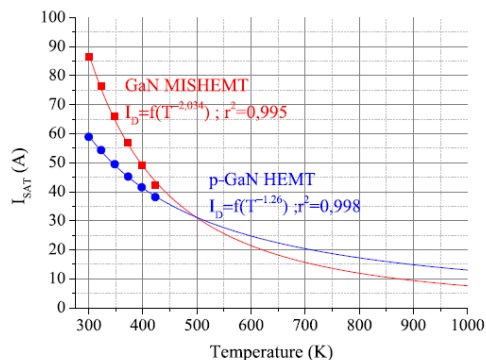
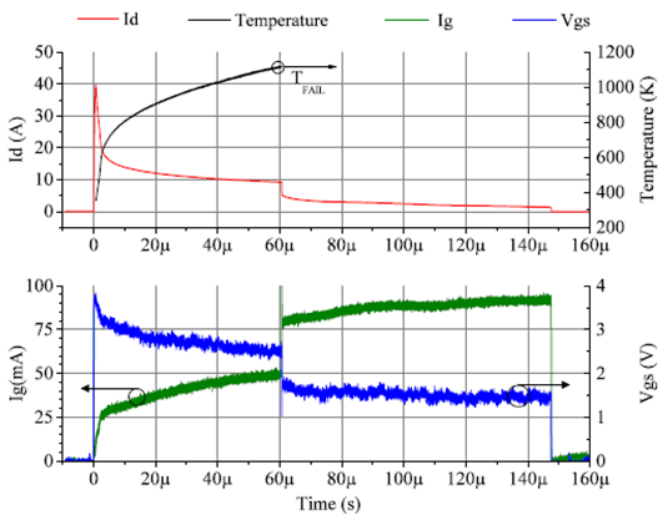


Figura 53 Variación de la corriente de saturación con la temperatura aplicada al dispositivo y extrapolación de la curva en temperatura para un dispositivo HD-GIT y un MISHEMT

Una vez obtenidos estos datos, que nos permite realizar una estimación de la temperatura alcanzada por la oblea del dispositivo, hemos comenzado con los test de rotura. Estos test han demostrado la existencia de dos tipos diferentes de rotura, además en ambos dispositivos ocurren ambos tipos de rotura. El primer tipo de rotura, es la más conocida porque ocurre de la misma manera en otras tecnologías como Silicio y Carburo de Silicio y es la que nosotros hemos llamado rotura por temperatura.

La rotura por temperatura de cada dispositivo es distinta y un ejemplo se muestra en la Figura 54.



a)

Capítulo 5. Resultados

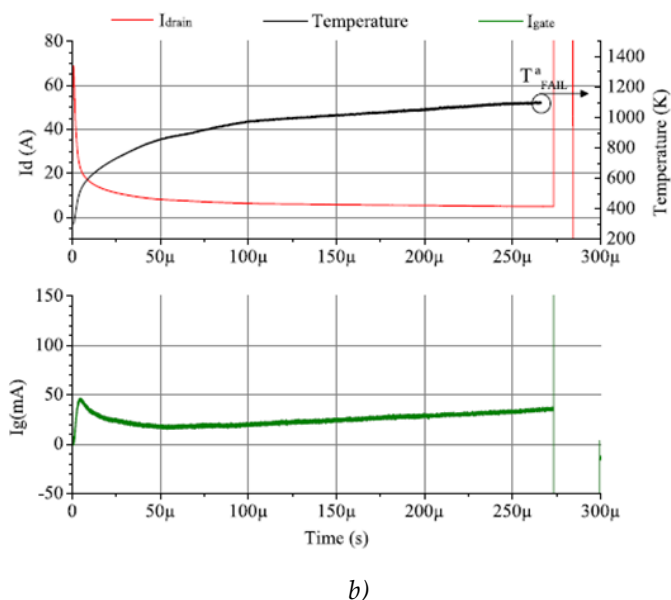


Figura 54 Formas de onda de la rotura por temperatura obtenida sobre a) un dispositivo HD-GIT y b) GaN MISHEMT.

En el dispositivo de tipo MIS-HEMT esta rotura provoca el cortocircuito entre drenador y surtidor de modo que cuando se produce la rotura, la corriente de drenador sube abruptamente descargando todo el banco de condensadores y provocando la explosión del dispositivo. La temperatura estimada del canal a la que ocurre este fenómeno es de alrededor de los 1100 K y unos 270 μs de cortocircuito.

Por otro lado, en el caso del dispositivo HD-GIT, la rotura tiene lugar de manera distinta. En este caso no se produce un cortocircuito entre drenador y surtidor si no que lo que se aprecia es una bajada repentina de la corriente de drenador, que tiene lugar debido a un aumento repentino de la corriente de puerta. De este modo el aumento de la corriente de puerta provoca que la caída en la resistencia de puerta sea mayor y se produce la bajada de la tensión de puerta. Esta bajada de la tensión de puerta hace que baje la corriente de drenador. Una vez disminuye la corriente de drenador, esta es tan baja, que no se llega a producir el cortocircuito que si ocurre en el dispositivo MISHEMT. No

obstante, el dispositivo HD-GIT no puede ser utilizado a efectos prácticos a pesar de no haber explotado. Esto es porque a pesar de que después hemos realizado un segundo test para ver si funcionaba, hemos visto que por la degradación que se ha producido en la puerta, el dispositivo no es capaz de ponerse a conducción. Esto se muestra en la Figura 55.

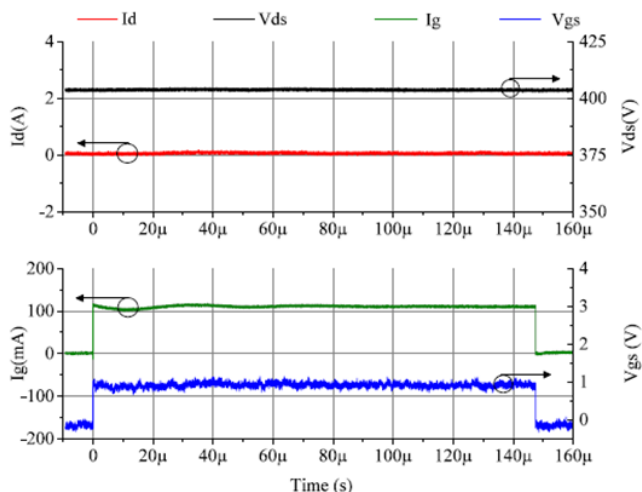


Figura 55 Fallo ocurrido tras la rotura por temperatura de un dispositivo HD-GIT
($t_{sc}=150 \mu s$ y $V_{DD}=400V$)

Esta rotura, nos hace pensar que los dispositivos GaN HEMT pueden ser prometedores en aplicaciones donde se puede producir el cortocircuito de la carga. El motivo principal es que la gran dependencia de la corriente de saturación de drenador con la temperatura, hace que cuando el cortocircuito se produce, el dispositivo limita su propia corriente, de modo que cuanto más temperatura se alcanza menor es la disipación de potencia y, por tanto, cada vez el calentamiento del dispositivo es más lento. Esto les permite a los dispositivos alcanzar tiempos de cortocircuito muy grandes, mucho mayores a $10 \mu s$ que es el tiempo que se fija en la literatura para dar suficiente tiempo a las protecciones para intervenir y parar el sistema.

No obstante, a pesar de esos buenos resultados existe otro tipo de rotura, común en ambos dispositivos, que se ha denominado como

Capítulo 5. Resultados

rotura prematura. Una muestra de esta rotura en cada dispositivo se muestra en la Figura 56.

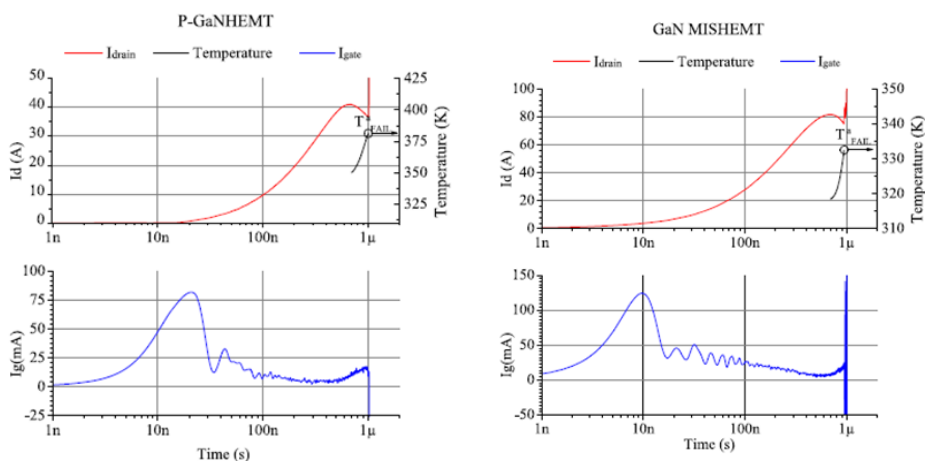


Figura 56 Formas de onda obtenidas en una rotura prematura con $V_{\text{DD}}=400$ V para HD-GIT y GaN MISHEMT

En ambos casos este tipo de ruptura tiene lugar para tiempos de cortocircuito en torno a 1 μ s, y coincide con el momento donde la corriente esta cerca del maximo. Esto se conoce como ruptura prematura. La ruptura prematura es una ruptura relacionada con el alto campo electrico generado y no debido al efecto termico que tiene una constante de tiempo mas grande. Tambien es importante mencionar que la ruptura prematura solo ocurre en HD-GIT HEMT para voltajes de drenaje de 400 V y superiores, mientras que en GaN MISHEMT ya ocurre a voltajes de drenaje de 350 V. Esto podra deberse a la influencia del aislante metalico en puerta utilizado en los MISHEMT para soportar un alto campo electrico. El uso de una region de puerta tipo MIS en los dispositivos GaN MISHEMT, da como resultado una minimizacion de las fugas de puerta y permite aplicar una tension de polarizacion positiva en la puerta sin inyeccion de corriente por la misma, a diferencia del HD-GIT. Sin embargo, en la puerta tipo MIS, el inconveniente principal es la inestabilidad de la tension umbral debido a las trampas de interfaz / borde en el aislador y la ruptura dielectrica dependiente del tiempo del aislante muy delgado. Estos mecanismos de falla son inducidos por un alto campo

eléctrico y para el MISHEMT dependen del material dieléctrico de la puerta elegida y de las técnicas de deposición utilizadas

El evento de cortocircuito representa la condición de conmutación forzada más estresante para un transistor de potencia. De hecho, durante la transición a conducción, el dispositivo sufre una combinación de muy alta tensión con altos niveles de corriente superpuestos. Este evento genera electrones altamente energéticos (electrones calientes), que pueden promover problemas de fiabilidad a largo plazo y también efectos instantáneos de atrapamiento de cargas, y si la densidad de electrones calientes generada es lo suficientemente grande, algunos de los electrones calientes pueden quedar atrapados en la superficie de AlGa_N, modificando la distribución del campo eléctrico y moviendo el máximo nivel de campo eléctrico desde el borde de la puerta hasta el borde del drenador desencadenando la ruptura prematura.

La segunda parte del estudio de la robustez se basa en el estudio de la capacidad de avalancha de los dispositivos GaN HEMT, que corresponde a la Contribución nº4.

Para la cualificación de los transistores de alta movilidad con electrones de potencia GaN (HEMTs) en aplicaciones industriales se deben considerar la robustez del dispositivo contra eventos fuera de su SOA (área de operación segura). Una condición crítica de robustez eléctrica en estos dispositivos es la capacidad de soportar la sobretensión con seguridad. La robustez para soportar una sobretensión en los MOSFET de Si y SiC se basa en su capacidad intrínseca de avalancha, un fenómeno de ionización por impacto y multiplicación que permite que el dispositivo acomode una alta corriente a un alto voltaje de drenador a la fuente. El beneficio de esta capacidad de avalancha, supone que el dispositivo pueda disipar la energía de sobretensión dentro de sí mismo. Y se define la energía de avalancha como la máxima energía que un dispositivo de potencia puede disipar sin desencadenar fugas catastróficas que acaben en un embalamiento térmico que destruya al dispositivo.

Los GaN HEMT son dispositivos de potencia que tienen poca o ninguna capacidad de avalancha. A diferencia de los MOSFET de Si y

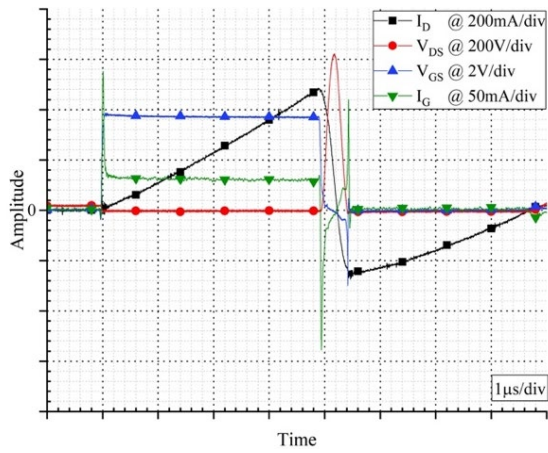
Capítulo 5. Resultados

SiC, no hay uniones PN intrínsecas que estén conectadas entre surtidor y el drenador de los HEMT de GaN. Como resultado, los huecos generados por impacto de ionización y la multiplicación no se pueden extraer de manera efectiva, lo que limita la capacidad del dispositivo para acomodar la alta corriente de las cargas inductivas, sin camino de descarga, para tensiones de drenador a surtidor elevadas.

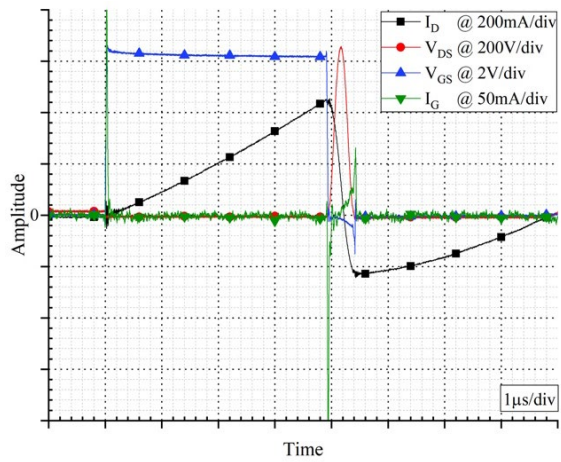
En el caso de los dispositivos GaN HEMT que hemos analizado no han mostrado capacidad de avalancha alguna. De hecho, la rotura se produce por sobretensión y tiene lugar cuando la energía almacenada en la bobina es la suficiente para cargar la capacidad de salida hasta la tensión de rotura.

En la Figura 57 se observa el comportamiento ante la avalancha para los dos tipos de dispositivos GaN HEMTs utilizados, donde se muestra una resonancia similar a un circuito LC entre la carga inductor (L_D) y la capacidad de salida del dispositivo (C_{oss}).

En la Figura 58 se pueden apreciar los cuatro esquemas que definen los circuitos equivalentes que se producen durante un test de avalancha en GaN HEMT. El primer intervalo corresponde a la carga del inductor, el segundo paso se produce cuando cortamos el transistor, en ese momento la corriente almacenada en la bobina carga las capacidades C_{GD} y C_{DS} aumentando la tensión entre drenador y surtidor. Si el dispositivo no se rompe, cuando el inductor ha sido completamente descargado (cruce de la corriente por cero que coincide con el punto de máxima tensión en el DUT) la alta tensión existente en el drenador hace que se produzca la circulación de corriente en el sentido opuesto (Figura 58 c). Esto descarga la capacidad de salida del DUT mientras carga de nuevo el inductor, cuando la tensión del DUT es menor que la de la fuente es de nuevo la bobina quien fuerza la conducción a través del DUT gracias a su funcionamiento como diodo en anti paralelo.



(a)



(b)

Figura 57 Formas de onda típicas en un test de avalancha para un dispositivo a) HD-GIT y b) GaN MISHEMT.

Capítulo 5. Resultados

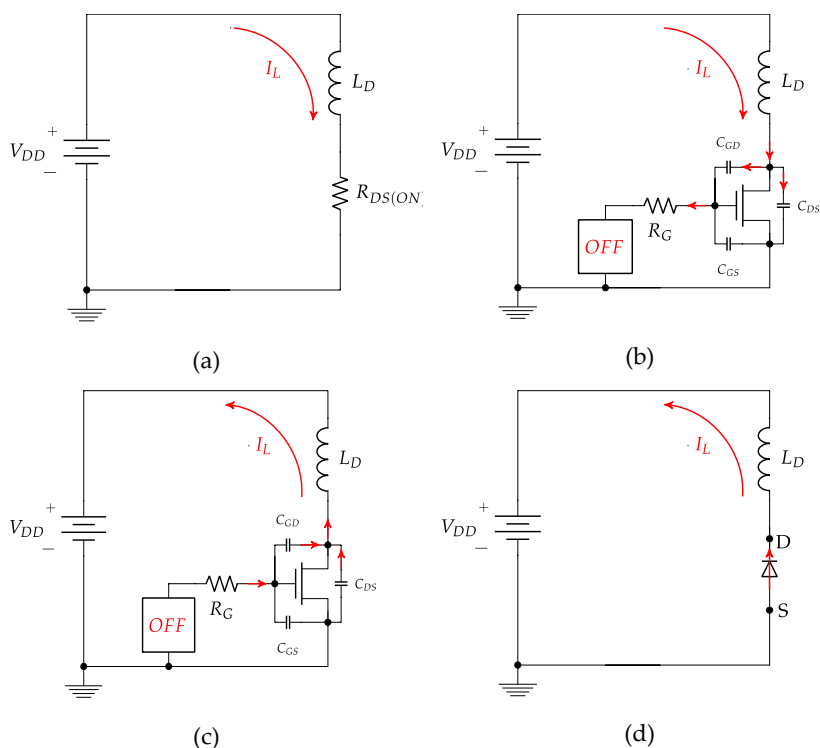
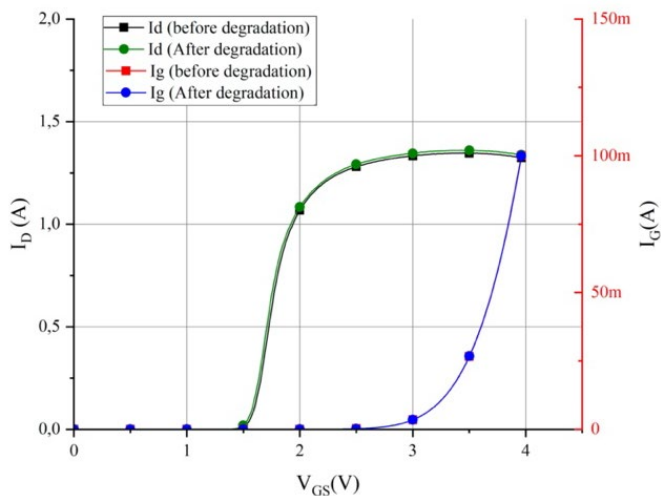
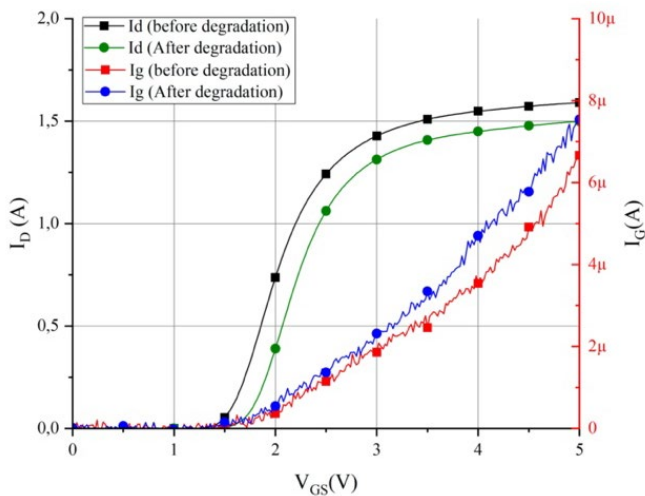


Figura 58 Esquema del circuito utilizado para el test UIS de un GaN HEMT mostrando las diferentes fases: a) carga del inductor, b) carga de la capacidad de salida del DUT, c) descarga de la capacidad de salida del DUT y d) descarga del inductor a través del diodo de recirculación del DUT.

En la mayoría de los test, se ha producido la rotura completa del dispositivo, no obstante, en algunos de ellos, cuando la cantidad de energía de avalancha aplicada ha sido la suficiente para provocar un fallo parcial del dispositivo sin llegar a la rotura completa. Estas muestras han sido analizadas mediante el trazador de curvas midiendo su transconductancia y fugas. Estas medidas se muestran en las Figura 59 y Figura 60.



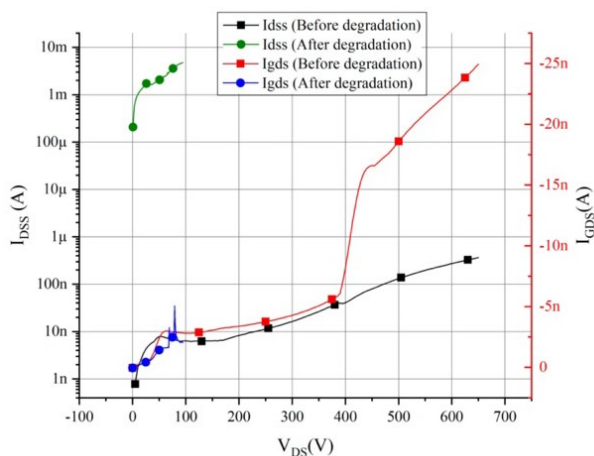
(a)



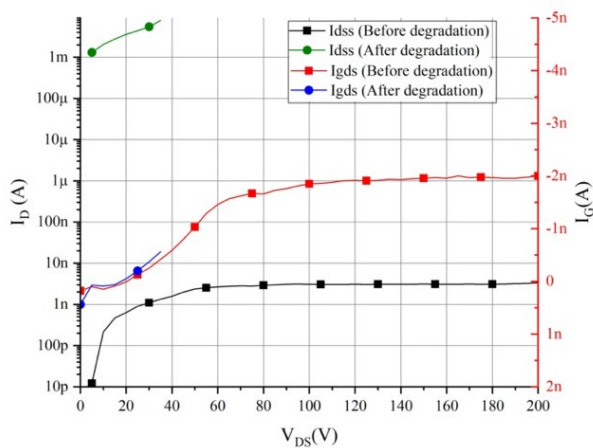
(b)

Figura 59 Medida de I_D - V_{GS} con V_{DS} constante de 0,1 V variando V_{GS} entre 0 y 4 V antes y después de la degradación provocada por el test de avalancha para a) HD-GIT y b) GaN MISHEMT.

Capítulo 5. Resultados



(a)



(b)

Figura 60 Medida de corriente de fugas con V_{GS} constante de 0 V variando V_{DS} entre 0 y 200 V antes y después de la degradación provocada por el test de avalancha para a) HD-GIT y b) GaN MISHEMT.

En las imágenes se muestra una degradación enorme en las fugas drenador-surtidor, sin embargo, no se aprecia cambio alguno en las fugas drenador-puerta. Además, la medida de transconductancia muestra como el dispositivo HD-GIT permanece invariable, mientras que el dispositivo GaN MISHEMT sufre únicamente un

desplazamiento positivo de la tensión umbral que coincide con el desplazamiento que puede producir el atrapamiento en ese dispositivo por la alta tensión alcanzada. Tras estos resultados, no se puede conocer exactamente el fenómeno de rotura producido, pero debe ser estar relacionado con la zona drenador-surtidor del dispositivo. Para analizar más en profundidad los dispositivos rotos, se realizó una estancia de investigación en el Fraunhofer Institute for Integrated Systems and Device Technology (IISB) in Erlangen, Germany. Allí disponían del equipamiento necesario para realizar un estudio en profundidad de la rotura del dispositivo. El primer paso fue la realización de medidas mediante Lock In Thermography que permiten medir variaciones de milikelvin en la superficie del dispositivo, de modo que permite localizar el fallo sin dañar más el dispositivo. Posterior a esto se probaron distintos métodos para des-encapsular el dispositivo sin dañarlo. El método que se llevó a cabo finalmente fue un tratamiento químico (Chemical etching) que eliminaba el material plástico dejando intacto el propio dispositivo y con la ayuda de un microscopio obtuvimos las imágenes que se muestran en la Figura 61.

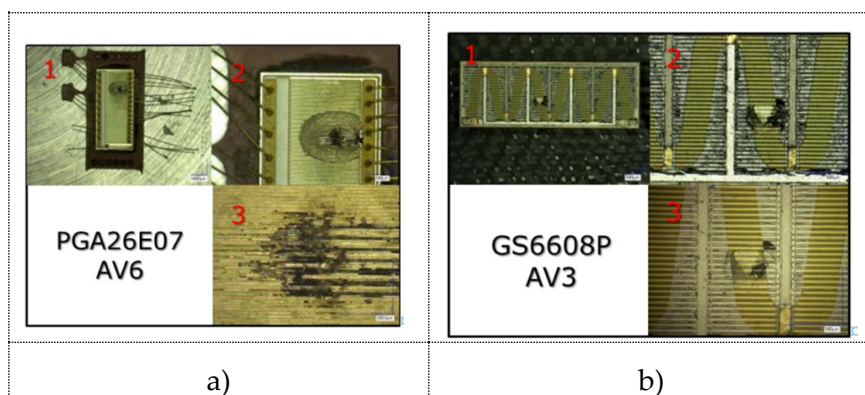


Figura 61 Análisis con microscopio tras el tratamiento químico de dos muestras. a) HD-GIT y b) GaN MISHEMT.

El último paso para obtener datos de la rotura consistió en la realización de un corte mediante FIB (Focused Ion Beam), este corte se realizó en dos zonas del mismo dispositivo, una que estaba intacta tras la rotura y la otra correspondiente al punto localizado de rotura. Estas imágenes se muestran para ambos dispositivos en la Figura 62. En

Capítulo 5. Resultados

ambos dispositivos la energía alcanzada fue suficiente para fundir el metal de puerta provocando que el líquido de metal se propagase en las capas contiguas haciendo más difícil la identificación del mecanismo de fallo. Sin embargo, teniendo en consideración los estudios presentados en [72] se pueden obtener las siguientes conclusiones. La rotura producida por fugas drenador-surtidor es un mecanismo observado con longitudes de puerta menores a $1\ \mu\text{m}$, sin embargo, ambos dispositivos testeados tienen longitudes entre $5\ \mu\text{m}$ y $10\ \mu\text{m}$ lo que hace improbable este tipo de rotura. Además, las roturas relacionadas con la puerta debida a una conducción a través de la superficie no parecen haber ocurrido aquí ya que no se han visto fugas relacionadas con la puerta en los test realizados. La rotura vertical también puede ser descartada, ya que de producirse las fugas de corriente se producen en los extremos del dispositivo y en este caso el punto caliente aparece siempre cerca de la región de puerta. El último fallo reportado en la literatura es el impacto de ionización, el cual tiene lugar entre la puerta y el drenador. Durante el tiempo de bloqueo cuando existe un alto campo eléctrico lateral, algunos electrones se pueden inyectar del surtidor a la puerta. Por tanto, se generan pares electrón/hueco y los huecos se mueven hacia el buffer lo cual disminuye la barrera para la inyección de electrones en la capa de GaN. Esto provoca que más electrones se muevan hacia la puerta, la corriente producida por estos electrones por tanto es cada vez mayor hasta que se produce calor suficiente para fundir el metal de puerta provocando la rotura del dispositivo.

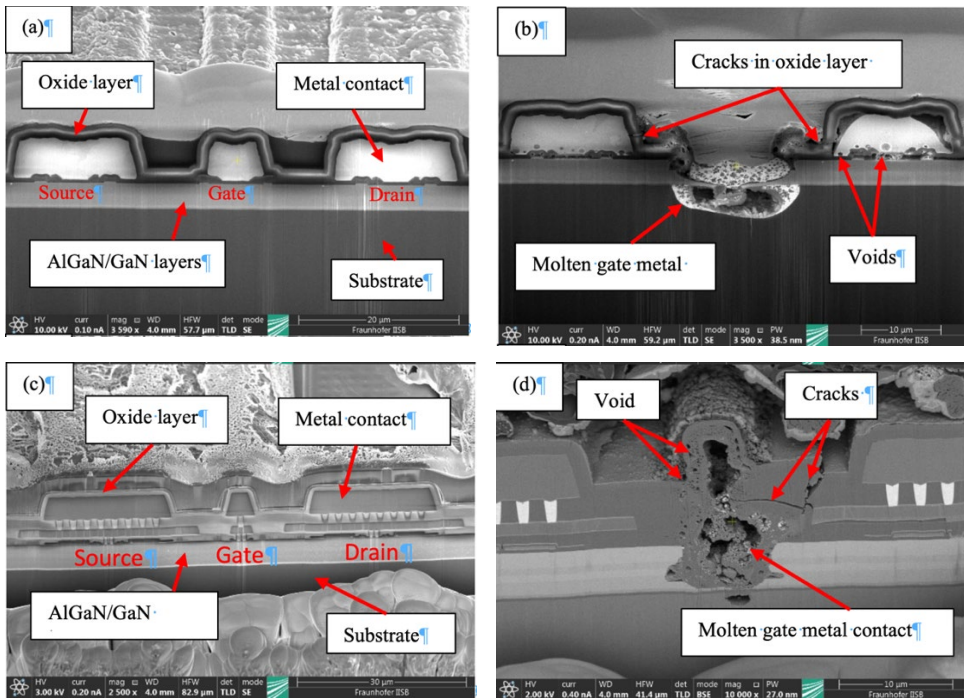


Figura 62 Corte de sección con FIB de dispositivos GaN usados en test de avalancha. a) Región sin daño de la puerta tipo p de un GaN HEMT, b) región dañada de la puerta tipo p de un GaN HEMT tras la avalancha, c) región sin daño de un GaN MISHEMT y d) región dañada de un GaN MISHEMT tras el test de avalancha.

De los estudios de robustez por tanto se observa que por el momento los dispositivos GaN HEMT existentes comercialmente necesitan mejorar en este aspecto, principalmente en lo relacionado con capacidad de avalancha. A día de hoy los dispositivos disponibles comercialmente han demostrado no tener capacidad de avalancha y por tanto ante sobretensiones de no muy alta energía (<100 μ J) el dispositivo alcanza la rotura por sobretensión. En este sentido la inclusión de una unión p-n entre drenador y surtidor que permita el mantener una tensión máxima conocida como tensión de rotura (V_{BR}) menor a la tensión de rotura del transistor (alrededor de 1000 V) podría aumentar la robustez de los dispositivos frente a avalancha, siempre que no se degrade el proceso de conmutación.

Capítulo 5. Resultados

Por otro lado, del estudio de cortocircuito se obtienen mejores resultados. Si bien es cierto que se produce una rotura prematura, que tiene lugar para tensiones por encima de 350 V-400 V y que supone un grave problema porque conlleva la rotura del dispositivo. Sin embargo, cuando la tensión aplicada de cortocircuito es menor a ese nivel de tensión, esta rotura no tiene lugar y la rotura por temperatura ocurre tras unos tiempos muy largos de cortocircuito ($> 50 \mu\text{s}$ en el peor de los casos). Estos tiempos de capacidad de cortocircuito son suficientes para que los sistemas de protección puedan actuar con un margen suficiente. De esta manera, actualmente el cortocircuito por debajo de 350 V es seguro en los dispositivos comerciales GaN HEMT y poder aumentar esta tensión de cortocircuito seguro, depende de reducir el impacto de los hot-electron, que son los que producen la rotura prematura. Esto pasa en gran parte por reducir las impurezas que actualmente presentan los dispositivos y que provocan la resistencia dinámica y la aparición de hot-electron en niveles de tensión y corriente muy por debajo de los límites teóricos esperados para esta tecnología.

5.3. Estudio de la robustez frente a radiación de los GaN HEMT

La última parte de nuestro estudio de fiabilidad se basa en el estudio del comportamiento de los dispositivos GaN HEMT frente a condiciones de radiación gamma. Dado que una de las ventajas de los dispositivos WBG es su posibilidad de trabajar en entornos hostiles como el entorno aeroespacial, la última parte de este estudio de fiabilidad la hemos enfocado en entender cómo afecta la radiación gamma a los dispositivos GaN HEMT. Es muy importante conocer el comportamiento de estas nuevas tecnologías de dispositivos en relación con la acumulación de la dosis ionizante total (TID) que pueden recibir en esos ambientes hostiles.

En un entorno hostil (aeroespacial o de reacciones nucleares), los dispositivos electrónicos pueden estar expuestos a los efectos de interacciones con partículas cargadas (protones, electrones e iones pesados), fotones de alta energía (rayos gamma y X) y neutrones (aviónica). Todas estas partículas cargadas y fotones, al interactuar con los dispositivos semiconductores, generan daños debido a los efectos acumulativos. La magnitud de este daño está relacionada con la Dosis Ionizante Total (TID) absorbida por cada dispositivo electrónico. Los efectos TID se pueden generar cuando un fotón interactúa con el material creando pares de electrones-huecos, modificando momentánea o permanentemente su conductividad. Dado que la movilidad de los huecos es mucho menor que la de los electrones, puede producirse una acumulación de cargas en determinadas regiones, cambiando las características funcionales del semiconductor. El material GaN presenta un fuerte enlace atómico, lo que hace que la resistencia a las radiaciones ionizantes sea una propiedad intrínseca de este material. La modificación de los parámetros característicos en un semiconductor depende no solo de las propiedades intrínsecas del material, sino del tipo de interacción con la radiación, la dosis acumulada y la energía transferida, así como la densidad de portadores, impurezas y de defectos de estado.

Incluso en altitudes bajas, las fluencias de protones, electrones y fotones de alta energía pueden no ser despreciables y dependen de muchos factores. La interacción de partículas altamente energéticas con la materia tiende a conducir a la generación de rayos gamma secundarios. Por lo tanto, es fundamental interpretar los efectos de la radiación gamma, ya que se encuentra en órbitas terrestres bajas y se presenta con otras interacciones radiación-materia de alta energía. En los últimos años, el término rayos gamma se ha definido convencionalmente como la radiación emitida por un núcleo (reacción nucleica) en un proceso de desintegración radiactiva y que transportan energías generalmente superiores a 1 MeV.

En nuestro estudio no solo hemos estudiado las variaciones sobre las curvas características de los dispositivos (I_d - V_{gs} , Fugas etc.) sino que además hemos realizado un estudio de cómo se comporta la resistencia dinámica asociada a estos dispositivos tras ser radiados con partículas

Capítulo 5. Resultados

gamma y teniendo en cuenta diferentes estados de polarización del dispositivo irradiado. Unos dispositivos con los pines cortocircuitados y otros con tensión aplicada en drenador de 400 V.

Para este estudio se han llevado a cabo dos campañas de radiación correspondientes a las contribuciones N^o 5 y N^o 6. La irradiación gamma de la primera de ellas, contenía una fuente gamma de ⁶⁰Co con energías de fotones asociadas de 1.17 y 1.33 MeV, con una baja tasa de radiación de 210-215 rad(Si)/h hasta alcanzar una dosis máxima de 300 krad(Si). En este caso las curvas características de los dispositivos no han sufrido variación alguna. No obstante, en las medidas de resistencia dinámica sí que se han producido grandes variaciones. En concreto durante la campaña se han realizado dos test distintos de medida de la resistencia dinámica. El primero, se ha realizado en cada una de las paradas de radiación y consiste en un test de dos pulsos, realizado a una única tensión de estrés de drenador (400 V) con un tiempo previo de estrés (60 s) y dos pulsos consecutivos de 200 μ s de conducción con 10 μ s de bloqueo entre pulsos, tal y como se muestra en la *Figura 63*.

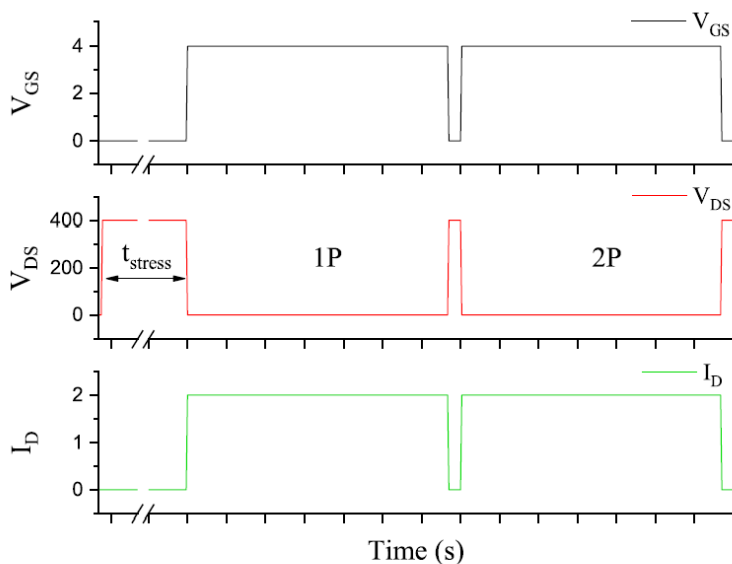


Figura 63 Secuencia de pulsos realizada durante la medida de la resistencia dinámica.

Los resultados de este ensayo son diferentes en los dispositivos p-GaN comparados con los GaN MISHEMT. Mientras que los p-GaN no sufren variación, independientemente del tipo de polarización aplicada y se obtiene un resultado como el obtenido en la Figura 64. Sin embargo, los dispositivos GaN MISHEMT tienen un comportamiento distinto dependiendo del tipo de polarización aplicado. Los resultados para el GaN MISHEMT se muestran en la Figura 65 y Figura 66.

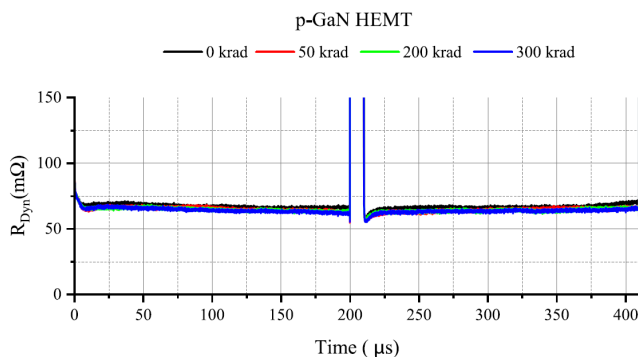


Figura 64 Resultados de resistencia dinámica obtenidos en un dispositivo p-GaN radiado con tensión aplicada en drenador.

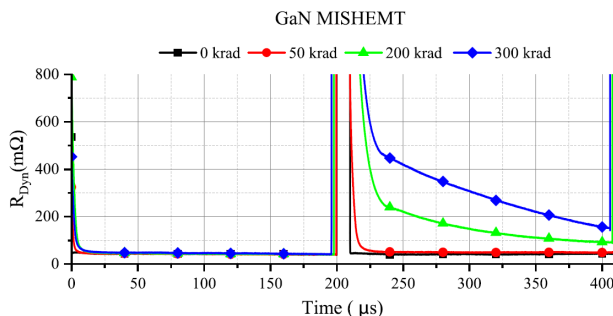


Figura 65 Resultados de resistencia dinámica obtenidos en un dispositivo MISHEMT radiado con 400 V aplicados en drenador.

Capítulo 5. Resultados

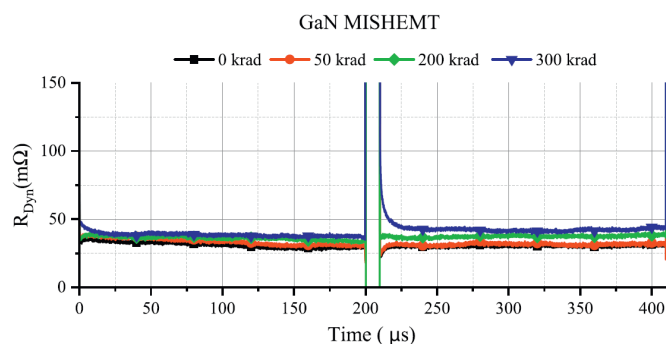


Figura 66 Resultados de resistencia dinámica obtenidos en un dispositivo MISHEMT radiado con los pines cortocircuitados.

De los resultados mostrados en las imágenes anteriores se obtienen varias conclusiones. La primera de ellas es que los dispositivos p-GaN han demostrado ser más robustos ante radiación. En estos, independientemente del tipo de polarización aplicada durante la radiación, los dispositivos se han mostrado completamente invariables. Por otro lado, los dispositivos MISHEMT, sí que se han visto afectados por la radiación. Además, la radiación afecta de manera diferente dependiendo del tipo de polarización aplicada. En estos dispositivos la tensión aplicada en drenador provoca la degradación de la resistencia dinámica de una forma considerable, en el segundo pulso aplicado. Esto significa que la radiación sumada a los 400 V aplicados afecta negativamente al dispositivo, y sobre todo afecta al atrapamiento producido durante las conmutaciones, ya que la variación se produce principalmente en el segundo pulso.

Para poder determinar el tiempo de vida de la degradación producida, se ha realizado test de recocido. Estos test consisten, en un primer paso, dejamos 48 horas el dispositivo a temperatura ambiente y volvemos a realizar las mismas medidas. Y posteriormente aplicamos una temperatura de 100 °C a los dispositivos durante 168 horas y volvemos a realizar las mediciones. Estos resultados se muestran en Figura 67 donde se aprecia que el primer recocido sin temperatura aplicada no tiene ningún efecto sobre el dispositivo. Sin embargo, la temperatura aplicada durante el segundo recocido reduce la resistencia dinámica

causada por la radiación. Aun tras este recocado podemos apreciar una degradación permanente del dispositivo tras la radiación.

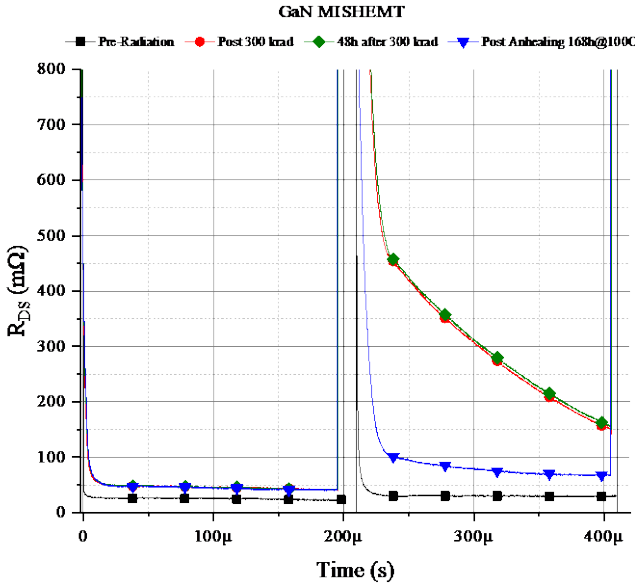


Figura 67 Resultados de resistencia dinámica obtenidos en un dispositivo MISHEMT radiado con 400 V aplicados en drenador.

Los resultados de esta campaña de radiación con baja dosis muestran una enorme robustez de los dispositivos GaN frente a radiación, principalmente los que usan estructura HD-GIT, cuyas características estáticas como medidas de resistencia dinámica permanecen invariables tras la radiación. Sin embargo, en el caso de los dispositivos MISHEMT a pesar de no haber sufrido variaciones en las características estáticas, sí que se aprecia un aumento de la resistencia dinámica importante tras la radiación. Este aumento además tiene lugar principalmente en el segundo pulso medido.

Otros autores han concluido que el uso de un aislante en puerta presenta la ventaja de una menor corriente de puerta, pero puede reducir la fiabilidad cuando los dispositivos son irradiados. En concreto en este transistor se aprecia un gran aumento de la resistencia dinámica en el segundo pulso que al no existir en el primero, nos indica que es producido por electrones calientes que tienen lugar en las

Capítulo 5. Resultados

conmutaciones. Estos electrones calientes se atrapan en las zonas del dispositivo que han sufrido una degradación debido al atrapamiento de huecos provocado por la radiación junto al atrapamiento de electrones producido por el alto campo eléctrico aplicado durante la radiación. Según Sun et al [19], ambos efectos pueden tener lugar, y el dominante dependerá de las condiciones de irradiación y la tensión de estrés aplicada.

Por otro lado, la segunda campaña, correspondiente a la contribución Nº 6, se llevó a cabo con una tasa de dosis alta con el mismo foco de radiación gamma Co^{60} . La tasa de dosis seleccionada fue de 23.742 krad (Si) / h, que está dentro de la ventana de "tasa estándar" (0.36–180 krad (Si) / h) de la ESA. En este caso, el número de paradas durante la radiación a realizar debía de ser menor por el tiempo necesario para realizar las medidas entre pasos. Por este motivo, se redujo el número de medidas, caracterizando mediante el trazador solo la transconductancia y las fugas. Además, visto el efecto que la tensión de polarización puede tener sobre la degradación final del dispositivo, hemos añadido dispositivos con un tercer parámetro que es la tensión negativa en puerta. De este modo tenemos dispositivos con los pines cortocircuitados, dispositivos con tensión únicamente en drenador de 400 V y dispositivos con tensión en puerta de -5 V.

La medida de la tensión umbral extraída de la curva de transconductancia muestra como los dispositivos GaN MISHEMT (Figura 68) que tenían los pines cortocircuitados sufren una variación negativa de la tensión umbral mientras que los dispositivos con tensión aplicada sufren una variación positiva. Además, todos ellos recuperan prácticamente su estado inicial tras la radiación. En el caso de los dispositivos p-GaN podemos ver que no sufren variación en ninguna de las dosis de radiación. La variación negativa de la tensión umbral se puede explicar mediante huecos atrapados en el dieléctrico de puerta o en la interfaz con el AlGaIn mientras que la variación positiva es debido al atrapamiento de electrones que tiene lugar a la vez que los huecos. El atrapamiento de electrones generados, primero neutraliza los huecos generados por la radiación y posteriormente provoca el desplazamiento positivo de la V_{TH} .

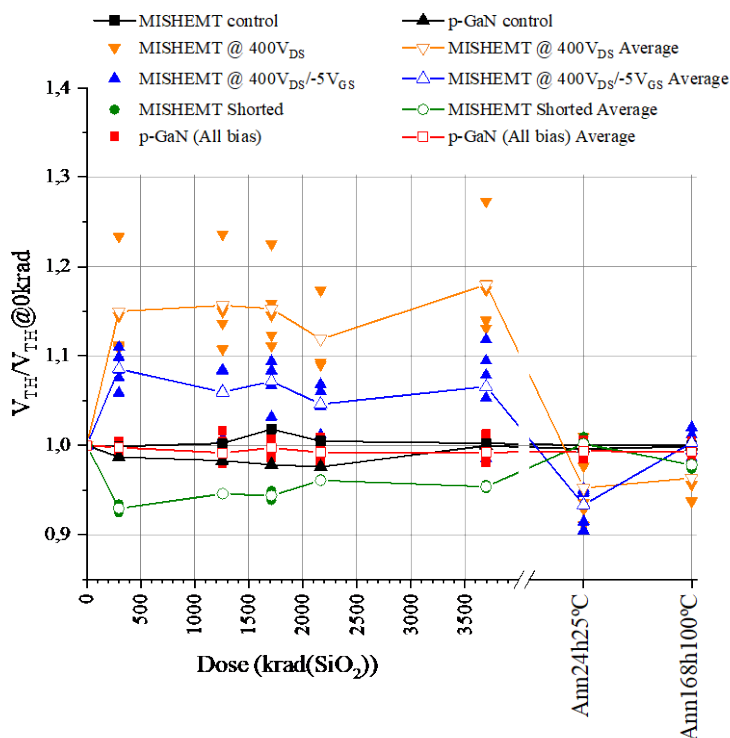


Figura 68 V_{th} medida para todos los dispositivos y dosis aplicadas

De la curva de transconductancia también se obtiene otro parámetro que es la corriente de puerta. En nuestro caso, para esta medida hemos definido un nivel de tensión umbral, pero en lugar con la corriente de drenador, con la corriente de puerta. Esto se muestra en la Figura 69 aquí se aprecia como esta tensión umbral de puerta, relacionada con el desplazamiento de la corriente de puerta, ha disminuido enormemente tras la radiación en todos los dispositivos GaN MISHEMT mientras se mantiene constante en los dispositivos p-GaN. Pero además en los dispositivos MISHEMT con tensión negativa aplicada en puerta la variación es aproximadamente el doble comparado con el resto de dispositivos MISHEMT. Este aumento de la corriente de puerta para tensiones bajas de V_{GS} se puede explicar por un aumento de los electrones atrapados en la región bajo la puerta, debido a una reducción de la barrera para el atrapamiento de electrones debido a la tensión negativa aplicada en puerta durante la radiación.

Capítulo 5. Resultados

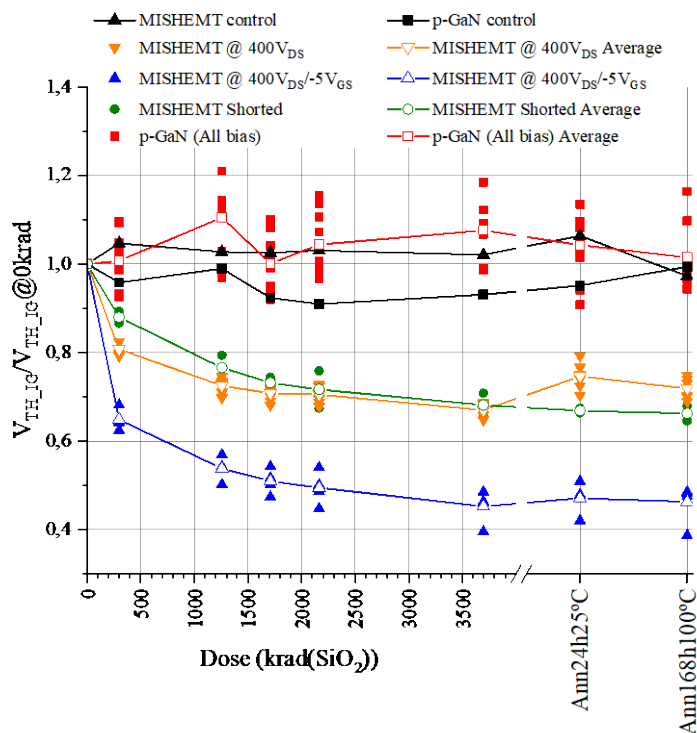


Figura 69 V_{th_ig} medido cuando la corriente de puerta pasa por encima de $2 \mu A$ para todos los dispositivos y dosis aplicadas

En la medida de la corriente de fugas en drenador (Figura 70) los dispositivos p-GaN sufren una leve variación, sin embargo, en los dispositivos MISHEMT se produce un aumento enorme de la corriente de fugas en drenador, pero además se aprecia como los dispositivos con tensión negativa aplicada en puerta durante la radiación se aprecia que este aumento es mucho menor. El aumento provocado puede ser explicado con la degradación en puerta vista en la medida anterior. La menor capacidad para cortar al dispositivo es provocada por el atrapamiento de huecos en la zona de puerta, en el caso de los dispositivos con tensión negativa el atrapamiento de huecos se ve compensado con el atrapamiento de electrones en esa zona por la tensión aplicada en puerta. Esto hace que el número de huecos libres sea menor y por tanto corriente de fugas en drenador también lo sea.

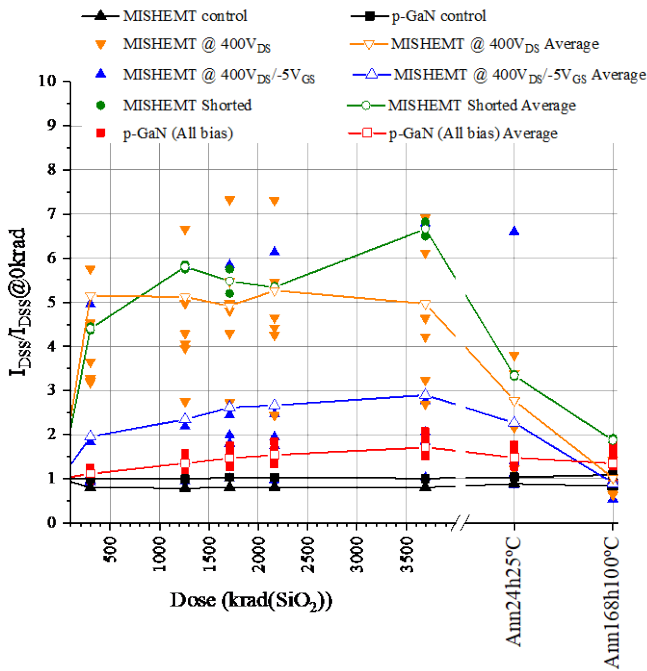


Figura 70 Corriente de fugas de drenador para todos los dispositivos y dosis aplicadas

Por último, se evaluó la resistencia dinámica de los dispositivos tras la radiación. Los dispositivos p-GaN se han mantenido sin variación alguna sobre la resistencia dinámica, mientras que los dispositivos MISHEMT han sufrido variación, pero únicamente cuando tienen tensión aplicada en drenador y puerta, esto se muestra en la Figura 71. En el caso de los dispositivos con solo tensión aplicada en drenador o sin tensión aplicada durante la radiación se muestran en la Figura 72.

En este dispositivo se ve, que no solo la resistencia dinámica no ha aumentado, si no que se ha reducido tras la radiación, en los dispositivos que ya presentaban una resistencia dinámica previa. En esa figura se muestra además el test de resistencia dinámica multipulso, donde se aprecia que tras la radiación la tensión necesaria para que se aprecie la resistencia dinámica ha aumentado.

Capítulo 5. Resultados

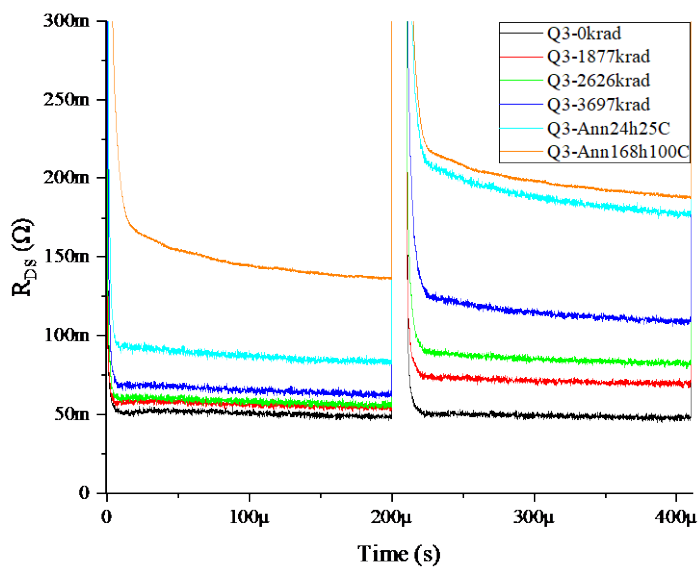
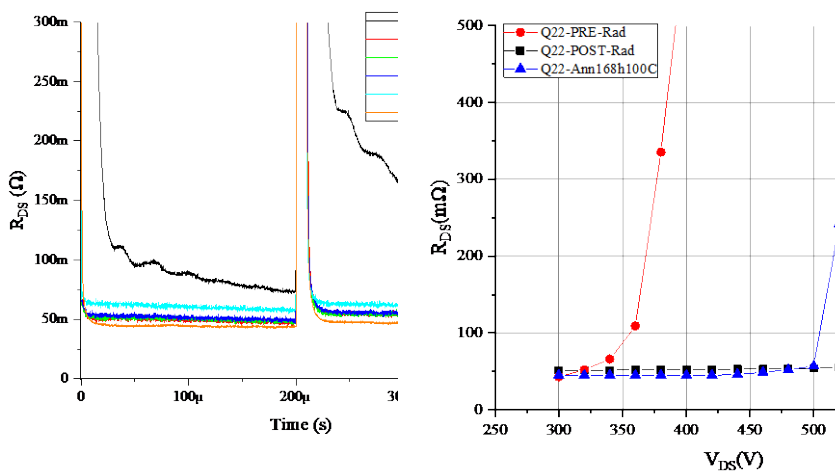


Figura 71 Medida de resistencia dinámica para uno dispositivo con tensión aplicada en puerta y drenador para todas las dosis de radiación.



(a)

(b)

Figura 72 Medida de resistencia dinámica de GaN MISHEMT sujeto únicamente a tensión de drenador durante la radiación: a) medida de doble pulso a 500 V y b) medida de múltiple pulso.

Estos resultados se pueden explicar mediante la degradación de la puerta por el atrapamiento de huecos. Estos huecos provocan que la capacidad de corte de la puerta disminuya, aumentando la corriente de fugas como hemos visto en la Figura 70 y provocando que el canal sea capaz de conducir más corriente con una tensión de puerta menor. Esto hace que la resistencia dinámica no se aprecie, debido a que el canal se encuentra más abierto, por lo que es necesario aumentar la tensión de drenador y por tanto el atrapamiento para apreciar el aumento de la resistencia dinámica.

En el caso de los dispositivos MISHEMT con tensión aplicada en drenador y puerta el atrapamiento de electrones en la zona de puerta se opone a la generación de huecos, haciendo no solo que la resistencia dinámica no disminuya sino provocando un aumento de la resistencia dinámica por el atrapamiento adicional de electrones.

Como conclusión, podemos ver que los dispositivos HD-GIT siguen siendo más robustos para tasas de radiación altas. Además, vemos que el efecto de la tasa de dosis alta, es distinto, y provoca una enorme degradación de la puerta.

Los resultados obtenidos confirman la relevancia de la estructura usada, ya que los dispositivos HD-GIT permanecen invariables incluso a tasas de radiación muy altas como las aplicadas en este ensayo, mientras que el MISHEMT ha sufrido diversos cambios. Atribuimos esta diferencia principalmente a dos fenómenos. El primero es la eliminación de trampas dentro del dispositivo HD-GIT gracias a la estructura con la región p-GaN cerca de drenador. El segundo factor es el uso de un aislante en el dispositivo MISHEMT, este aislante mejora el comportamiento de la puerta haciendo que las fugas en puerta en condiciones normales sean menores, pero en entornos de radiación puede provocar una reducción de la fiabilidad.

En este estudio el dispositivo GaN MISHEMT ha demostrado un comportamiento distinto dependiendo del tipo de polarización aplicada. En el caso de los dispositivos con los pines cortocircuitados durante la radiación se produce un atrapamiento de huecos en el aislante. Este atrapamiento de electrones provoca el desplazamiento negativo de la tensión umbral un incremento de la corriente de fugas

Capítulo 5. Resultados

de drenador y un aumento de la corriente de puerta junto con la reducción de la R_{ON_dyn} favorecido por el aumento de la corriente de fugas [71]. La segunda condición de polarización estudiada fueron los dispositivos sometidos únicamente a tensión en drenador. Estos dispositivos sufren dos fenómenos, el daño al aislante generando atrapamiento de electrones como los dispositivos cortocircuitados que explica el mismo aumento en la corriente de fugas, corriente de puerta y disminución de la R_{ON_dyn} . Sin embargo, el movimiento positivo de la tensión umbral que se aprecia en estos dispositivos es debido al segundo efecto que tiene lugar que parece ser el atrapamiento de electrones en la superficie.

Por último, los dispositivos con tensión negativa aplicada sufren además de atrapamiento de electrones bajo la puerta, que compensa parcialmente a la degradación del aislante y provoca el atrapamiento adicional de electrones, llevando a un gran aumento de la resistencia dinámica.

Capítulo 6

Conclusiones y trabajos futuros

La caracterización de dispositivos GaN HEMT llevada a cabo en esta tesis muestra un futuro prometedor para estos dispositivos. Si bien es verdad que todavía se mantienen muchos problemas de la tecnología, estos han ido mejorando, llegando a tener hoy día dispositivos comerciales que han superado parte de esos problemas.

En cuanto a la resistencia dinámica, que es uno de los problemas más conocidos por estos dispositivos desde los inicios de su investigación, podemos afirmar que algunos fabricantes han logrado estructuras muy prometedoras como el conocido como HD-GIT de Panasonic. La fabricación por tanto de estos dispositivos libres de atrapamiento de cargas que generen resistencia dinámica es un avance muy importante de la tecnología que parece cumplir las expectativas de superar a sus homónimos de Silicio y SiC en determinadas aplicaciones. No obstante, todavía siguen existiendo estos problemas de trampas en dispositivos comerciales. Además, hemos demostrado en esta tesis que esas trampas que desde los comienzos de la tecnología de los HEMT de GaN estaban principalmente atribuidas a la tensión aplicada al dispositivo, no es la realidad hoy en día. Si bien es verdad que la tensión aplicada a los dispositivos genera atrapamiento, este atrapamiento tiene influencia sobre la resistencia dinámica cuando esta tensión se aplica durante tiempos mayores a 500 ms. Estos tiempos están muy lejos de las aplicaciones en las que se espera usar los dispositivos, por lo que la importancia de este atrapamiento es relativa. Sin embargo, hemos demostrado en esta tesis un atrapamiento mucho

más relevante. Este atrapamiento tiene lugar en las conmutaciones. En cada conmutación tenemos una energía debida al solape tensión corriente, este solape genera atrapamiento en los GaN HEMT y hemos demostrado en esta tesis su existencia en los dispositivos comerciales actualmente, y además hemos demostrado también, que el hecho de utilizar conmutaciones suaves evita estos problemas. Esto nos hace tener una buena perspectiva sobre los dispositivos, pero a su vez consideramos necesario como trabajo futuro el estudio de este comportamiento dentro de una aplicación real.

Siguiendo con esta línea de buenos resultados, el comportamiento de los dispositivos en cortocircuito ha sido muy bueno. En esta tesis se ha demostrado la existencia de dos roturas distintas en ambas estructuras utilizadas. La primera rotura, es la más estudiada en la literatura y que está presente en todos los dispositivos de otras tecnologías como Silicio y SiC. Esta rotura es una rotura térmica del dispositivo que se produce debida a la energía que la oblea se ve obligada a disipar, en este caso de cara a la aplicación el interés está en saber cuánto tiempo es capaz de soportar un dispositivo el estrés de este cortocircuito. Cuanto más tiempo sea capaz de soportar, más sencilla es la detección del cortocircuito para poder actuar. En este sentido, los dispositivos GaN HEMT son prometedores, ya que su resistencia aumenta mucho con la temperatura de la oblea. Esto hace que cuanto más se caliente, más se reduce la corriente de saturación y menores son las pérdidas que este debe disipar. En este sentido ambas estructuras estudiadas tienen unos tiempos de soportar cortocircuitos muchos mayores a $10 \mu\text{s}$, lo cual es un tiempo más que suficiente para poder detectar el fallo y poder actuar desde el circuito de protección y control sin que se produzca la rotura. Sin embargo, a pesar de estos buenos resultados, los dispositivos han demostrado otra rotura mucho más preocupante y que hemos denominado rotura prematura. Esta rotura, se produce cuando el cortocircuito tiene lugar con una muy alta tensión de drenador y es muy preocupante porque es capaz de romper al dispositivo en menos de $1 \mu\text{s}$. El motivo de la rotura es el fenómeno conocido como hot-electron, que está muy relacionado con la poca maduración de la tecnología y la existencia de defectos en la estructura del dispositivo. Este fenómeno es más preocupante en los dispositivos que mayor resistencia dinámica presenta, al fin y al cabo, son

Capítulo 6. Conclusiones y trabajos futuros

fenómenos relacionados y es una rotura que esperamos pueda ser resuelta en el futuro mediante la mejora de procesos de fabricación.

Por otro lado, un problema que consideramos el más crítico de los estudiados es la rotura por sobretensión. Este estudio lo hemos realizado mediante test de avalancha. Si bien es verdad que la avalancha no es un fenómeno que se produzca en los GaN HEMT actuales debido a la inexistencia de una unión p-n que se pueda polarizar inversamente entre drenador y surtidor. Por tanto, cuando un dispositivo GaN HEMT sufre una sobretensión en drenador la energía que pueden soportar es muy pequeña comparada con sus competidores. Esto hace que, en muchas aplicaciones, donde los eventos de sobretensión son comunes, estos dispositivos no pueden ser usados por el momento. Además, no es algo que por el momento este cerca de solucionarse, ya que ningún dispositivo comercial muestra una gran capacidad de sobretensión. De cara al futuro, nos planteamos en este sentido investigar buenos métodos de mejorar la capacidad de sobretensión de los dispositivos GaN HEMT mediante circuitos auxiliares que no empeoren sus características dinámicas y la capacidad de conmutar a alta frecuencia.

Por último, esta tesis ha estudiado el comportamiento de estos dispositivos en entornos de radiación. Los resultados han sido buenos, ambos dispositivos han demostrado una buena robustez en este tipo de entornos hasta grandes dosis de radiación. Sin embargo, vuelve a ocurrir que los dispositivos que presentan un mejor comportamiento de la resistencia dinámica, también muestran comportarse mejor ante dosis altas de radiación mostrándose prácticamente inmunes frente a la misma. Además, los cambios que se han producido en los dispositivos tras radiación están relacionados con la existencia de trampas o defectos.

Por tanto, si bien es cierto que el objetivo de la tesis era el estudio por separado de los efectos de atrapamiento (resistencia dinámica), la robustez de los dispositivos (cortocircuito y avalancha) y el comportamiento en entornos de radiación, con el objetivo de tener una visión global de estos dispositivos en la actualidad, los resultados obtenidos nos muestran estar más relacionados de lo que podríamos esperar antes del estudio. Hemos visto que todos los problemas que

pueden presentar estos dispositivos están relacionados con los defectos estructurales de los mismos. Estos defectos están relacionados en gran parte con la madurez de la tecnología y los procesos de fabricación y es de esperar que vayan mejorando con el paso del tiempo, hasta obtener dispositivos comerciales que compitan con la emergente tecnología de SiC en un amplio rango de aplicaciones.

Anexo 1. Publicaciones

Artículo 1:

“Multi-pulse characterization of trapping/detrapping mechanisms in AlGaN/GaN high electromobility transistors”.

P J Martínez, E Maset, D Gilabert, E Sanchis-Kilders.

Semiconductor Science and Technology.

Vol 34, N° 10. doi: 10.1088/1361-6641/ab3fe8, Sept. 2019

Multi-pulse characterization of trapping/detrapping mechanisms in AlGaIn/GaN high electromobility transistors

P J Martínez, E Maset , D Gilibert and E Sanchis-Kilders

University of Valencia, Department of Electronic Engineering, E-46100 Burjassot, Spain

E-mail: Enrique.maset@uv.es

Received 18 April 2019, revised 19 August 2019

Accepted for publication 30 August 2019

Published 23 September 2019



CrossMark

Abstract

GaN high-electro mobility transistors (HEMTs) are among the most promising candidates for use in high-power, high-frequency, and high-temperature electronics owing to their high electrical breakdown threshold and their high saturation electron velocity. The applications of these AlGaIn/GaN HEMTs in power converters are limited by the surface trapping effects of drain-current collapse. Charge-trapping mechanisms affect the dynamic performance of all GaN HEMTs used in power switching applications. This study analyzes the dynamic resistance of GaN HEMTs and finds that the effects of dynamic resistance can be suppressed by controlling switching conditions and on-off cycles.

Keywords: AlGaIn/GaN HEMT, semiconductor device reliability, dynamic on-resistance

(Some figures may appear in colour only in the online journal)

1. Introduction

Wide-bandgap (WBG) power semiconductors have been researched intensively in recent years because of their theoretically promising advantages. WBG semiconductors can withstand high voltages per unit area. However, the WBG is also related to a reduction of the channel width, which reduces the drain-source on-state device resistance ($R_{DS(ON)}$), so these semiconductors can be used to produce devices that can withstand higher voltages with lower $R_{DS(ON)}$. In addition, the higher electron saturation velocity of these materials increases the maximum switching frequency, which allows higher system frequencies with lower losses and reduces the size of the reactive components in the power converter. The other great advantage of these semiconductors is their potential for operating at higher temperatures owing to the low intrinsic carrier concentration, which could make them suitable for use in harsh environmental conditions [1–3].

Nowadays, the main two WBG semiconductors that have been used to replace Si are GaN and SiC. SiC devices have proven even more reliable than Si devices [4, 5]. The reliability of GaN transistors, however, has not yet been fully clarified. GaN devices have developed more slowly because

of the need for lateral structures. Lateral structures like the high-electro mobility transistor (HEMT) transistor use heterostructures to form a two-dimensional electron gas (2DEG), which yields a faster device with lower on-resistance. However, these structures are difficult to manufacture owing to the likelihood of mismatched lattices in the junction between the different materials forming the heterostructure. If the lattices are not matched, electrons can become trapped, a phenomenon known as dynamic resistance or current collapse. This trapping reduces the current that the devices can drive below the device's rated current.

Many studies in the literature have examined trapping in GaN HEMTs. In [6, 7] the three dominant mechanisms of trapping are explained; two are caused by bias conditions, one on the drain and the other on the gate. The third relevant mechanism is hot electron trapping, which arises in the semi-on condition during switching events. References [8, 9] consider the temperature of the material under different stresses and conditions, with various current during the test, off-state stress time, frequency, and gate voltage. Other reports have focused on hot electron trapping, which occurs during switching events [10–12].

Table 1. Parameters of the investigated GaN HEMTs.

	Symbol	GaN MIS-HEMT GS66508P	p-GaN HEMT PGA26E07BA
Drain-to-source breakdown voltage	BV_{DSS}	650 V	600 V
Continuous drain current ($T_c = 25^\circ\text{C}$)	I_D	30 A	26 A
Drain-to-source ON resistance ($T_j = 25^\circ\text{C}$)	$R_{DS(ON)}$	$50\text{ m}\Omega^a$	$56\text{ m}\Omega^b$
Input Capacitance (1 MHz, 400 V)	C_{iss}	168 pF	405 pF
Total Gate Charge	Q_G	5.8 nC	5 nC

^a Measured at 9 A.^b Measured at 8 A.

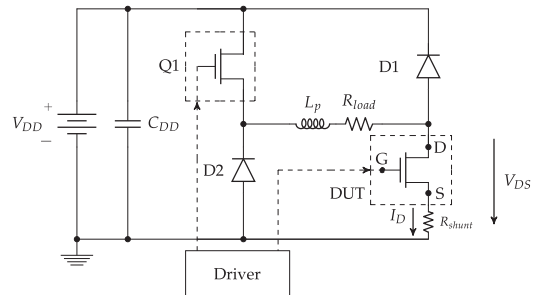
The present study addresses the dynamic resistance of commercial GaN HEMTs, using soft and hard switching conditions to identify novel detrapping mechanisms during the off-state when subjected to voltage bias stress. Designers need to understand this mechanism because it shows that dynamic resistance can be eliminated by using techniques such as soft switching and controlled frequency conditions.

2. Experimental methods

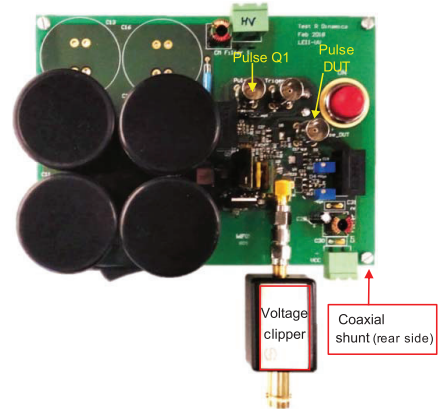
We tested commercially available normally-off HEMTs made from AlGaIn/GaN on Si substrate, rated at 600 V. Two different devices were selected so we could compare two different structures. We chose the Panasonic hybrid-drain-embedded gate injection transistor (HD-GIT) structure, which is supposed to prevent current collapse [13], and the second is the GaN metal-insulator-semiconductor HEMT (MISHEMT) manufactured by GaN Systems Inc. Table 1 summarizes the key parameters of the devices.

For the measurement of dynamic resistance, we implemented a setup designed specially to fully control the time at which voltage stress is applied to the device under testing (DUT). This setup also allows us to reproduce soft switching conditions, as will be shown later. Figure 1 shows the circuit schematic based on the same asymmetric half-bridge configuration as the one used in [14] and the hardware setup for testing. For the top transistor (Q1) a SiC MOSFET was used in to give a low output capacitance; this feature limits the amplitude of current peaks following the charge and discharge of the parasitic output capacitance of the transistor. For electrical measurements, we used a shunt resistor of $98\text{ m}\Omega$ (SDN-414-10) to measure the current and the voltage was measured with a passive voltage probe (PP018 300 V and 500 MHz from Lecroy).

Owing to the high voltage applied to the DUT, the voltage across the device has a large dynamic range that can overload the oscilloscope input amplifier, so the on-state voltage cannot be determined accurately. To avoid this problem, a voltage clamp circuit was used together with a passive voltage probe. The commercial clp1500V15A1 voltage clamp from Springburo GmbH was used. The low range (2 V) was selected in the voltage clipper to give a fast response of 100 ns, which is affected by the passive voltage probe and the voltage clipper. Precise frequency-response compensation was applied in the passive voltage probe to compensate for



(a)



(b)

Figure 1. (a) Circuit diagram for dynamic resistance measurements. (b) Test set-up.

the whole measurement chain of the clipper and voltage probe. To control the DUT on-time, the generic SI8271BB isolated MOSFET driver from Silicon Labs was used.

3. Experimental results

To evaluate the different mechanisms that induce an increase of the dynamic resistance, various measurements were taken. First, the off-state voltage stress was evaluated with single-pulse

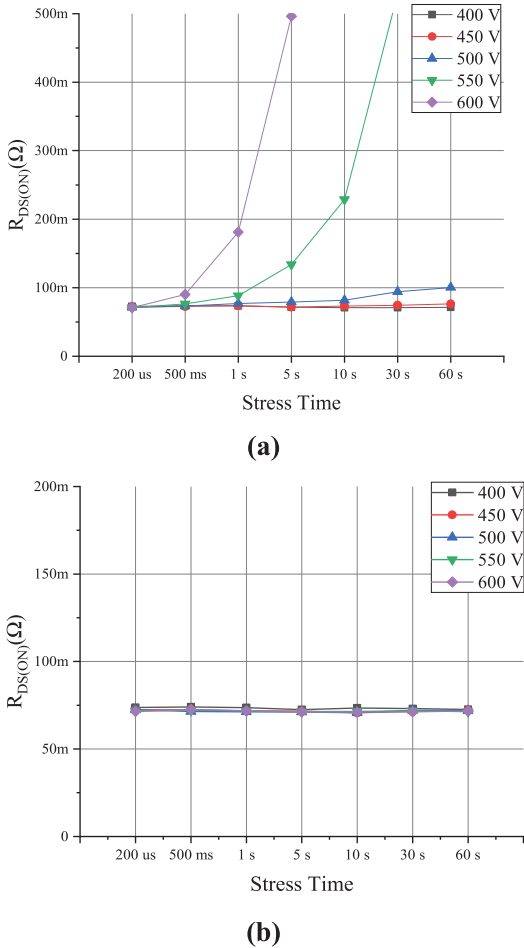


Figure 2. Single-pulse measurements of dynamic resistance with varying off time for different applied V_{DS} and 10 μ s on-time for (a) GaN MISHEMT and (b) p-GaN HEMT.

measurements; then multiple-pulse measurements were taken to evaluate electron trapping during switching events.

3.1. Single-pulse measurements

The single-pulse measurements require varying the off-time with a constant on-time of 10 μ s with $V_{GS} = 4$ V. The gate voltage is used to indicate any change in the dynamic resistance due to the behavior of traps that act like virtual gates [15]. When using a higher gate voltage, higher currents need to be used to see the influence of traps on dynamic resistance. Instead, we have chosen a lower gate voltage that allows us to see the effects of dynamic resistance with lower currents, which minimizes self-heating in the devices. The results for the GaN MISHEMT and p-GaN HEMT are shown in figure 2. The plotted value is an average of the recorded

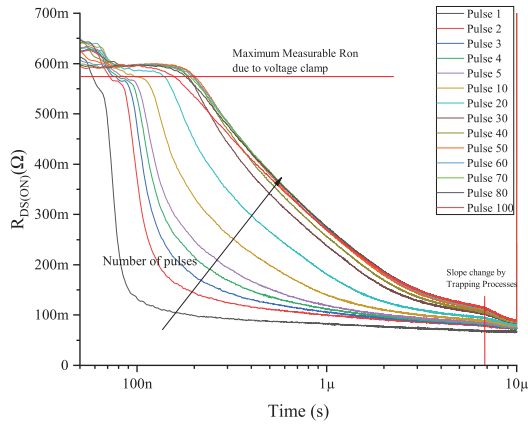
measurements between 1 and 9 μ s, and we performed this test for V_{DS} ranging from 400 to 600 V.

In figure 2(a), one can observe an increase of dynamic resistance in the GaN MISHEMT device as both the voltage and stress time increase. However, the stress time starts to have more of an effect once it exceeds 500 ms. Therefore, the dynamic resistance stays nearly constant for times less than 500 ms for all the drain voltages applied, which will be irrelevant in most applications. Meanwhile, the p-GaN HEMT did not show any increase in resistance for all the times and voltages we applied. Based on these results, we can confirm that the GIT structure with a p-doped region near the drain effectively releases trapped charges. In contrast, off-state voltage stress trapping clearly affects the GaN MISHEMT devices. This trapping originates in the increased injection of electrons from the gate-drain access regions, owing to the high negative gate-drain voltage, and/or from substrate injection into the buffer due to the flow of drain-bulk vertical current [6].

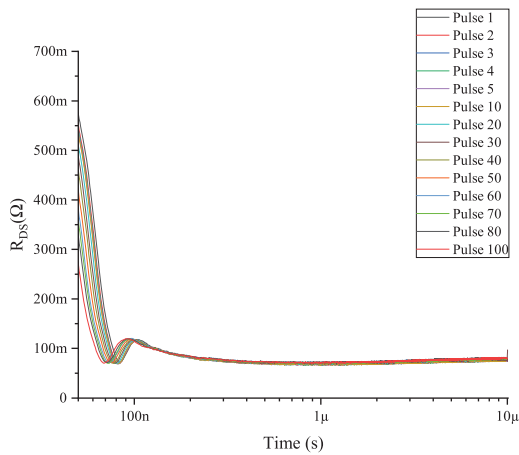
3.2. Multiple-pulse measurements

The results in figure 2 show how the drain voltage stress influences dynamic resistance. One of the structures has high dynamic resistance, but the times required to see any change in dynamic resistance are so long that this observation will not be practical for most applications. The next tests used multiple-pulse measurements, which are necessary in GaN HEMT devices because the semi-on state caused by the combination of high drain voltage (V_{DS}) and high drain current (I_{DS}) during switching events can greatly increase the dynamic resistance due to the injection of hot electrons from the channel into the buffer or gate-drain surface [6]. To evaluate this increase in dynamic resistance, a test sequence of 100 pulses with 200 μ s off and 10 μ s on was performed. The results are shown in figure 3 for GaN MISHEMT and p-GaN HEMT. Note that the results of these multiple-pulse tests and the single-pulse test cannot be compared because the mechanisms of trapping are different so the dynamic resistance behavior will be also different.

As is shown in figure 3(a), the dynamic resistance increases with the number of pulses as it stabilizes beyond a certain number of pulses, around 30 pulses in the case of GaN MISHEMT. Two features of these results call for analysis. First is the increase in dynamic resistance, which cannot be due to the applied drain voltage stress since we have shown that the applied voltage stress is irrelevant for times lower than 500 ms in this DUT. Therefore, the increase must be related to hot electron trapping as mentioned in [11]. Second, we need to understand the stabilization of dynamic resistance. This stabilization is due to the accumulation of trapped charges that are de-trapped during the on-state. When the hot electron trapping is balanced by this de-trapping during the on-state, the device reaches a steady-state dynamic resistance. Despite the increase of resistance between pulses, the resistance is decreasing during the on-state of each pulse. This is a common behavior in GaN HEMTs. During the on-time the barrier energy level of the traps is lower, so that traps can be



(a)



(b)

Figure 3. Dynamic resistance measurements applying 100 pulses with 200 μ s off and 10 μ s on with $V_{DS} = 550$ V for (a) GaN MISHEMT and (b) p-GaN HEMT.

recombined and flow through the channel, reducing the resistance. The change in the slope of the dynamic resistance is marked with a red line in figure 3. The rate of this decrease during the on-state depends on the different activation energies of the traps, which mostly depends on the location of the traps [7, 16]. The constant values over 575 m Ω at the start of each pulse are false values that are introduced by the voltage clipper that clamps the voltage to 1.6 V. The current through the DUT in that case is 2.75 A, as it is forced by the 550 V applied over the fixed on-state resistance of 200 Ω .

Meanwhile, in the single-pulse measurements of p-GaN HEMTs, the dynamic resistance does not increase along with the number of pulses, as shown in figure 3(b). This behavior confirms the benefit of the GIT structure, in which the p-doped region near the drain introduces holes to that region

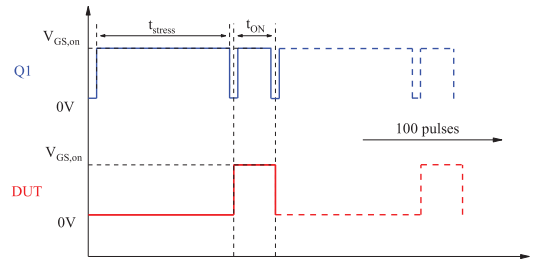


Figure 4. Gate pulse configuration for soft switching conditions.

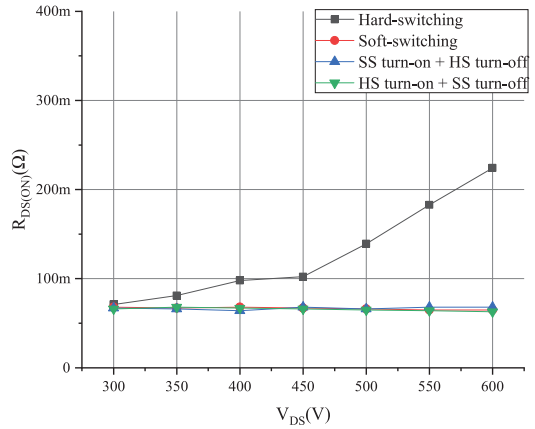


Figure 5. Comparison of hard and soft switching measurements varying drain voltage applied in GaN MISHEMT with 100 pulses of 200 μ s off-state and 10 μ s on-state. Measuring resistance at pulse 100.

that effectively release the trapped electrons [17]. Because dynamic resistance does not arise in multiple or single pulses in the p-GaN HEMT, the rest of the tests only evaluated in GaN MISHEMT devices.

The increase in dynamic resistance in the GaN MISHEMT is based on hot electron trapping during switching events. To test this hypothesis, we also tested the MISHEMT devices under soft switching conditions. These conditions are achieved with the gate pulses plotted in figure 4. With this pulse configuration, we have zero voltage switching in the turn-on transition and zero current switching in the turn-off transition.

The test was repeated for all the drain voltages and switching times that were tested in the hard switching tests, but now with soft switching transitions in both on and off-states. The dynamic resistance was measured using a pulse with on-state of 10 μ s and off-stress time of 200 μ s, taking the average value between 1 and 9 μ s. The results are shown in figure 5, and demonstrate that dynamic resistance does not occur with soft switching transients. Also, we find that using soft switching in only one of the switching transitions gives no increase in the dynamic resistance independently of the

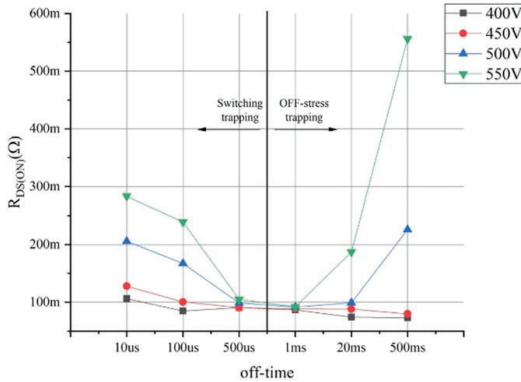


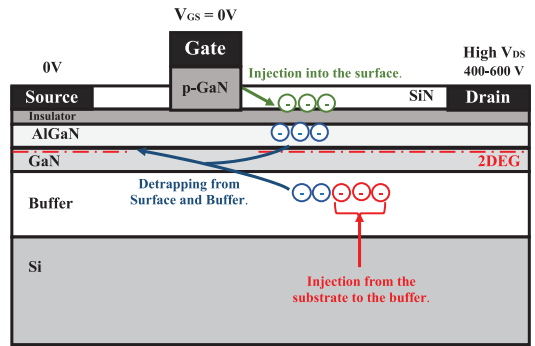
Figure 6. Dynamic resistance measurements over 100 pulses with hard switching varying the off-state time and stress voltage with constant on-time of 10 μ s.

drain voltage applied. This demonstrates that trapped charges must accumulate in hard switching events to induce a measurable increase in the dynamic resistance. Therefore, a hard turn-off transition would need to be followed by a hard turn-on to induce a measurable increase in dynamic resistance. Otherwise, the dynamic resistance will not increase, as shown in figure 5. Perhaps charges trapped by hot electrons during one switching event are de-trapped during the on-state, and not enough remain to increase the dynamic resistance if one of the switching transitions is soft. Moreover, when using hard switching with drain-source voltages lower than 300 V, soft or hard switching conditions yield the same behavior.

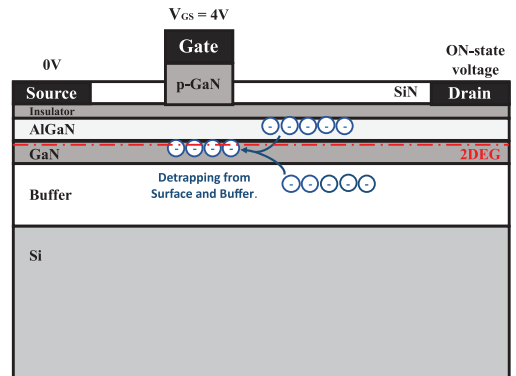
When the device is in the semi-on state with high voltage and high current stress applied simultaneously, GIT occurs and the electrons in the 2DEG are accelerated by the field and injected into the AlGaN barrier defects or the buffer near the channel [6].

These measurements give evidence for two different trapping mechanisms. One is induced by the voltage stress applied during the off state and begins to have relevant effects with off-state times higher than 500 ms. The second trapping mechanism is hot electron trapping during the switching events if hard switching is used. Aiming to evaluate how the off-time affects hot electron trapping, we have performed more tests with multiple pulses varying the off-time but keeping the on-time of the DUT constant at 10 μ s, recording the average value of $R_{DS(ON)}$ between 1 and 9 μ s. The amount of charges removed during the on-time must be kept constant so we can observe the effects of the off-time. The results are shown in figure 6.

For the results shown in figure 6, the number of pulses was kept constant (100 pulses) for all test conditions, so the hot electron trapping is the same in all cases. Therefore, the resistance should be constant or even increasing during the off-times owing to the accumulation of traps caused by hot electrons and voltage stress. However, the resistance decreases between 10 μ s and 1 ms, and this reduction can only be explained by de-trapping during the off-state driven by hot electrons during the switching



(a)



(b)

Figure 7. Schematic of lateral GaN MISHEMT structure to illustrate the trapping effects (a) during the off-state after semi-on state and (b) during on-state after off-state and semi-on state. Trapping due to the applied off-state voltage stress (green and red) and de-trapping of hot-electron traps during switching (blue) are shown.

events. In addition, for off-times greater than 1 ms, the resistance increases because with this longer off-time, trapping due to the applied voltage stress becomes relevant.

Therefore, when multiple pulses are applied, voltage-stress trapping coexists with de-trapping from the hot-electron traps. These phenomena are in opposition. The first is a reduction of dynamic resistance due to de-trapping of electrons that are injected into the AlGaN barrier or buffer near the channel during the semi-on state. The second is trapping by the injection of electrons from the gate-drain access regions or the substrate into the buffer due to the high applied drain voltage. These mechanisms are illustrated in figure 7(a), and the opposing mechanisms explain the results in figure 6. When off-state stress trapping is negligible (for off-state times lower than 1 ms), de-trapping of the hot-electron traps drives the reduction in dynamic resistance. When the off-state stress is relevant (off-state times higher than 1 ms), the reduction of the dynamic resistance due to the de-trapping of switching-induced traps is negligible, so the dynamic resistance is

increased by the high drain voltage stress. Therefore, the on-resistance increases as the off-time increases.

In figure 7(b), we have added a schematic cross section to illustrate the traps during the on-state. In that case, two main differences arise. First, during the on-state, no trapping of the high drain voltage occurs; if not, detrapping of these high-voltage-induced traps also occurs. Therefore, the dynamic resistance will decrease more during the on-state, but the energy barrier level will also be lower during the on-state. This situation also favors the detrapping of electrons, which will decrease the resistance even more. This tendency explains why the 10 μs on-state decreases the dynamic resistance by up to 500 m Ω (see figure 3(a)), while during the off-state, a period as long as 500 μs is needed to reduce the dynamic resistance from 300 to 100 m Ω (see figure 6).

4. Conclusion

This paper presents a study of the dynamic resistance on commercial GaN HEMTs, showing how the structure affects dynamic resistance. The p-GaN device did not show any increase in dynamic resistance while the GaN MISHEMT had dynamic resistance greatly affected by the bias conditions and number of pulses. In this device, two different trapping mechanisms were revealed. Off-state stress trapping is induced by the high drain-source voltage applied during off-state. Hot electron trapping is induced during the semi-on state generated in hard switching events. This second trapping mechanism can be eliminated by using soft switching conditions in at least one of the switching events, as demonstrated in figure 5.

In addition, we found evidence for detrapping caused by off-state stress on the traps induced by hot electrons during switching events. This stress mitigates the increase in dynamic resistance during the off-state of the DUT, which is relevant for switching times lower than 1 ms. With higher times, the dynamic resistance increases owing to the high voltage bias applied during the off-state. The sum of trapping and de-trapping gives the minimum value of the dynamic resistance, which is useful in the design of power electronics.

Acknowledgments

This work was supported in part by the Spanish Government under the Project MINECO-FEDER RTI2018-099009-B-C22, in part by the scholarship CEICE-GVA-ACIF-2016-330.

ORCID iDs

E Maset  <https://orcid.org/0000-0002-8739-3796>

References

- [1] Millán J, Godignon P, Perpiñà X, Pérez-Tomás A and Rebollo J 2017 *IEEE Trans. Power Electron.* **29** 2155–63
- [2] Jones E A, Wang F F and Costinett D 2016 *IEEE J. Emerg. Sel. Top. Power Electron.* **4** 707–19
- [3] Cheng X 2018 *IOP Conf. Ser.: Mater. Sci. Eng.* **439** 022033
- [4] Biela S M, Waffler S and Kolar J W 2011 *IEEE Trans. Ind. Electron.* **58** 2872–82
- [5] Chang H-R, Hanna E and Radun A V 2003 *Proc. IEEE 34th Annu. Power Electron. Spec. Conf.* **1** 211–6
- [6] Chou P-C et al 2018 *Semicond. Sci. Technol.* **33** 055012
- [7] Meneghesso G et al 2016 *Semicond. Sci. Technol.* **31** 093004
- [8] Badawi N, Hilt O, Behat-Treidel E, Böcker J, Würfl J and Dieckerhoff S 2015 *IEEE Energy Conversion Congress and Exposition (ECCE)* pp 913–9
- [9] Wang H, Wei J, Xie R, Liu C, Tang G and Chen K J 2017 *IEEE Trans. Power Electron.* **32** 5539–49
- [10] Lu B, Palacios T, Risbud D, Bahl S and Anderson D I 2011 *IEEE Compound Semiconductor Integrated Circuit Symp. (CSICS)* pp 1–4
- [11] Rossetto I et al 2017 *IEEE Trans. Electron Devices* **64** 3734–9
- [12] Li R, Wu X, Xie G and Sheng K 2018 *IEEE Applied Power Electronics Conf. and Exposition (APEC)* pp 898–903
- [13] Tanaka K et al 2015 *Appl. Phys. Lett.* **107** 163502
- [14] Li K, Evans P and Johnson M 2016 *IEEE 17th Workshop on Control and Modeling for Power Electronics (COMPEL)* pp 1–7
- [15] Vetry R, Zhang N Q, Keller S and Mishra U K 2001 *IEEE Trans. Electron Devices* **48** 560–6
- [16] Jungwoo J and del Alamo J A 2008 *IEEE Int. Electron Devices Meeting* pp 1–4
- [17] Kaneko S et al 2015 *IEEE 27th Int. Symp. on Power Semiconductor Devices & IC's (ISPSD)* pp 41–4

Artículo 2:

"A Test Circuit for GaN HEMTs Dynamic Ron Characterization in Power Electronics Applications".

P. J. Martínez, P. F. Miaja, E. Maset and J. Rodríguez.

IEEE Journal of Emerging and Selected Topics in Power Electronics, vol. 7, no. 3, pp. 1456-1464. doi:10.1109/JESTPE.2019.2912130 Sept. 2019

A Test Circuit for GaN HEMTs Dynamic R_{ON} Characterization in Power Electronics Applications

Pedro Javier Martínez, Pablo Fernández Miaja^{1b}, Member, IEEE, Enrique Maset^{1b}, Member, IEEE, and Juan Rodríguez^{1b}, Member, IEEE

Abstract—Wide bandgap devices such as gallium nitride (GaN) high electron mobility transistors (HEMTs) are a promising technology in the field of power electronics. Due to the physical properties of the GaN and the device design, they can outperform their silicon counterparts for the design of highly efficient power switching converters. However, its design should face certain effects that can diminish its performance. One such effect is the degradation mechanism known as dynamic ON-resistance (dynamic R_{ON}), being its mitigation one of the main objectives in the design of the device. In this paper, a circuit is proposed for assessing if this effect is present in GaN transistors in power electronics applications. The circuit allows testing the GaN HEMTs with different stress voltages and times maintaining the desired current level, and allows for repeating the test in successive switching pulses, with adjustable switching frequency and duty cycle, always with the same current, mimicking a real power electronics application.

Index Terms—Dynamic ON-resistance, gallium nitride (GaN) high electron mobility transistors (HEMTs), semiconductor device reliability, wide bandgap semiconductors.

I. INTRODUCTION

THE use of wide bandgap semiconductors is becoming more common in power electronics since they can outperform traditional silicon devices in terms of parasitic capacitances and ON-state resistance. This allows power electronic designs at higher frequencies, which enable smaller size in the reactive components and therefore, the smaller size of the converter while maintaining or even increasing the efficiency. One of the most used devices is the gallium nitride (GaN) high electron mobility transistor (HEMT).

However, these devices can have drawbacks which should be addressed, first at the device design stage, and then, at the applications side. One of such effect is the one known as

dynamic R_{ON} or current collapse. Under certain conditions, which will be shown in Section II, the current capability of these devices is diminished.

This manifests in a higher than expected ON-state resistance $R_{DS(on)}$. If this effect takes place during power converter operation, it can degrade its performance and therefore, should be considered during the design process. In order to assess if these effects are present, several methods have been proposed in semiconductor device literature [1]–[3] with commercial pulsed I/V characterization system as well as in power electronics ones, under switching characterization [1], [4]–[7]. However, the test conditions in these methods may not faithfully represent the conditions, at which the transistors will be switching in a power converter. In [8]–[10], different laboratory setups along with a characterization procedure for the dynamic R_{ON} extraction in the presence of thermal and voltage stress have been presented. In [8], the power switch is directly characterized inside a half-bridge like circuit, very similar to the final application, but the current over the power switch is implemented by a voltage-controlled current source and not by an inductive load as occur in real power converters. These references focus on to analyze the dynamic R_{ON} degradations under temperature, OFF-state voltage, duty, or frequency variations. In our study, we propose a circuit similar to the double pulse tester that allows characterizing the dynamic R_{ON} working under real switching conditions with a voltage and repetitive current stress for multiple pulses, which is not possible to achieve with the classical double pulse test (DPT). In the classical DPT, the DUT must be turned on in order to charge the inductor with the desired current for the test. Although it is possible to apply voltage stress before the DUT is initially turned on with zero current. This may alter the root cause of the dynamic R_{ON} effects, which is going to be explained in Section II. Moreover, during this inductor charge time, the DUT will experience self-heating, thus altering too these root causes. Therefore, in this paper, a test circuit designed to overcome the aforementioned DPT shortcomings is presented, allowing for a more faithfully reproduction of the conditions faced by the power transistors in most power electronics applications, while enabling for precise and variable stress times.

This paper is organized as follows: Section II explains the origins of the dynamic R_{ON} and its effects over a transistor. Section III shows the tests designed to assess if a device suffers

Manuscript received January 2, 2019; revised March 11, 2019; accepted April 8, 2019. Date of publication April 22, 2019; date of current version July 31, 2019. This work was supported in part by the Spanish Government under Project MINECO-FEDER ESP2015-68117-C2-1-R and in part by the Scholarship CEICE-GVA under Grant ACIF-2016-330. Recommended for publication by Associate Editor Andrea (GAE) Irace. (Corresponding author: Enrique Maset.)

P. J. Martínez and E. Maset are with the Department of Electronic Engineering, University of Valencia, 46010 Burjassot, Spain (e-mail: enrique.maset@uv.es).

P. F. Miaja and J. Rodríguez are with the Department of Electrical, Electronics, Computers and Systems Engineering, University of Oviedo, 33003 Oviedo, Spain.

Color versions of one or more of the figures in this paper are available online at <http://ieeexplore.ieee.org>.

Digital Object Identifier 10.1109/JESTPE.2019.2912130

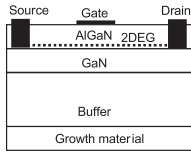


Fig. 1. GaN HEMT structure.

from this effect and its implication in a power electronics application. The experimental results are shown in Section IV. Finally, the conclusion is addressed in Section V.

II. ORIGINS OF DYNAMIC R_{ON}

The most common GaN transistor used in power electronics is the HEMT, a very simplified diagram of an aluminum GaN (AlGa_N)/GaN HEMT can be seen from Fig. 1. HEMTs are a type of field effect transistor, in which the conductive channel is a 2-D electron gas (2-DEG). This 2-DEG is formed at the interface between a layer of AlGa_N and GaN due to different conduction band energies between both materials. When a heterojunction is formed in a semiconductor, a transfer of electrons takes place from the material with higher energy to the material with lower energy, where the electrons have a lower energy state. This induces a high concentration of electrons in the heterojunction creating this way the channel known as 2-DEG. The density of the 2-DEG can be modulated by the gate-to-source voltage; therefore, the device could be turned off by applying a gate-to-source voltage lower than its threshold voltage. The current passing through the 2-DEG saturates, making the device behave as a current source when the drain-to-source voltage is high enough either to deplete the 2-DEG near the drain, establishing a pinchoff or to saturate the electron mobility of the 2-DEG. If the current is lower, the device will behave as a small resistor.

So far, commercial HEMTs and most of the proposed designs are lateral devices. When a lateral device is in the OFF-state and the drain-to-source voltage is high enough, the epitaxial layer has an electric field parallel to the conductive channel. This field can make charges to get trapped in the surface or in the defects of the epitaxial layer. These charges can act as a voltage source that counteracts the gate-to-source voltage externally imposed to control the device. One of the effects of these charges is that the current that the devices can carry before reaching saturation is lower than the one that the devices was originally designed for, then the drain-to-source ON-state resistance is bigger than intended [11]. As this effect varies with the time that the drain-to-source voltage is applied, it is known as dynamic R_{ON} . Often in the literature, this effect can also be referred to as drain current collapse [2], [12].

The amount of charges trapped depends very much, among other factors, on the device and epitaxial design, the voltage that the device withstands in OFF-state and the time that this voltage is applied. When the device is turned on for a period of time long enough to remove the charges, the effect is reversed. This time will depend on the device design, the current through the channel and other numerous parameters. The mitigation of this effect is one of the main drivers on the

epitaxy layer and surface design ([13], [14]) and nowadays, in order to find this effect, the device has to be in OFF-state withstanding voltage for times that are in the range of several milliseconds.

In power electronic applications, the devices are constantly turning on in resistive mode (the drain-to-source voltage is very small) and turning off (when they have to withstand voltage between drain-to-source) at a rate determined by the switching frequency that the designers of the circuit have chosen. Usually, switching frequencies are in the range of tens-to-hundreds of kilohertz. The use of GaN devices has started to increase this range up to the megahertz range. Therefore, the times when the transistors are withstanding voltage are in the order of microseconds. The literature reports much larger time scales for the charge trapping processes involved. However, in certain situations, such as in inverters and motor drives, bridgeless power factor correction (PFC) converters, light load burst modes, fault modes, or combinations of converters, in which one is processing power and others are acting as a backup, the transistors can be withstanding voltage for much longer times. For example, in an inverter based in a full bridge, the transistors are held at OFF-state for half the mains period (20 ms in Europe 16.6 ms in USA and Japan). The same will happen in a totem pole bridgeless PFC [15], which is one of the great applications of GaN adoption. Then, the transistors will resume switching at a kilohertz or megahertz range. In order to test the effects over a transistor which has been held in the OFF-state, withstanding high drain-to-source voltage for a long period of time and then switched ON and OFF several times, the test presented in Section III-A has been designed. It is important to note that this effect is highly variable with transistor design, epitaxial layer design, surface termination, and stress characteristics that will be hard to establish general rules that apply to every device from the observations. However, dynamic R_{ON} test can provide information, which could be useful to the power converter designer to estimate losses and to the device designers to optimize the device designs.

III. INDUCTIVE SWITCHING TEST

A. Double Pulse Tester Description

The power electronic applications are very common that the current through an inductor is diverted through several switches. This means that a transistor in OFF-state should carry a significant current when it is turned on. For this reason, in order to evaluate the switching performance of a transistor, the DPT is usually performed [16]. The DPT circuit is shown in Fig. 2(a) and the waveforms for the test can be seen in Fig. 2(b). The DPT under inductive load is a common circuit used to evaluate the switching performance of a transistor or a diode. This circuit allows measuring switching and ON-state losses for a fixed $V_{DS} = V_{test}$ and $I_D = I_L$. During the first pulse, the inductor current is charged to the desired value, and the falling edge of this pulse and the rising edge of the following pulse are corresponding to the turn-off and turn-on switching transients of the DUT, at any desired voltage and current levels. The test sequence is as follows.

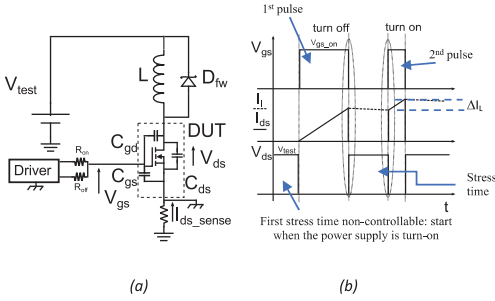


Fig. 2. Dual pulse test. (a) DPT circuit. (b) Waveforms involved in the DPT test.

- 1) First turn-on the DUT. The DUT is set to ON-state to allow the charge of the inductance to the desired current value. The measurement of these turn-on losses is not considered because the current is always 0 at the start of the test.
- 2) Turn-off the DUT. When the current value has reached the desired value for the test, the DUT is turned-off. At this switching, turn-off losses can be measured because the current has reached the proper value.
- 3) Second turn-on the DUT. After a desired OFF-state stress time, the DUT is turned-on again to measure the turn-on losses. It is important that the current through the inductor is kept almost constant during the OFF time in order to measure the turn-on and turn-off losses under similar current values.

One important figure of merit is the ON-state resistance $R_{DS(on)}$, defined as the ratio of the drain-to-source voltage, V_{ds_ON} , once the gate has reached its final value V_{gs_ON} , to the current through the device, I_{ds_ON} . This $R_{DS(on)}$ will determine the losses over the device after the switching process, these losses are the so-called conduction losses. Both switching and conduction losses determine the power dissipation that the transistor will be withstanding during the converter operation, providing that the current level and voltage are the same as in the DPT test. Therefore, the DPT test provides a faithful measurement of the losses over the device and gives information to the designer about the device capabilities.

However, due to the relevance of trapping over the losses in the devices, information about the dynamic R_{ON} effect is very remarkable to the power converter designers. In the literature, two main mechanisms of trapping are reported; one of them induced by the OFF-state stress voltage applied and the second is related to switching events [17]. Therefore, dynamic R_{ON} must be studied with accurate control of the OFF-time stress and under multiple pulse tests.

Using the classical DPT, precise control of the stress time is not achievable since the power voltage source (V_{test}) will be applied to the DUT once it is turned on. Another limitation is different current levels switched by the DUT at the turn-off and turn-on. After the first gate-to-source voltage pulse, while the DUT is in OFF-state, the inductor current will decrease due to the voltage drop in the freewheeling path.

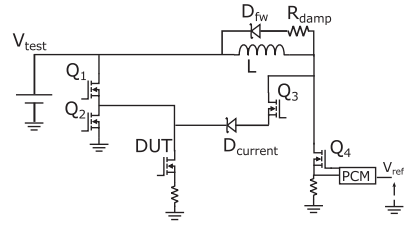


Fig. 3. Circuit for the dynamic R_{ON} test.

Only with unrealistically big inductances, the current can be kept constant. To give a quantitative example of how big must the inductor be, let us consider the OFF-time applied, 500 ms in our case, and a voltage drop in the freewheeling diode around 1 V. If we set an inductor current ripple of 10%, which for the maximum current of 7.5 A represents 0.75 A, then the inductor value needed would be higher than 667 mH, based on the inductor charge equation.

In addition, with the DPT, the DUT first turns-on without current and this current is gradually increased through the DUT. This could induce self-heating effects over dynamic resistance, which is demonstrated to be critical in the dynamic R_{ON} measurements. In order to have a measurement closer to the real converter applications, the circuit is presented in Fig. 3.

B. Multiple Pulse Tester Description

In the multiple pulse tester developed (see Fig. 3), the current through the inductor is charged using Q_4 instead of the DUT, avoiding this way self-heating effects. Also, the control of stress time is independent due to the use of two switches Q_1 and Q_2 . In addition, the use of a series resistor (R_{damp}) with the inductor, allows maintaining the same current level, taking the ripple into account, during all the pulses applied to the DUT. By pulse, we will refer to a pulse in the gate-source voltage of the DUT (V_{gs}) so the DUT is in ON-state for the pulse duration.

The proposed current- and time-independent stress DPT works as follows. Before the switching of the DUT, the current is kept almost constant by the switching action of Q_4 , which is controlled by a peak current mode control (PCM) circuit intended to be used in switching power supplies. When Q_4 is ON, the current through the inductor (sensed by the resistor in series with the transistor) raises until it reaches its programmed value set by V_{ref} . At this moment Q_4 is turned off and the current diverts through the freewheeling diode D_{fw} , as in the classical DPT case. Sometime later, programmed by the switching frequency of the PCM, Q_4 is turned on again and the process repeats as in a PCM controlled switching power supply. Before the DUT is stressed by the voltage source V_{test} , its voltage is kept at 0 by Q_2 . This is the situation depicted in Fig. 4(a). When the stress time is applied Q_1 is turned on and Q_2 is turned off, and therefore, the voltage across the DUT is V_{test} . The PCM is keeping the current through the inductor constant before and during the stress time, the diode $D_{current}$

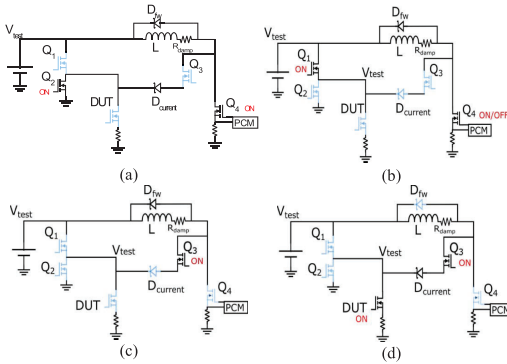


Fig. 4. Test procedure. (a) Current precharge. (b) Voltage stress. (c) Pretest stage. (d) Multipulse test.

prevents a short circuit when Q_4 is ON, as can be seen from Fig. 4(b). After the stress time finish, Q_1 is turned off and Q_4 is permanently turned off. At this moment, the current through the inductor will decrease, and when this current level crosses the predefined current level for the test, Q_3 will be turned on and, a delay after, the DUT will be switched ON. The delay between DUT and Q_3 is set in order to not affect the first turn-on transition of the DUT due to the turn-on transition of Q_3 . This delay has a fixed part which is around $1 \mu s$, and a variable part which depends on the time needed by the current to fall and cross a trigger level previously fixed in the digital oscilloscope.

At this moment, when the oscilloscope is triggered, the auxiliary output of the oscilloscope will send an enable signal to the trigger input of an arbitrary signal generator. The arbitrary generator will start the previously defined repetitive pulses to drive the DUT for the test. During this period, the circuit is on the state shown in Fig. 4(c), and the current and the drain–source voltage of the DUT will be recorded on the oscilloscope. Fig. 5 shows a photograph of the test circuit for the dynamic R_{ON} characterization.

More than one pulse will be always done in order to assess if the charges, causing the dynamic R_{ON} effect, can be removed after one switching period. The current at the beginning of each pulse has to be the same in order to be able to compare the first, second, and next pulses. For this purpose, R_{damp} is placed in series with the load inductor. This is the way to control the di/dt in the ON and OFF times for the inductor current. The value of this resistor has been calculated with (1), where V_{test} is the voltage applied to the DUT during the stress interval, $V_{F,DfW}$ is the forward voltage of the free-wheeling diode, D is the duty of the DUT, and $I_{L,avg}$ is the average current level of the inductor that sets the desired value for the drain current.

During this process, the circuit remains in the state represented in Fig. 4(d). Finally, Q_3 is turned off to remove the current while the DUT is still switching, resetting the DUT to

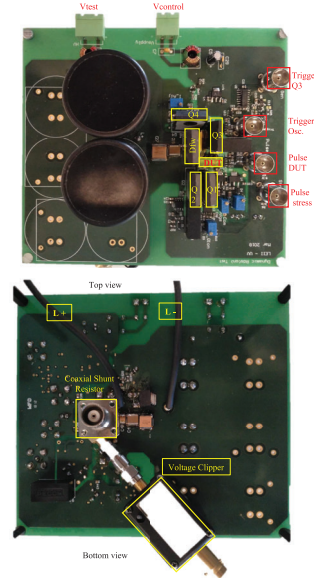


Fig. 5. Photograph of the test circuit for the dynamic R_{ON} characterization.

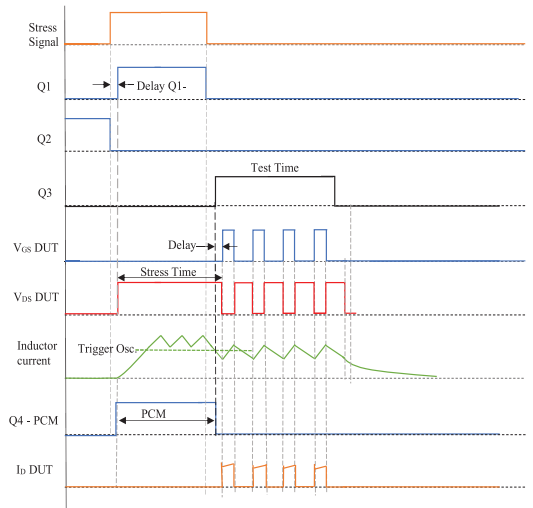


Fig. 6. Waveforms for the inductive switching test.

its original state. The time Q_3 is in ON-state it is called t_{test} . In Fig. 6, all the switching signals mentioned in the above explanation are shown in order to easily follow the switching procedure

$$R_{damp} = \frac{V_{test} + \left(1 - \frac{1}{D}\right) \cdot V_{F,DfW}}{\frac{I_{L,avg}}{D}} \quad (1)$$

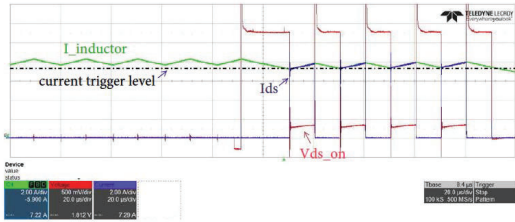


Fig. 7. Waveforms of the test: full test waveform with 19- μ s stress time.

IV. EXPERIMENTAL RESULTS

A. Hardware and Test Description

The circuit described in Section III-B and depicted in Fig. 3 has been implemented in a PCB to test GaN devices with a careful design of the gate drive circuit, component selection, and board layout, to minimize the parasitic inductance and capacitance of both the gate loop and the power loop.

Transistors Q1, Q2, and Q3 are SiC MOSFETs C3M028-0090D (Wolfspeed) to minimize the output capacitance as possible, and Q4 is a SiC MOSFET C2M0025120D (Wolfspeed) to have the lower output capacitance but being able to drive high currents during the current precharge time without the need of a heatsink. Diodes are silicon carbide Schottky diodes, D_{fw} is C5D50065D (Wolfspeed), and $D_{current}$ is C4D05120A (Wolfspeed) to allow fast commutation processes. For the inductor, two different single layer air core inductors have been made. For the devices below 200 V, the value of the inductor is 696 μ H and for the devices over this voltage, an inductor of 2.48 mH has been used. The values of the inductors are selected in order to have current ripple between 5% and 40% of the current level desired in the DUT, depending on the voltage and current conditions, and always guaranteeing the continuous conduction mode. The resistance in series with the inductor is calculated from (1) and changed in every test depending on the conditions in order to have the same current in all the pulses.

Current through the DUT is measured by a low-inductance coaxial shunt resistor of 50 m Ω , SDN-414-05 from T&M Research Products with a bandwidth of 2 GHz. A good precision in the ON-resistance measurement is needed, but it is a difficult task because it is hard to accurately measure the drain-source voltage drop at the DUT. The problem is the large dynamic range of the input signal. If we select a small voltage range per division, the oscilloscope input amplifier is overloaded and an accurate determination of the ON-state voltage is not achievable with standard measurement equipment. To solve this problem, the drain-source voltage of the DUT is measured with a combination of a passive voltage probe (PMM511A) of 500-MHz bandwidth and a commercial voltage clipper clp150015A from Springburno with a clamping voltage of 2.5 V and a settling time around 200 ns.

In our test campaign, a gate signal of 50% duty with an ON-time of 10 μ s has been applied. This is the situation depicted in Fig. 7, see how similar the real waveforms are to the theoretical ones depicted in Fig. 6. The main difference

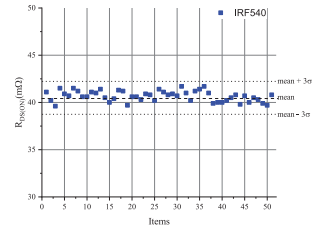


Fig. 8. Repetitive measurements with 2.5-A and 19- μ s stress over IRF540.

is the overshoot of the current, mainly caused by the parasitic capacitances of D_{fw} and the inductor. These waveforms, in each of the pulses, are recorded and analyzed for checking the effects of the dynamic R_{ON} by a 9-bit resolution digital oscilloscope HDO9404 (4 GHz) from Teledyne LeCroy.

B. Results

In order to evaluate the ON-resistance several tests were performed with the enhancement mode (e-mode) GaN devices. Several approaches have been proposed to obtain normally-OFF or e-mode devices. We select two options commercially available. One is the technology developed by efficient power conversion that has chosen to modify the heterojunction under the gate to deplete the 2-DEG of electrons. Another solution is a recessed gate metal-insulator HEMTs (MIS-HEMTs) made by GaN Systems. In order to have some samples from each device architecture, we have selected the EPC8004C and the GaN Systems GS66508P, encompassing different current and voltage levels. Also, one silicon MOSFET device (IRF540) has been tested in order to have a reference without a change in its $R_{DS(on)}$ due to trapped charges, thanks to the optimization of the passivation processes. The test over this device has been used also as a dry-run test to validate the hardware and measurement procedure.

$R_{DS(on)}$ is measured for different current levels (2.5, 5, and 7.5 A). A total of seven different stress times were defined, and these are 19 μ s, 64 μ s, 514 μ s, and 20 ms (the grid period in Europe), 50 and 500 ms. The extraction of the $R_{DS(on)}$ parameter has been done defining a small window to obtain the average value at the final of the ON-time in each pulse. This calculation has been obtained automatically by defining a mathematical function in the digital scope. For all the devices under test, we have chosen a gate-to-source voltage to ensure the minimum $R_{DS(on)}$ in the channel (EPC and GaN Systems devices $V_{GS} = 5$ V and silicon device $V_{GS} = 10$ V). For the voltage stress, we have chosen 80% of the absolute maximum voltage range for each device, as is done in real applications.

Before starting with the dynamic test, it is necessary to know the accuracy of our measurement system. First, we have estimated in 2%, the error of our measurement system, considering the drain voltage and drain current measurements accuracy. Second, we have measured 50 times $R_{DS(on)}$ of the silicon MOSFET IRF540 in a single pulse. The results are shown in Fig. 8, and the standard deviation (σ) calculated from these results has been 0.558 m Ω . Assuming that the

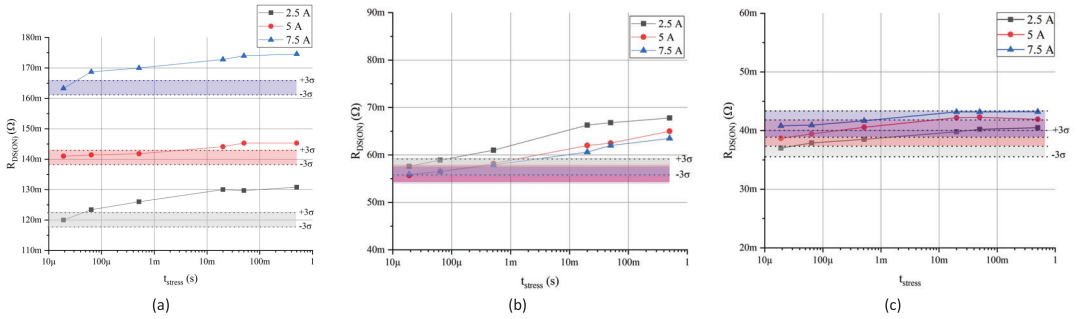


Fig. 9. Measured $R_{DS(on)}$ in the first pulse for different current levels, increasing the stress time. (a) EPC results. (b) GS results. (c) Silicon MOSFET results.

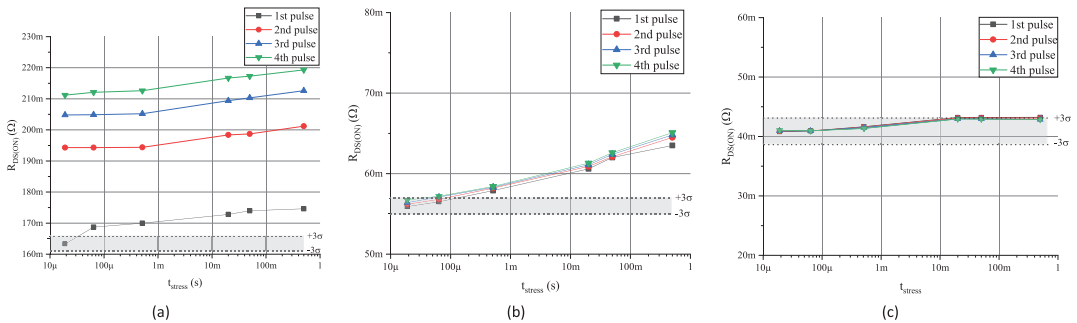


Fig. 10. Measured $R_{DS(on)}$ for 7.5 A, increasing the stress time in four pulse switching sequences. (a) EPC results. (b) GS results. (c) Silicon MOSFET results.

measurements behave as a normal distribution, 99.7% of the samples should lay in the $\pm 3\sigma$ interval around the average. Therefore, any measurement outside this interval it is highly unlikely to be due to the randomness of the measurements. This result proves that the measurement in our setup is repetitive, and the error obtained will be used to determine if any possible change in $R_{DS(on)}$ could be due to the error or to the stress time applied.

The results of $R_{DS(on)}$ in the first pulse for the DUTs can be seen from Fig. 9 where $R_{DS(on)}$ measurement is plotted. In order to have a reference, the $R_{DS(on)}$ measurement with the minimum stress time was done 50 times extracting the mean value and the standard deviation.

The limits that determine the statistical significance of the measurement are represented by a colored area of width $\pm 3\sigma$ about the mean value for the case of 2.5 A and the minimum stress time of 19 μs . It can be seen how the stress time does not affect significantly the value of $R_{DS(on)}$ for the silicon MOSFET shown in Fig. 9(c), since the variations are inside the 3σ limit defined. This agrees with the theory in the sense that $R_{DS(on)}$ of a Silicon MOSFET should not be affected by the stress voltage applied during the off-time. However, a significant drift, beyond the 3σ is observed in GaN Systems device. It can be appreciated in Fig. 9(b) how $R_{DS(on)}$ increases with the stress time a 17.7% for the maximum stress time.

The EPC8004 device shows an increase in $R_{DS(on)}$ with stress time less significant [9% for the maximum stress time, see Fig. 9(a)].

It is important to check if the dynamic R_{ON} effect is permanent or if it is removed when the converter works in its normal mode: switching continuously. Therefore, the next step done was to evaluate $R_{DS(on)}$ not only in the first pulse after the stress but also in the following pulses. Measurements were carried out in the second, the third, and the fourth pulses maintaining the same drain current level, thanks to the proposed test circuit. Fig. 10 shows the results for the maximum current (7.5 A) and the four pulses of the tests done. The results show that $R_{DS(on)}$ increases very significantly with each pulse for the EPC devices. This effect is not seen for the GaN Systems or silicon MOSFET devices. This strong influence over the dynamic resistance could be very critical in real power applications. The desired behavior would be that during the ON-state time the traps are recovered, and thus, $R_{DS(on)}$ does not increase in the following pulses. However, if the detrapping time constants are longer than the ON-state time, then the detrapping process is not finished before the next OFF-state when the voltage stress is applied and a new trapping process takes place. Thus, $R_{DS(on)}$ increases with each pulse, eventually, this process will stop when an equilibrium is reached. Fig. 10(a) shows how the dynamic resistance of

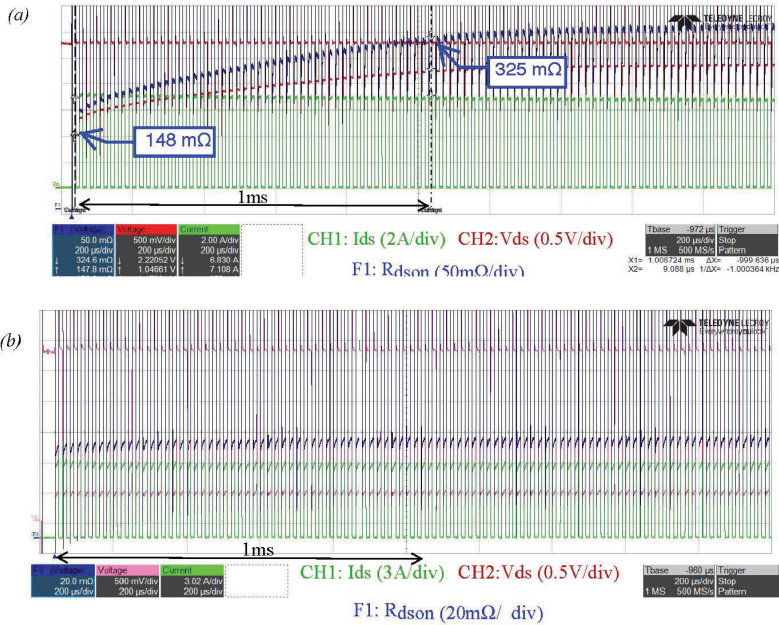


Fig. 11. 100 pulse measurement with 7.5 A, $t_{\text{stress}} = 19 \mu\text{s}$, and $V_{\text{stress}} = 80\% V_{\text{DS,max}}$ at room temperature over (a) EPC8004 and (b) GS66508P devices.

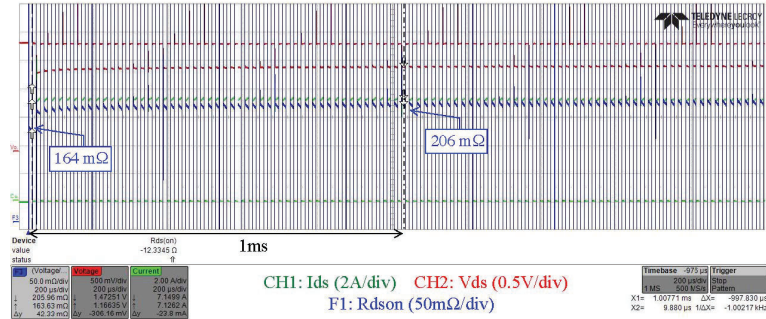


Fig. 12. 100 pulse measurement with 7.5 A, $t_{\text{stress}} = 19 \mu\text{s}$ and $V_{\text{stress}} = 80\% V_{\text{DS,max}}$ over EPC8004 for a case temperature of 100 °C.

the EPC8004 increases with the number of pulses. In order to see how big is that influence on the final resistance, we have increased the number of pulses up to 100, for the minimum stress time of 19 μs and voltage stress of 80% maximum rated drain-to-source voltage. The results are shown in Fig. 11(a), where it can be seen how the resistance increases from 148.2 m Ω in the first pulse to 324.6 m Ω in the 50th pulse, which represents an increment of 219%, eventually this rise in $R_{\text{DS(on)}}$ seems to stop there. This increase does not happen in GS66508P, which is shown in Fig. 11(b) under the same conditions.

This increase in dynamic resistance could be due to two phenomena, the first is the self-heating. It is well-known

that self-heating can induce a measurable increase in ON-resistance. The second can be the hot-electron trapping that can get place during the switching events. In order to demonstrate that $R_{\text{DS(on)}}$ increase is mainly due to the hot-electron trapping and not to the self-heating during self the multipulse test, we have repeated the test, which results are shown in Fig. 11(a), with the same bias conditions but now heating the DUT externally up to 100 °C. (The maximum operating temperature is 150 °C.) The ambient temperature has been measured with a thermocouple in the case of the DUT, and the test was performed after the temperature stabilized at 100 °C. The results for the tests at 100 °C can be seen from Fig. 12. In both tests, at room temperature and at 100 °C,

the conduction and switching losses will be approximately the same, since the current, voltages, and switching frequencies are the same. In fact, the only expected change in the power dissipation comes from the additional dissipation due to the increased $R_{DS(on)}$ because of the increased temperature.

However, the experimental results show that $R_{DS(on)}$ decreases from 324.6 to 205.6 m Ω measured at the pulse 50. It is known [18], [19] that high temperature is a factor to increase the detrapping process, thus reverting the cause for the increase of $R_{DS(on)}$ due to the trapping process. Therefore, the increase in $R_{DS(on)}$ at room temperature during the multipulse test [Fig. 11(a)] is not mainly due to the increase of temperature by self-heating but, most likely, due to an accumulation of trapped charges.

It is demonstrated by Rossetto *et al.* [20] that hot electron effects that take place during switching events can induce a measurable increase in dynamic resistance and the solution to this problem could be using soft-switching conditions.

V. CONCLUSION

In this paper, a test circuit for dynamic R_{ON} characterization is proposed. This circuit overcomes some of the typical double pulse tester limitations. The main improvements are the full control over the following characteristics: the drain voltage stress time, the repetitive constant current level, and the possibility to make multiple pulses varying frequency and duty cycle conditions. This full control allows designers to faithfully reproduce the real conditions, at which, devices will be submitted in the real power electronic applications. All different tests enabled by the proposed circuit are carried out and reported using two commercial GaN HEMTs, with different device technologies, and one silicon MOSFET transistor for comparison purposes.

The measurements done over the two different GaN HEMT structures have shown that the $R_{DS(on)}$ behavior can be really different and cannot be evaluated in one single pulse. When multiple pulse measurements are carried out, as happens in a real application, one of the structures tested has shown the effect of the hot-electron trapping in the switching. This trapping induces a significant $R_{DS(on)}$ increase, around 200% of the typical value. This increase degrades the performance of the device and can result in lifetime reduction, or even, the device breakdown due to thermal effects. The power electronics designers must consider the real value of $R_{DS(on)}$ that depends on the voltage and current levels supported, the switching frequency and the type of switching (soft or hard) in order to estimate the conduction losses of the power devices. These measurements suggest that in certain devices, the decision to incorporate soft switching techniques can bring advantages beyond the traditional switching losses reduction. It is known that soft switching minimizes the trapping effects due to hot electrons. Then, in the devices affected by a strong dynamic R_{ON} effect soft switching can also reduce the conduction losses, since R_{ON} increase is minimized.

Therefore, this circuit has shown two main advantages that are the full control of the OFF-state stress, and the possibility of switching the DUT under the same current level in multiple pulse conditions, simulating real converter applications since

the first pulse. Both advantages, but mainly the second, have demonstrated to be really useful, because of the needed of multiple pulses with adjustable switching frequency and duty cycle, to evaluate correctly the dynamic resistance influence on the real application.

REFERENCES

- [1] B. Lu, T. Palacios, D. Risbud, S. Bahl, and D. I. Anderson, "Extraction of dynamic on-resistance in GaN transistors: Under soft- and hard-switching conditions," in *Proc. Compound Semicond. Integr. Circuit Symp. (CSICS)*, Oct. 2011, pp. 1–4.
- [2] D. Jin and J. A. D. Alamo, "Methodology for the study of dynamic ON-resistance in high-voltage GaN field-effect transistors," *IEEE Trans. Electron Devices*, vol. 60, no. 10, pp. 3190–3196, Oct. 2013.
- [3] H. Huang, Y. C. Liang, G. S. Samudra, T.-F. Chang, and C.-F. Huang, "Effects of gate field plates on the surface state related current collapse in AlGaN/GaN HEMTs," *IEEE Trans. Power Electron.*, vol. 29, no. 5, pp. 2164–2173, May 2014.
- [4] N. Badawi and S. Dieckerhoff, "A new method for dynamic ron extraction of gan power hemts," in *Proc. Int. Exhib. Conf. Power Electron., Intell. Motion, Renew. Energy Energy Manage.*, pp. 1–6, May 2015.
- [5] J. Böcker, H. Just, O. Hilt, N. Badawi, J. Würfl, and S. Dieckerhoff, "Experimental analysis and modeling of GaN normally-off HFETs with trapping effects," in *Proc. 17th Eur. Conf. Power Electron. Appl. (ECCE)*, Geneva, Switzerland, Sep. 2015, pp. 1–10. doi: 10.1109/EPE.2015.7309328.
- [6] N. Badawi, O. Hilt, E. Behat-Treidel, J. Böcker, J. Würfl, and S. Dieckerhoff, "Investigation of the dynamic on-state resistance of 600V normally-off and normally-on GaN HEMTs," in *Proc. IEEE Energy Convers. Congr. Exposit. (ECCE)*, Montreal, QC, Canada, Sep. 2015, pp. 913–919. doi: 10.1109/ECCE.2015.7309785.
- [7] H. Wang, J. Wei, R. Xie, C. Liu, G. Tang, and K. J. Chen, "Maximizing the performance of 650-V p-GaN gate HEMTs: Dynamic RON characterization and circuit design considerations," *IEEE Trans. Power Electron.*, vol. 32, no. 7, pp. 5539–5549, Jul. 2017. doi: 10.1109/TPEL.2016.2610460.
- [8] T. Cappello, A. Santarelli, and C. Florian, "Dynamic RON characterization technique for the evaluation of thermal and off-state voltage stress of GaN switches," *IEEE Trans. Power Electron.*, vol. 33, no. 4, pp. 3386–3398, Apr. 2018.
- [9] K. Li, P. Evans, and M. Johnson, "GaN-HEMT dynamic ON-state resistance characterisation and modelling," in *Proc. IEEE 17th Workshop Control Modeling Power Electron. (COMPEL)*, Jun. 2016, pp. 1–7.
- [10] M. Elharizi, Z. Khatri, R. Lallemand, and J.-P. Ousten, "Investigations on the evolution of dynamic ron of gan power transistors during switching cycles," in *Proc. 10th Int. Conf. Integr. Power Electron. Syst.*, Stuttgart, Germany, Mar. 2018, pp. 1–6.
- [11] S. Agnihotri, S. Ghosh, A. Dasgupta, S. A. Ahsan, S. Khandelwal, and Y. S. Chauhan, "Modeling of trapping effects in GaN HEMTs," in *Proc. 2015 Annu. IEEE India Conf. (INDICON)*, Dec. 2015, pp. 1–4. doi: 10.1109/INDICON.2015.7443658.
- [12] M. Meneghini, E. Zanoni, and G. Meneghesso, "Gallium nitride based HEMTs for power applications: High field trapping issues," in *Proc. 12th IEEE Int. Conf. Solid-State Integr. Circuit Technol. (ICSICT)*, Oct. 2014, pp. 1–4.
- [13] R. Vetry, N. Q. Zhang, S. Keller, and U. K. Mishra, "The impact of surface states on the DC and RF characteristics of AlGaN/GaN HFETs," *IEEE Trans. Electron Devices*, vol. 48, no. 3, pp. 560–566, Mar. 2001. doi: 10.1109/16.906451.
- [14] M. J. Uren *et al.*, "Intentionally carbon-doped AlGaN/GaN HEMTs: Necessity for vertical leakage paths," *IEEE Electron Device Lett.*, vol. 35, pp. 327–329, Mar. 2014. doi: 10.1109/LED.2013.2297626.
- [15] Z. Liu, F. C. Lee, Q. Li, and Y. Yang, "Design of GaN-based MHz totem-pole PFC rectifier," *IEEE Trans. Emerg. Sel. Topics Power Electron.*, vol. 4, no. 3, pp. 799–807, Sep. 2016. doi: 10.1109/ESTPE.2016.2571299.
- [16] B. Baliga, *Fundamentals of Power Semiconductor Devices*, 2nd ed. Bristol, U.K.: IOP Publishing, 2019.
- [17] P.-C. Chou, T.-E. Hsieh, S. Cheng, J. A del Alamo, and E. Y. Chang, "Comprehensive dynamic on-resistance assessments in GaN-on-Si MIS-HEMTs for power switching applications," *Semicond. Sci. Technol.*, vol. 33, no. 5, Apr. 2018, Art. no. 055012. doi: 10.1088/1361-6641/aabb.6a.

- [18] Y. Li-Yuan *et al.*, "High temperature characteristics of AlGaIn/GaN high electron mobility transistors," *Chin. Phys. B*, vol. 20, no. 11, Nov. 2011, Art. no. 117302. doi: [10.1088/1674-1056/20/11/117302](https://doi.org/10.1088/1674-1056/20/11/117302).
- [19] S. Kumar *et al.*, "Temperature and bias dependent trap capture cross section in AlGaIn/GaN HEMT on 6-in silicon with carbon-doped buffer," *IEEE Trans. Electron Devices*, vol. 64, no. 12, pp. 4868–4874, Dec. 2017.
- [20] I. Rossetto *et al.*, "Evidence of hot-electron effects during hard switching of AlGaIn/GaN HEMTs," *IEEE Trans. Electron Devices*, vol. 64, no. 9, pp. 3734–3739, Sep. 2017. doi: [10.1109/TED.2017.2728785](https://doi.org/10.1109/TED.2017.2728785).



Pedro Javier Martínez was born in Villarrobledo, Spain, in 1992. He received the B.Sc. and M.S. degrees in electronic engineering from the University of Valencia, Valencia, Spain, in 2014 and 2015, respectively, where he is currently pursuing the Ph.D. degree in reliability of gallium nitride (GaN) high electron mobility transistor (HEMT) devices.

Since 2014, he has been a member of the Laboratory of Industrial Electronics and Instrumentation. His current research interests include the electronic power devices characterization and reliability and space power electronics.



Pablo Fernández Miaja (S'07–M'13) was born in Oviedo, Spain, in 1984. He received the M.S. and Ph.D. degrees in telecommunication engineering from the University of Oviedo, Oviedo, in 2007 and 2012, respectively.

From 2007 to 2014, he was a Researcher with the Power Supply Systems Group, University of Oviedo. From 2014 to 2016, he was a Research Associate with the Power Conversion Group, The University of Manchester, Manchester, U.K. From 2016 to 2018, he was an Electrical Power Conditioning Engineer

with the European Space Agency, European Space Research and Technology Centre, Noordwijk, The Netherlands. Since 2018, he has been a Lecturer with the Power Supply Systems Group, University of Oviedo. His current research interests include dc/dc conversion, wide bandgap power devices, digital control of power supplies, and power-supply systems.



Enrique Maset (M'00) was born in Xàtiva, Spain, in 1965. He received the M.Sc. and Ph.D. degrees in physics, with specialization in electronics, from the University of Valencia, Valencia, Spain, in 1988 and 1996, respectively.

He is currently an Associate Professor with the Department of Electronic Engineering, University of Valencia, where he is also a member of the Laboratory of Industrial Electronics and Instrumentation. His current research interests include space power electronics and static and dynamic characterization of electronic power devices.



Juan Rodríguez (S'15–M'19) was born in Aviles, Spain, in 1991. He received the M.Sc. degree in telecommunication engineering and the Ph.D. degree in electrical engineering from the University of Oviedo, Oviedo, Spain, in 2014 and 2018, respectively.

Since 2015, he has been a member of the Power Supply System Group, University of Oviedo, where he is currently a Post-Doctoral Researcher. His current research interests include high-frequency dc–dc power converters, wide bandgap semiconductors, and LED drivers for visible light communication.

Artículo 3:

“Unstable behaviour of normally-off GaN E-HEMT under shortcircuit”.

Martínez, P. J.; Maset, E.; Sanchis-Kilders, E.; Esteve, V; Jordan, J.;

Bta Ejea, J.; Ferreres, A.

Semiconductor Science and Technology, Vol 33, N^o 4, doi

10.1088/1361-6641/aab078, Apr. 2018

Unstable behaviour of normally-off GaN E-HEMT under short-circuit

P J Martínez, E Maset , E Sanchis-Kilders, V Esteve, J Jordán, J Bta Ejea and A Ferreres

University of Valencia, Department of Electronic Engineering, 46100 Burjassot, Spain

E-mail: Enrique.maset@uv.es

Received 28 November 2017, revised 16 February 2018

Accepted for publication 19 February 2018

Published 9 March 2018



CrossMark

Abstract

The short-circuit capability of power switching devices plays an important role in fault detection and the protection of power circuits. In this work, an experimental study on the short-circuit (SC) capability of commercial 600 V Gallium Nitride enhancement-mode high-electron-mobility transistors (E-HEMT) is presented. A different failure mechanism has been identified for commercial p-doped GaN gate (p-GaN) HEMT and metal-insulator-semiconductor (MIS) HEMT. In addition to the well known thermal breakdown, a premature breakdown is shown on both GaN HEMTs, triggered by hot electron trapping at the surface, which demonstrates that current commercial GaN HEMTs has requirements for improving their SC ruggedness.

Keywords: GaN HEMT, reliability, degradation, short-circuit

(Some figures may appear in colour only in the online journal)

1. Introduction

Wide Bandgap (WBG) semiconductors like silicon carbide (SiC) and gallium nitride (GaN) offer, among other things, higher electro thermal performance, which makes them very attractive for industrial applications. It is expected that they will become the best choices to replace silicon technology in the near future [1–3]. The advantages of WBG semiconductors at a system level are: low conduction and switching losses, high temperature capability and high thermal conductivity. In 2001, the first commercial wide bandgap power device, a Silicon Carbide (SiC) Schottky-diode became commercially available and since then, a lot more SiC power devices have been launched into the market. Gallium Nitride (GaN) transistors have appeared as another hopeful alternative to replace silicon power devices. All the improvements are related to the fundamental material properties of these wide bandgap semiconductors [4, 5]. Although SiC excels in high-temperature applications, the material characteristics of GaN are superior in high efficiency and high frequency applications.

All the theoretical benefits of GaN power devices due to their distinctive material properties will depend on their reliability and validation of their robustness [6, 7]. The main indicators to evaluate the reliability of these new power

devices, related to their sudden death, are the avalanche ruggedness and the short-circuit capability. In this paper, we will focus on the short-circuit behaviour.

Natively, basic AlGaN/GaN high-electron-mobility transistors HEMTs have normally on or depletion mode characteristics, which has critical results for appliances with fail-safe requirements. For power electronic applications, it is essential that transistors have normally off or enhancement-mode characteristics to prevent problems during circuit power up, or for fail-safe conditions. For example, if the gate driver fails and its output goes to zero voltage, the HEMT switches to the off-state. Several modifications have been proposed to move the threshold voltage from negative to positive values [8]. As the techniques to make normally off devices can introduce inherent problems on the system reliability [9], it is interesting from the point of view of future applications to test these normally-off devices under short-circuit conditions. A potential future application of the GaN HEMT is the automotive one, where many power switching devices are used in hybrid electric vehicles (HEVs) and electric vehicles (EVs). To improve the efficiency of 'green-cars', better performance than Si power devices are required. GaN power devices are promising candidates for satisfying the performance requirements [10, 11]. The lateral GaN power device with a blocking voltage of 600 V is suitable for medium power applications at

sub systems (such as compressor in air conditioners or battery charging systems) in HEV and EV. In these applications, the HEMT switch must be able to withstand short-circuit (SC) events at DC-bus voltage levels of around 400 V, for a long enough time until the protection circuit in the gate driver reacts.

A lot of papers about the technology and reliability of normally-off GaN HEMTs have been published. The SC capability is related to the current robustness of the GaN HEMTs but only a few studies have addressed this issue to the author's knowledge. In [12] a study of an AlGaIn/GaN HEMT with SiC substrate, estimating the temperature during the SC event is presented, showing that temperature is not responsible for the failure. The estimated temperature is lower than 150 °C discarding the thermal breakdown, and it is mentioned that the failure mechanism could be due to impact ionization because of the high electric field found in the device.

Later, [13] studies the short-circuit capability of commercial GaN metal-insulator-semiconductor (MIS) HEMTs, finding a good SC capability in some of the tested devices, but others, with apparently the same behaviour, break as soon as 1 μ s after the SC event. The paper does not provide any explanation for this behaviour. Recently, in [14, 15] the SC capability of commercial p-GaN and GaN MISHEMTs are analyzed. These studies are focused on explaining what we will call 'premature breakdown', which is the breakdown that occurs around 1 μ s short-circuit time (t_{sc}). The reason given by the authors is a thermal failure due to a hotspot. Finally, in [16] a gate bias dependence in the SC capability is shown, exhibiting a self-protecting decrease of current and dissipation level during the SC.

Based on all the studies mentioned above and our experimental results reached on commercially available p-GaN and GaN MIS-HEMT, this paper presents a detail SC analysis, showing two different failure mechanisms, one called by the authors 'premature breakdown' and the already known thermal breakdown. The premature breakdown is the same for both devices and is related to the high electric field reached on the drain side. Nevertheless, the temperature related breakdown is different for each type of structure. While in the GaN MISHEMT thermal breakdown the drain and source are shorted, in the case of p-GaN HEMT thermal breakdown the failure mechanism is different and is related to a degradation of the gate diode. Technical literature already presents possible reasons for the premature and thermal breakdown as explained later in the paper. No explanation has been found yet for the gate degradation reported.

2. Short-circuit test setup

An experimental setup for the short-circuit tests has been implemented using the circuit depicted in figure 1. This setup enables us to implement the short-circuit type I (SC I), that is a direct turn-on of the switch to cause a short circuit (hard switch fault condition). The setup consists of a low inductance DC voltage source, V_{DD} , having enough capacitance to

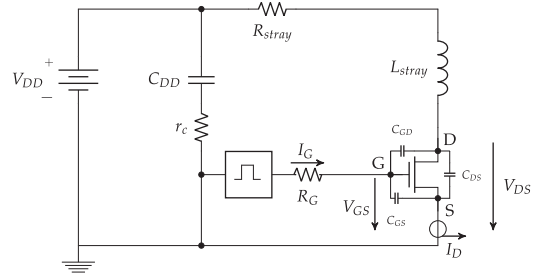


Figure 1. Circuit scheme for SC type I events.

provide the maximum short-circuit current and still maintaining the DC bus voltage, in parallel with the HEMT. The parasitic inductance (L_{stray}) of the power loop has been experimentally measured using the network analyzer Agilent E5061B, showing a value around 60 nH. The drain current (I_D) was measured using a two-step current transformer made of a 1:10 toroid ferrite as the first step, and a 2878 Pearson Electronics current monitor as the second step. This current monitor was selected instead of a coaxial shunt resistor to induce the lowest additional parasitic inductance in the power loop and to withstand the maximum dissipated energy. The gate current (I_G) is also recorded by measuring the voltage drop across an external series gate resistor (R_G) of 20 Ω , (put in series with the input of the gate terminal) using a differential voltage probe (LeCroy HDV3106 120 MHz). Additionally, the drain to source (V_{DS}) and the gate to source (V_{GS}) voltage have been measured by passive voltage probe (PMK 400 MHz) referenced to the source terminal. The drive circuit used consists of a generic MOSFET gate driver (IXDN609SI), which is controlled by an external arbitrary waveform generator to set the duration of the short circuit. During the test, different bus voltages and external temperatures were applied.

The tested devices are commercially available AlGaIn/GaN on Si substrate, normally off HEMTs, rated at 600 V. We have selected two different structures: a 600 V p-doped GaN gate (p-GaN) HEMT encapsulated in TO220 (manufactured by Panasonic) and a 650 V GaN Metal-Insulator-Semiconductor HEMT (MISHEMT) encapsulated with embedded die packaging (manufactured by GaN System Inc.). Table 1 summarizes the key parameters of the investigated devices. The gate-to-source voltage level selected for the p-GaN HEMT was $V_{GS} = 0$ V/4 V and for the GaN MISHEMT $V_{GS} = 0$ V/6 V, with the objective being to minimize the conduction losses without increasing the gate losses.

Regarding the behaviour of the p-GaN HEMT, and according to [17], a recessed p-doped GaN layer on top of the AlGaIn/GaN heterostructures acts as a pn-junction gate (like a diode). The p-doped layer depletes the two-dimensional electron gas (2DEG) channel at zero gate bias. When the V_{GS} applied is higher than the threshold voltage the diode turns on and the device conduction starts. However, the p-GaN devices have a tighter gate voltage limitation, as the gate leakage

Table 1. Parameters of tested devices.

	Symbol	GaN MIS-HEMT GS66508P	p-GaN HEMT PGA26C09DV
Drain-to-source breakdown voltage	BV_{DSS}	650 V	600 V
Continuous drain current ($T_c = 25^\circ\text{C}$)	I_D	30 A	15 A
Internal Gate resistance (1 MHz)	R_{G-int}	1.1 Ω	4.4 Ω
Drain-to-source ON resistance ($T_j = 150^\circ\text{C}$)	$R_{DS(ON)}$	129 m Ω^a	150 m Ω^b
Input Capacitance (1 MHz, 400 V)	C_{iss}	168 pF	259 pF
Total Gate Charge	Q_G	5.8 nC	11 nC

^a Measured at 9 A.

^b Measured at 8 A.

current would increase what could degrade the gate junction reliability or even lead to gate breakdown and device failure [18, 19].

For power applications, it is important to reduce the gate leakage current in order to minimize the control circuit power consumption in the off state. To achieve noise immunity and wide gate-bias range of operation, low gate leakage is essential for both reverse and forward gate biasing conditions. To suppress the gate leakage, a metal insulator-semiconductor MISHEMT is often fabricated by inserting a gate dielectric between the Schottky gate and the AlGaIn barrier. Nevertheless, recent studies [20] demonstrated that the gate insulator could be a critical element in terms of device reliability. Depending on the deposition method and the material quality, the dielectric/AlGaIn interface may have several defects that can induce threshold voltage shift and hysteresis, and even time dependent SC breakdown failure.

3. Short circuit behaviour

With the aim of understanding the SC behaviour, this work will focus on analyzing the experimental waveforms of the drain and gate current. Figure 2 shows short-circuit events for different drain voltages. Different intervals have been defined for a better understanding. In the first interval, between t_0 and t_1 , the parasitic input capacitance ($C_{iss} = C_{GS} + C_{GD}$) of the HEMT is charged to enhance the 2DEG channel, so a peak in the gate current is observed. When this peak takes place, the drain current starts to increase, between t_1 and t_2 in the plateau region. During this interval, the drain current has a slope set by the RL circuit formed mainly by the parasitic inductance and the on-state resistance of the HEMT. This stage ends when the drain current reaches the saturation level $I_{D(sat)}$, at this moment (t_2) the drain current reaches a maximum which then starts to decrease until t_3 , the time instant at which the DUT is turned off due to the end of the gate pulse.

There are some differences between both devices with respect to the shown waveforms. The first one is the shorter time needed by the GaN MISHEMT device to start the conduction (time to reach t_1). This is due to the smaller input capacitance of this device. Later, different behaviour can be seen between the devices in the maximum $I_{D,max}$ reached during the SC event. In the p-GaN HEMT device, the $I_{D,max}$ shown has a negative dependence with V_{DD} , while the GaN

MISHEMT does not show this behaviour, reaching the same value of $I_{D,max}$ independently of V_{DD} . This phenomenon is purely thermal, due to the decrease of the carrier mobility with temperature. In the case of the p-GaN HEMT evaluated, the smaller chip size available require less time to heat the device, reaching a higher temperature than the GaN MIS-HEMT. Therefore, for the same short-circuit time the p-GaN HEMT reached a high enough temperature to cause a decrease in the maximum drain current.

On the other hand, from time instant t_2 , both devices show similar behaviour, reducing their saturation current with time, and also, having a greater current reduction with the increase of the applied V_{DD} . This decay improves the device ruggedness since power dissipation is reduced. This reduction is purely thermal, and the dependence of this current is basically due to the negative dependence of the electro mobility with temperature [21, 22]. Evaluating the GaN transistor temperature during the SC is essential to understanding the limitations of the device. Direct measurement of the temperature distribution can be performed by costly equipment and time-consuming techniques. In particular, micro-Raman spectroscopy has proven to be a powerful technique for measuring temperature profiles with high spatial resolution. Indirect electrical techniques cannot bring any space resolved information but are simpler and cheaper than direct ones [23]. For this reason, drain current measurement can be used to estimate the channel temperature of the 2DEG channel based on equation (1):

$$I_{SAT}(T) = I_{SAT}(T_0) \cdot \left(\frac{T}{T_0}\right)^{-\alpha} \quad (1)$$

In equation (1), T and T_0 are temperatures in Kelvin units, T_0 is the reference temperature before application of the short-circuit pulse, $I_{SAT}(T_0)$ is the saturation current at temperature T_0 and α is the extracted temperature exponent parameter. In our case we have extracted this parameter measuring the output characteristics (I_D - V_{DS}) at different temperatures with the curve tracer/analyzer Keysight B1505A. The experimental result is shown in figure 3, where the different α parameter for both devices can be seen. In order to know the accuracy of the fit for the regression model we have obtained the adjusted r -squared for the two HEMT devices.

It is important to mention that after t_2 (figure 2), the gate current I_G increases in both devices. This increase has a positive dependence with bus voltage. To understand if the

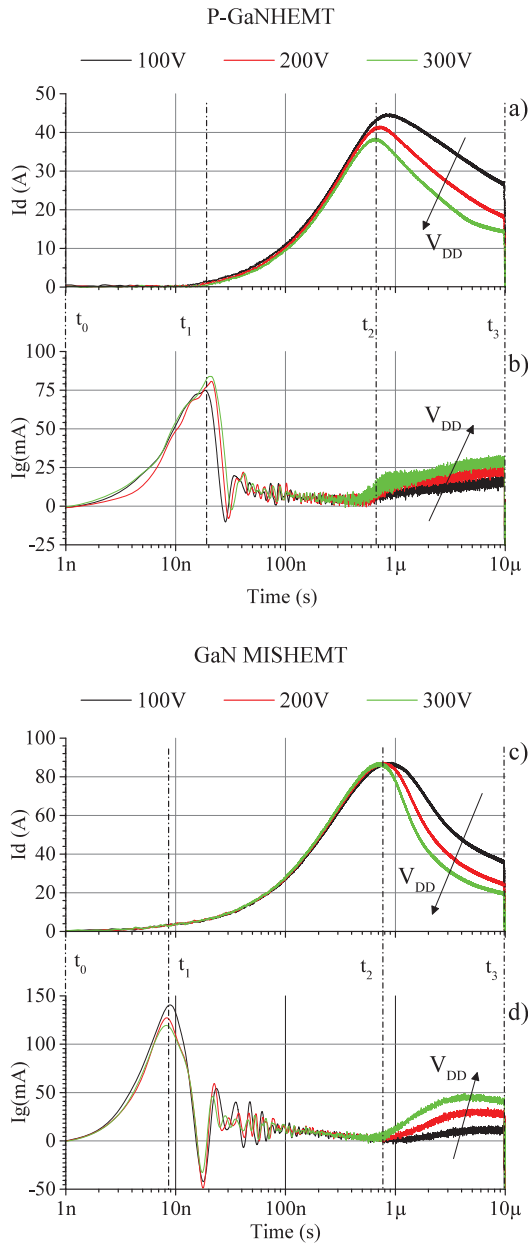


Figure 2. Non-destructive SC experimental waveforms. I_{drain} , I_{gate} at different V_{DD} and at room temperature are shown. (a), (b) p-GaN HEMT (c), (d) GaN MISHEMT.

origin of this increase is due to the V_{DD} increase or the temperature increase in the channel, SC events under different temperatures with a constant $V_{\text{DD}} = 100 \text{ V}$ have been performed and the results are shown in figure 4.

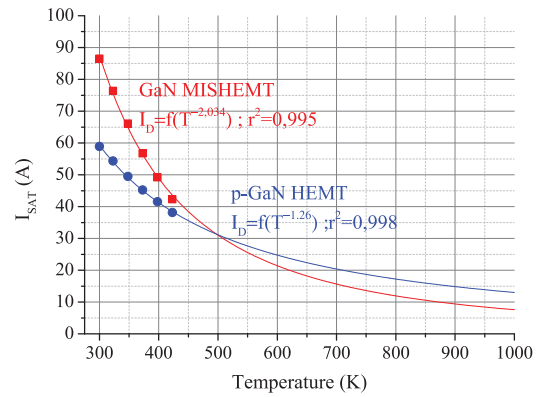


Figure 3. Saturation drain current vs. temperature of p-GaN PGA26C09DV (blue) and GaN MISHEMT GS66508T (red) used to calculate their different α parameter.

As can be seen, the increase on the gate current during short circuit is proportional to the temperature increase. In [14] a TCAD simulation has been performed for the p-GaN HEMT. It shows the internal temperature distribution and a vertical cut of the absolute electric field at its field plate. The heat diffusion from the hotspot generated at the gate and the thermal trend expected for the Schottky contact and the pn-junction, explain the gate current increase. This would induce also a decrease of the threshold voltage (V_{TH}) with temperature [24]. This assumption agrees with experimental results of V_{TH} negative temperature dependence on these devices, as shown in figure 5. The threshold voltage has been extracted from the transfer characteristics measured under linear regime operation conditions, following the constant current method. This method evaluates the threshold voltage as the value of the gate voltage, corresponding to a given arbitrary constant drain current.

4. Failure analysis

During all the tests completed on both devices, two different breakdown modes have been detected, one induced by the high temperature reached during the SC event, and a second, which is a premature breakdown. Both breakdown mechanisms will be analyzed based on the experimental waveforms.

4.1. Thermal related breakdown

The thermal related breakdown is different for p-GaN HEMTs compared to GaN MISHEMT devices. We will focus first on figure 6, where GaN MISHEMT thermal breakdown is shown. As can be seen in these waveforms, at the time of breakdown (around $t_{\text{sc}} = 270 \mu\text{s}$ for $V_{\text{DD}} = 400 \text{ V}$), a high drain current increase takes place. This breakdown induces a short-circuit between drain and source, and the energy of the input capacitor bank, is transferred to the device, in an uncontrolled way.

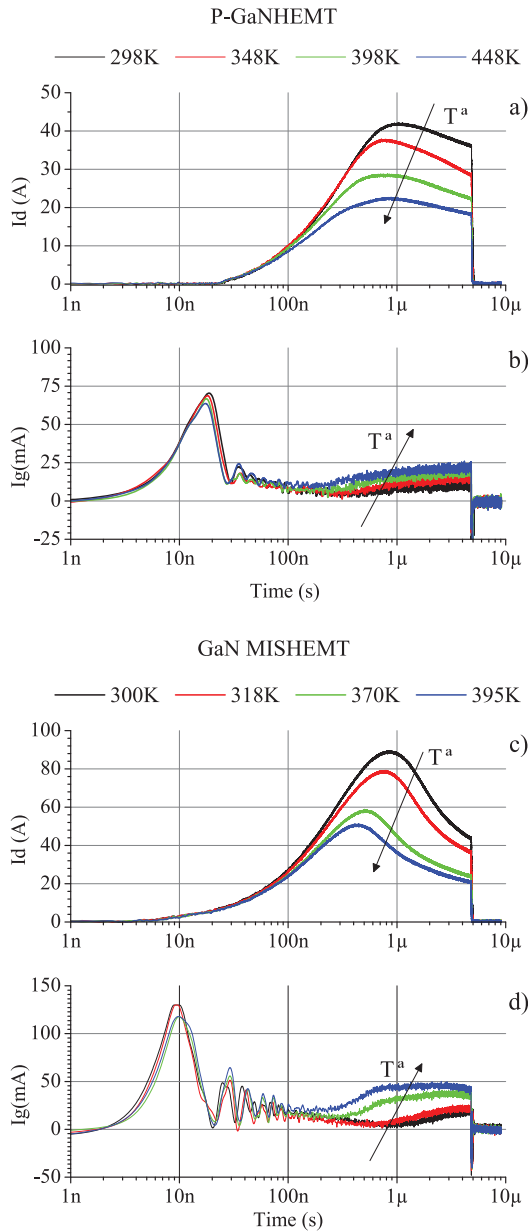


Figure 4. Non-destructive SC experimental waveforms for different temperatures ($t_c = 5 \mu s$ and $V_{DD} = 100 V$). I_D and I_G (a), (b) p-GaN HEMT PGA26C09DV (c), (d) GaN MISHEMT GS66508T are shown.

The estimated mean temperature at breakdown in the 2DEG channel is around 1100 K, near the intrinsic temperature of gallium nitride (1667 K). At this range of temperature, the semiconductor becomes intrinsic, with the reduction of two-dimensional electron gas (2DEG) mobility and carrier

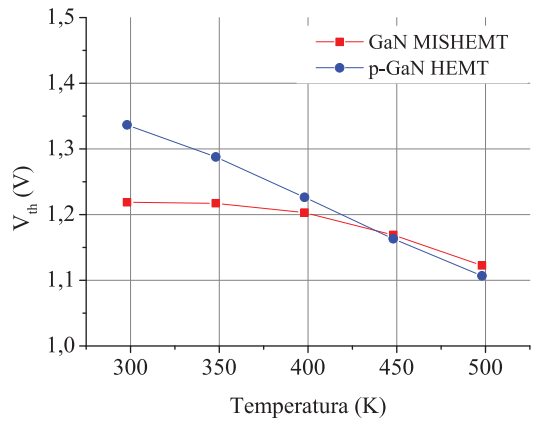


Figure 5. Experimental measurements of V_{TH} with temperature for p-GaN HEMT (PGA26C09DV) and MISHEMT (GS66508T) measured at $I_D = 10 mA$ at $V_{DS} = 1 V$.

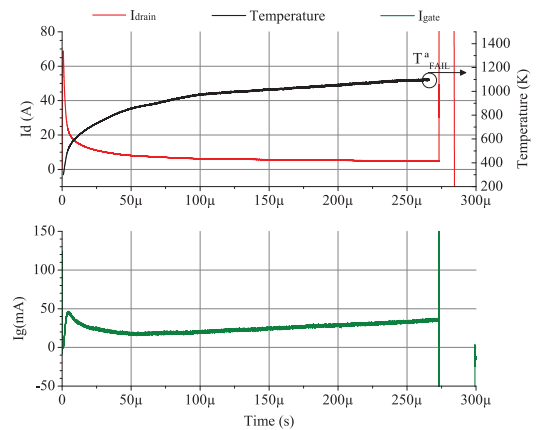


Figure 6. Thermal breakdown experimental waveforms at $270 \mu s$ for $V_{DD} = 400 V$ -GS66508T GaN MISHEMT.

velocity, and therefore due to its resistive behaviour, the failure is thermally induced. Also, thermomechanical stress induced by the high temperature may appear as explained in [23]. Other authors have demonstrated that thermal breakdown in a similar temperature range may happen in the field plates, which match with our temperature estimation [25]. This thermal failure causes a short-circuit between drain and source, which ends up causing the burn out of the device due to the high energy dissipated.

On the other hand, the p-GaN HEMT breakdown is different from the GaN MISHEMT. The breakdown waveforms are also different and, in this case, no SC between drain and source appears. As shown in figure 7, the breakdown signature is a sudden drop in the drain current, that takes place at $61 \mu s$ for $V_{DD} = 400 V$, due to the sudden increase of the gate current.

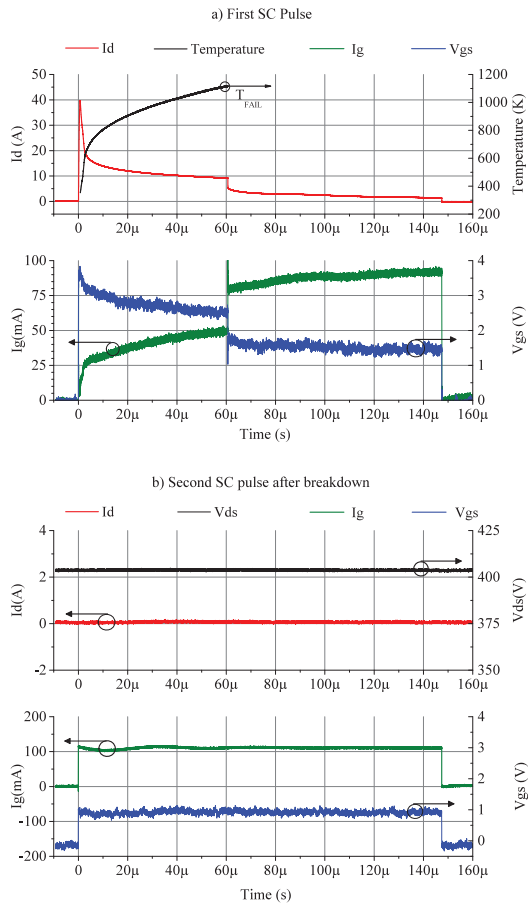


Figure 7. Temperature related breakdown experimental waveforms for p-GaN HEMT PGA26C09DV ($t_{sc} = 150 \mu s$ and $V_{DD} = 400 V$). (a) Waveforms at the first SC pulse (b) Waveforms on the second SC pulse after breakdown.

Based on the figure 7 waveforms, the breakdown is due to a degradation of the pn junction or the Schottky contact present between gate and source edges, which causes a high increase in the gate current. This increase in gate current, which passes through R_G , induces a drop in V_{GS} resulting in the consequent reduction of the drain current. This breakdown mode results in a loss of gate control for the p-GaN device, due to the degradation of the gate current characteristic. The temperature estimated at breakdown is the same for both devices, around 1100 K, however; in this case, the breakdown is related to the gate region. To demonstrate that the device was broken in the gate region, a second pulse was applied. Figure 7(b) shown the behavior during the second SC pulse. It is appreciated how the gate leakage current increased hugely, with the consequent reduction in the gate voltage inhibiting gate control and therefore, there is no drain current through the device during the pulse of V_{GS} .

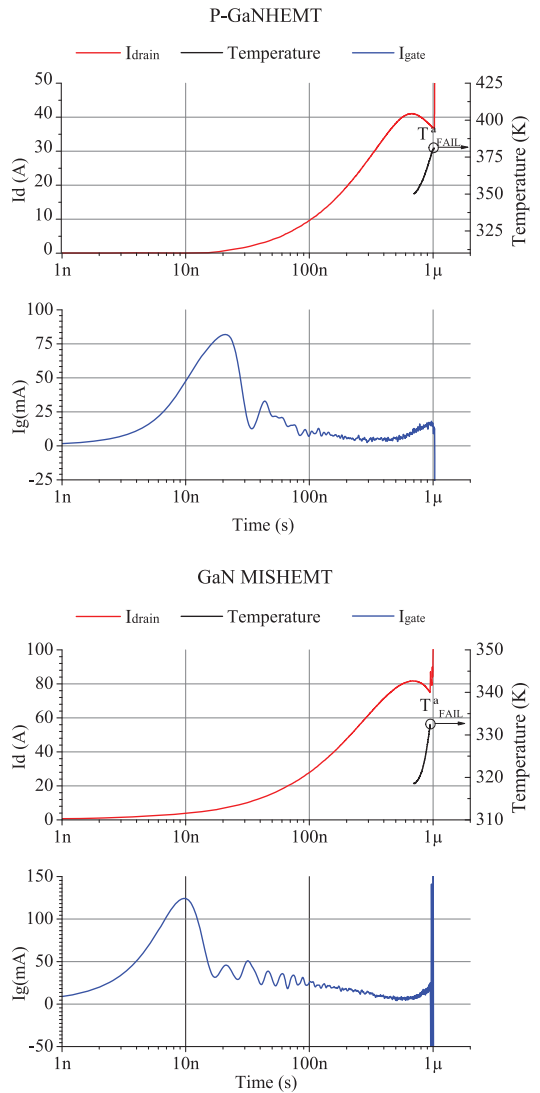


Figure 8. Premature breakdown experimental waveforms at $V_{DD} = 400 V$ for p-GaN HEMT PGA26C09DV and GaN MISHEMT GS66508T.

4.2. Premature breakdown

The other type of breakdown, shown by both devices in SC, is what we have called premature breakdown. This type of breakdown is not related with the maximum temperature reached, due to the low temperature estimated at the breakdown instant: 380 K in the case of p-GaN HEMT and 330 K in the case of the GaN MISHEMT. Waveforms and temperature estimation for this breakdown are shown in figure 8.

Table 2. Extracted breakdown parameters for the tested devices.

Breakdown type		GaN MISHEMT PN: GS66508T		p-GaN HEMT PN: PGA26C09DV	
		Premature	Thermal	Premature	Thermal
V_{DD} 350 V	t_{sc} (s)	2.4 μ	350 μ	—	70 μ
	$E_{SC,crit}$ (J)	50 m	980 m	—	315 m
V_{DD} 400 V	t_{sc} (s)	1 μ	270 μ	1 μ	60 μ
	$E_{SC,crit}$ (J)	25 m	800 m	10 m	290

In both devices, this breakdown takes place between drain and gate. This breakdown causes the destruction of the device, transferring the capacitor bank energy to the device.

Comparing the gate current in figures 8 and 2 for both devices, there are no changes in the dynamic behaviour that could be used to predict the failure event. Therefore, there is no electrical evidence to predict the premature failure. This type of breakdown can be explained in terms of the hot-electron effect. During the SC event, the device suffers a large I_{DS} with a large V_{DS} (semi-ON state), the electroluminescence analysis carried out in [26] with a similar p-GaN device explains this hot electron effect, which causes the generation of traps at the surface that can shift the electric field to the drain edge making it increase, and then, when the electric field at the drain edge exceeds the critical electric field for the device, the device breaks [27].

5. Discussion

Based on the two types of breakdown showed in section 4, table 2 shows the time to breakdown of both devices analyzed with two different bus voltages, discriminating the type of breakdown. Table 2 evidences that premature breakdown times are much shorter than the thermal related breakdown for all the voltages. This means that the actual critical point of these devices is the premature breakdown which is a breakdown related with the high electric field generated and not due to the thermal effect that has a larger time constant. Therefore, the way to improve the capability of SC of these devices could be focusing on increasing the electric field they are able support. It is also important to mention that premature breakdown only occurs in p-GaN HEMT for drain voltages of 400 V and higher, while in GaN MISHEMT it occurs already at drain voltages of 350 V. This could be due to the influence of the metal insulator effect to support a high electrical field. The use of a MIS-type gate stack in the GaN MISHEMT devices, result in a minimization of the gate leakage and allows positive gate bias without gate current injection, unlike the p-GaN MISHEMT. However, in the MIS-type gate the main drawback is the threshold voltage instability due to the interface/border traps in the insulator, and the time-dependent dielectric breakdown of the very thin insulator. These failure mechanisms are induced by high electric field and for the MISHEMT depend on the chosen gate dielectric material and on the related deposition techniques [9].

The SC event represents the most hard-switching condition for a power transistor. In fact, during the ON transition the hard-switching load-line trajectories combine a very high voltage and high current levels overlapping. This event could generate highly energetic electrons (hot-electrons), which can promote long-term reliability issues and also instantaneous charge-trapping effects, and if the hot-electrons density generated is great enough, permanent degradation mechanism can occur. Some of the hot electrons can be trapped at the AlGaIn surface, thereby the electric field distribution is modified and the peak electric field moves from the gate edge to the drain edge.

On the other hand, the time to breakdown of the thermal breakdown has a negative dependence on the applied bus voltage, reducing the time to breakdown when the bus voltage is increased. This is basically due to the higher dissipation with higher bus voltage, which reduces the time needed to heat up the device.

Finally, a special consideration has been shown in the thermal breakdown, that is completely different for p-GaN HEMT and MISHEMT. While in GaN MISHEMT a short-circuit between drain and source occurs, in the case of p-GaN HEMT the breakdown occurs at the gate, without having a short-circuit between drain and source. This behaviour is also confirmed by the measured times. While premature breakdown occurs around the same times for both devices, the thermal breakdown occurs much later, although earlier for p-GaN HEMT than for GaN MIS-HEMT.

6. Conclusion

The SC capability of commercial 600 V p-GaN HEMTs and 650 V GaN MISHEMTs has been tested and analyzed. A comparison between both devices has been made based on experimental results.

The temperature estimation for the 2DEG channel allows the conclusion that different breakdown mechanisms are involved in both devices. One is the temperature related breakdown, which is different for both devices. While the GaN MISHEMT breakdown involves a SC in the device, in the case of p-GaN HEMT the temperature breakdown induces a gate breakdown, disabling gate control for the device.

Nevertheless, the main problem is that both devices can suffer from a breakdown that is not temperature related, called a premature breakdown, which occurs very early during the short-circuit event. This type of failure is currently a

bottleneck for normally-off commercial GaN HEMT devices because it considerably reduces their robustness. To improve the short-circuit capability of GaN HEMTs it is necessary to focus on improving the electric field that they are able to withstand more than focusing on limiting the saturation drain current as could be expected. The power dissipation is not the most critical point, since the thermal breakdown which is caused by power dissipation takes place, in the worst-case, around 50 μs after the SC event for the case of $V_{\text{DD}} = 400\text{ V}$. Time enough for the intervention of the protection circuits to protect the device. In any case the improvements regarding the extraction of heat out the device can help to overcome the local thermal breakdown.

Acknowledgments

This work was partially funded by the Spanish MINECO and FEDER grant ESP2015-68117-C2-1-R and by CEICE-GVA under grant ACIF-2016-330.

ORCID iDs

E Maset  <https://orcid.org/0000-0002-8739-3796>

References

- [1] ECPE Position paper on Next Generation Power Electronics based on Wide Bandgap Devices—Challenges and Opportunities for Europe. [online]. <http://www.ecpe.org>
- [2] Chow T P 2014 Progress in high voltage SiC and GaN power switching devices *Mater. Sci. Forum* **778–780** 1077–82
- [3] Chow T P 2015 Wide bandgap semiconductor power devices for energy efficient systems *Proc. IEEE Workshop Wide Bandgap Power Dev. Appl. (WiPDA)* pp 402–5
- [4] Chowdhury S et al 2014 Comparison of 600 V Si, SiC and GaN power devices *Mater. Sci. Forum* **778–780** 971–4
- [5] Millán J, Godignon P, Perpiñá X, Pérez-Tomás A and Rebollo J 2014 A survey of wide bandgap power semiconductor devices *IEEE Trans. Power Electron.* **29** 2155–63
- [6] Meneghesso G et al 2016 Reliability and parasitic issues in GaN-based power HEMTs: a review *Semicond. Sci. Technol.* **31** 093004
- [7] Wuerfl J et al 2011 Reliability issues of GaN based high voltage power devices *Microelectronics Reliability* **52** 1710–6
- [8] Jones E A, Wang F and Ozpineci B 2014 Application-based review of GaN HFETs *IEEE 2nd Workshop on Wide Bandgap Power Devices and Applications* pp 24–9
- [9] Zanon E et al 2015 Reliability and failure physics of GaN HEMT, MIS-HEMT and p-gate HEMTs for power switching applications: parasitic effects and degradation due to deep level effects and time-dependent breakdown phenomena *IEEE 3rd Workshop on Wide Bandgap Power Devices and Applications (WiPDA)* pp 75–80
- [10] Nishikawa K 2013 GaN for automotive applications *IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)* pp 143–50
- [11] Su M et al 2013 Prospects for the application of GaN power devices in hybrid electric vehicle drive systems *Semicon. Sci. and Technol.* **28** 074012
- [12] Huang X et al 2014 Experimental study of 650 V AlGaN/GaN HEMT short-circuit safe operating area (SCSOA) *IEEE 26th Int. Symp. on Power Semiconductor Devices & IC's (ISPSD)* pp 273–6
- [13] Landel M et al 2016 Experimental study of the short-circuit robustness of 600 V E-mode GaN transistors *Microelectronics Reliability* **64** 560–5
- [14] Fernández M et al 2017 P-GaN HEMTs drain and gate current analysis under short-circuit *IEEE Electron Device Lett.* **38** 505–8
- [15] Fernández M et al 2017 Short-circuit study in medium voltage GaN cascodes p-GaN HEMTs and GaN MISHEMTs *IEEE Trans. Ind. Electron.* **99** 1–1
- [16] Oeder T, Castellazzi A and Pfof M 2017 Experimental study of the short-circuit performance for a 600 V normally-off p-gate GaN HEMT *29th Int. Symp. on Power Semiconductor Devices and IC's (ISPSD) (Sapporo)* pp 211–4
- [17] Tanaka K et al 2015 Suppression of current collapse by hole injection from drain in a normally-off GaN-based hybrid-drain-embedded gate injection transistor *Appl. Phys. Lett.* **107** 163502-1–163502-4
- [18] Meneghini M et al 2016 Gate stability of GaN-Based HEMTs with P-Type gate *Electronics* **5** 14
- [19] Lee F et al 2015 Impact of gate metal on the performance of p-GaN/AlGaN/GaN high electron mobility transistors *IEEE Electron Dev. Lett.* **36** 232–4
- [20] Yatabe Z et al 2016 Insulated gate and surface passivation structures for GaN-based power transistors *J. Phys. D: Appl. Phys.* **49** 393001
- [21] Alim M A et al 2015 Thermal characterization of DC and small-signal parameters of 150 nm and 250 nm gate-length AlGaN/GaN HEMTs grown on a SiC substrate *Semicon. Sci. and Technol.* **30** 125005
- [22] Giovanni C et al 2011 Investigation on the thermal behavior of microwave GaN HEMTs *Solid-State Electron.* **64** 28–33
- [23] Nagahisa T et al 2016 Robust 600 V GaN high electron mobility transistor technology on GaN-on-Si with 400 V, 5 μs load-short-circuit withstand capability *Jpn. J. Appl. Phys.* **55** 04EG01
- [24] Li X et al 2016 Charge trapping related channel modulation instability in P-GaN gate HEMTs *Microelectronics Reliability* **65** 35–40
- [25] Zhou L et al 2017 Investigation on failure mechanisms of GaN HEMT caused by high-power microwave (HPM) pulses *IEEE Trans. on Electromagnetic Compatibility* **59** 902–9
- [26] Meneghini M et al 2012 Time and field-dependent trapping in GaN-Based enhancement-Mode transistors with p-gate *IEEE Electron Dev. Letters* **33** 375–7
- [27] Tanaka K et al 2017 Reliability of hybrid-drain-embedded gate injection transistor *IEEE Int. Reliability Physics Symp. (IRPS) (Monterey CA)* pp 4B-2.1-4B-2.10

Artículo 4:

“Failure analysis of normally-off GaN HEMTs under avalanche conditions”.

Martínez P. J., Letz S., Maset E., Zhao D.

Semiconductor Science and Technology, Vol 35, N° 3,

doi 10.1088/1361-6641/ab6bad, Mar 2020

Failure analysis of normally-off GaN HEMTs under avalanche conditions

P J Martínez¹, S Letz², E Maset¹  and D Zhao²

¹University of Valencia, Department of Electronic Engineering, E-46100 Burjassot, Spain

²Fraunhofer Institute for Integrated Systems and Device Technology, D-91058 Erlangen, Germany

E-mail: Enrique.maset@uv.es

Received 24 July 2019, revised 4 December 2019

Accepted for publication 14 January 2020

Published 11 February 2020



CrossMark

Abstract

Gallium nitride (GaN) high electron-mobility transistors (HEMTs) are promising devices in the power electronics field owing to their wide bandgap (WBG). However, all the potential advantages provided by their WBG require reliability improvement. In industrial applications, robustness is one of the main factors considered by circuit designers. This study focuses on the observation of the degradation behavior of the main waveforms of unclamped inductive-switching (UIS) test circuits of two different commercial GaN HEMT structures. The relevance of this study lies in the potential applications of these devices to high-voltage applications and automotive systems where they are subjected to many UIS events over their lifetime. This study shows that avalanche does not occur on these devices; therefore, the breakdown is caused by the high voltage. A deeper analysis of the breakdown mechanism is achieved using a curve/tracer analyzer, lock-in thermography, and focused ion beam. These experiments reveal that impact ionization is the main failure mechanism that causes breakdown in both structures.

Keywords: avalanche breakdown, GaN HEMT, inductive switching

(Some figures may appear in colour only in the online journal)

1. Introduction

Wide-bandgap (WBG) semiconductors such as silicon carbide (SiC) and gallium nitride (GaN) theoretically offer higher efficiency and power density than Si, which is the dominant power semiconductor material in the field. Owing to advances in the growth and fabrication process of GaN, several high electron-mobility transistors (HEMTs) based on GaN have been developed. The high charge density of two-dimensional electron gas can lead to low on-resistance of transistors. The high electron-saturation velocity increases the maximum switching frequency, resulting in an increase in the overall system frequency and thus reducing losses and size. In addition, the low intrinsic carrier concentration provides a larger operating temperature, which enables operation under harsh environmental conditions [1–4].

GaN-based power devices possess distinctive material properties that induce high breakdown voltages, low on-state resistances, and fast switching properties. However, all these theoretical advantages can only be significant if reliability and robustness can be ensured. The high field and current densities per unit area induce high electric fields concentrated at

very small areas, which represent one of the main issues in GaN reliability. In fact, most of the GaN-related degradation mechanisms are triggered by high electric fields [5, 6]. This issue becomes more pronounced when the operating voltage increases to several hundred volts.

WBG devices are expected to have a wide range of applications if the technology becomes feasible. In the transportation framework, they can be used in medium-power applications such as air conditioners or high-frequency chargers for electric or hybrid cars, thereby reducing the size and switching losses of these components. In high-frequency chargers, the required breakdown voltage is 400–600 V at a battery voltage of 200–300 V. Therefore, GaN devices can be considered for this application. WBG devices can also be used in aircrafts, ships, and electric-train power converters [7, 8]. All these applications usually have inductive loads, which imply that the semiconductor devices used in these applications must pass a robustness evaluation. The main indicators used to evaluate the robustness of new power devices in relation to its sudden death are avalanche ruggedness and short-circuit capability.

Table 1. Parameters of the GaN HEMTs.

	Symbol	GaN MISHEMT GS66508P	p-GaN HEMT PGA26E07BA
Drain-to-source breakdown voltage	BV_{DSS}	650 V	600 V
Continuous drain current ($T_c = 25^\circ\text{C}$)	I_D	30 A	26 A
Internal gate resistance (1 MHz)	R_{G-int}	1.1 Ω	0.6 Ω
Drain-to-source ON resistance ($T_j = 25^\circ\text{C}$)	$R_{DS(ON)}$	50 m Ω (a)	56 m Ω (b)

Avalanche ruggedness is typically achieved in Si metal–oxide–semiconductor field-effect transistors (MOSFETs) and insulated-gate bipolar transistors (IGBTs) via progressive device design and engineering optimization by delaying the parasitic bipolar junction transistor (BJT) activation. In contrast to Si devices, the activation of an n–p–n BJT in a SiC device appears highly unlikely owing to its higher band gap and the weak gain of the parasitic bipolar transistor. Furthermore, a SiC MOSFET can handle $\sim 20\%$ higher avalanche energy at the same current density and $\sim 50\%$ higher current density at the same amount of energy than a Si IGBT [9]. Therefore, SiC MOSFETs offer actual advantages over Si IGBTs/MOSFETs and have demonstrated a good ability to withstand avalanche events [10–12]. In contrast, GaN HEMTs lack the potential for avalanche breakdown because they do not have an intrinsic p–n junction for voltage blocking, as observed in SiC MOSFETs. Nevertheless, because of the absence of a p–n junction across the source–drain of a GaN HEMT, no reverse-recovery effect is induced by the switching charge and minority carrier recombination, which improves the switching performance of GaN. GaN enhanced-mode HEMTs exceed the performance of the best SiC MOSFETs in terms of switching speed, parasitic capacitance, and switching loss. GaN HEMTs are more promising for power-factor correction and in power supplies at very high frequency, such as in the industrial automation and robotics fields. In other applications such as on-board chargers and DC/DC converters found in the automotive sector, both SiC and GaN devices can be used, and frequency is a factor that must be considered when choosing between them. As a general rule, for frequencies higher than 100–200 kHz, GaN is the better option [13]. If the reliability of GaN HEMTs against voltage spikes can be improved, their application in power converters can increase the operating frequency, reduce their size, and lower the cost while simultaneously improving efficiency.

To date, only a few studies on the unclamped inductive switching (UIS) capabilities of GaN HEMTs have been conducted. Most of the available studies show that avalanche does not occur in these devices; therefore, the UIS capability is very low. Reference [14] reported a UIS study on p-GaN HEMTs that revealed that no avalanche capability was observed. The authors suggested focusing on hole removal to increase the UIS withstanding capability. However, the authors in [15] demonstrated that avalanche capability was observed in these devices. They further showed that this capability decreased when the inductance increased. Therefore, more studies are necessary to clarify the UIS capability. Additionally, failure analysis of these devices after UIS

breakdown has not yet been reported. Therefore, the present study analyzes the UIS capability by focusing on the failure mechanism to provide information to device designers.

2. Experimental details

The samples selected for this study are commercially available AlGaIn/GaN (on Si substrate) normally off HEMTs rated at 600 V. We have chosen two different structures: a 600 V p-doped GaN gate (p-GaN) HEMT manufactured by Panasonic with an HD-GIT structure that prevents dynamic resistance [16] and a 650 V GaN HEMT manufactured by GaN Systems Inc. The latter has no information about its structure, but its behavior is similar to a metal–insulator–semiconductor HEMT (MISHEMT). Therefore, we refer to it as GaN MISHEMT in this study. Table 1 lists a summary of the key parameters of the devices.

In this study, the capability of a power GaN HEMT to withstand an avalanche breakdown while being turned off using an unclamped inductive load under specified conditions was measured using the classical test circuit shown in figure 1(a). This circuit consisted of an inductive load and an external driving circuit to control the on time (t_{ON}) of the device under test (DUT). t_{ON} was controlled by an external pulse generator, which contained an external gate resistance (R_G) that can easily be varied such that di/dt during the turn-on process could be controlled. A 10 Ω gate resistance was used in all tests.

Figure 1(b) shows the avalanche process of the Si MOSFETs under UIS testing [during avalanche time (t_{AV})] to observe the main differences compared with that in the investigated GaN HEMTs. The test started with the turning on of the DUT. At this moment, the current started to rise with the slope given by the voltage (V_{DD}) and inductance (L_D) according to (1). We modified the on time of the DUT to reach the desired current value (I_0). At this point, the DUT was turned off, but the current at the inductor needed to flow and the only path was through the DUT. Therefore, the voltage at the drain started to increase with its slope determined by the inductor and parasitic output capacitance (C_{OSS}) until the breakdown voltage level was reached. At this voltage, avalanche occurred, and the voltage was held at V_{BR} because of the behavior of the p–n junction existing in the Si MOSFETs. The test ended when the inductor was fully discharged, and the voltage at the drain of the DUT decreased to bus voltage V_{DD} . Calculating the energy dissipated during the

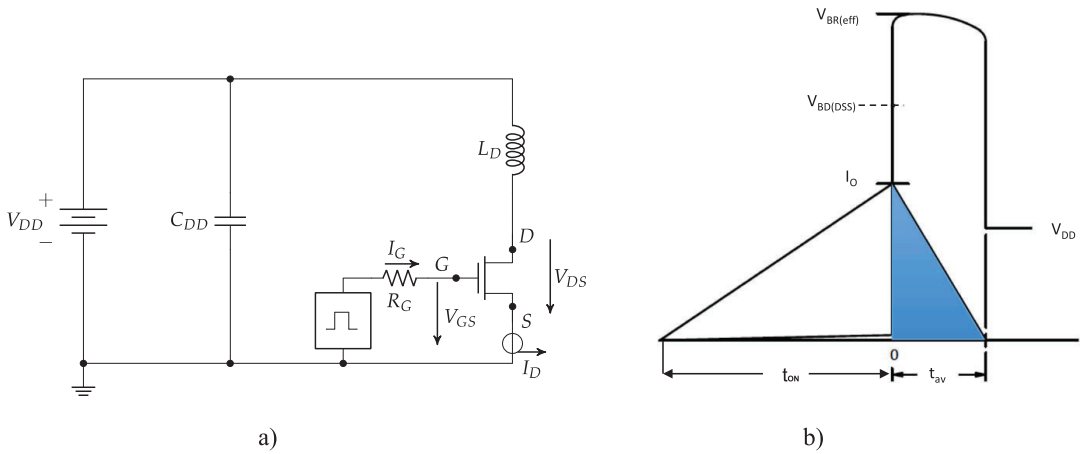


Figure 1. (a) UIS circuit diagram. (b) Key waveforms of a Si MOSFET.

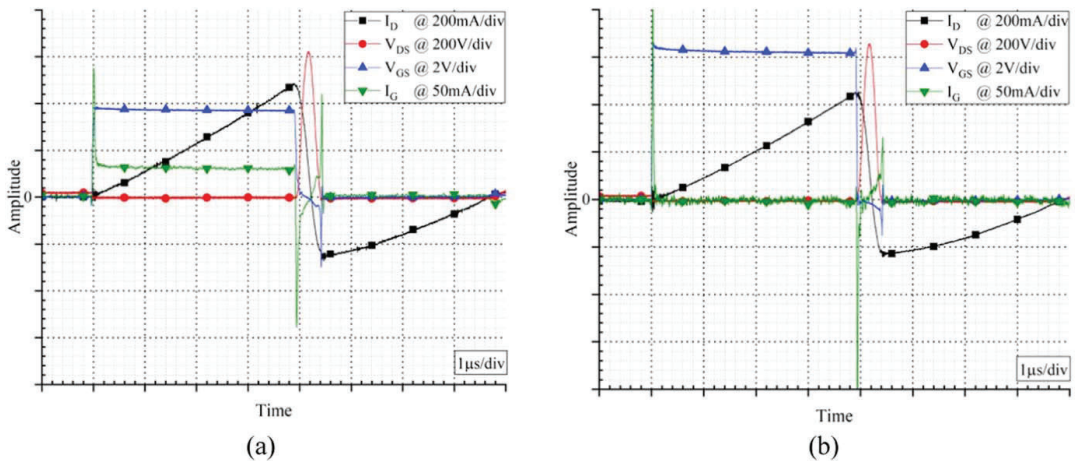


Figure 2. Main waveforms of the UIS test of the GaN HEMTs under study. (a) p-GaN HEMT. (b) GaN MISHEMT.

avalanche time is possible using the following equations:

$$\frac{dI}{dt} = \frac{V_{DD}}{L_D}, \tag{1}$$

$$E_{AV} = \int_{I=0}^{I=I_{AV}} V_{DS}(t) \cdot I_D dt. \tag{2}$$

The experimental setup was specifically designed using a printed circuit board layout and tip probes in which close attention was paid to minimize the ringing effects on the measurement. The drain current was measured using a two-stage current transformer consisting of a small 1:10 ferrite first-stage transformer and a Pearson Electronics model 2878 current monitor for the second stage. We selected this two-stage transformer instead of a coaxial shunt to minimize the parasitic inductance of the connection.

In this test, we intended to understand the breakdown process of the devices, find key insights that could improve their behavior under unclamped inductive load switching, and determine how the UIS affects the breakdown.

3. Experimental results

3.1. UIS behavior before breakdown

To obtain the UIS capability of the DUT, we increased the on time of the current in steps of 1 μ s until breakdown was reached. At breakdown, we measured the energy withstood by the devices and the achieved voltage level. Figure 2 shows the behavior of both devices (p-GaN and MISHEMT) before reaching breakdown ($t_{ON} = 4 \mu$ s). The gate voltage used in

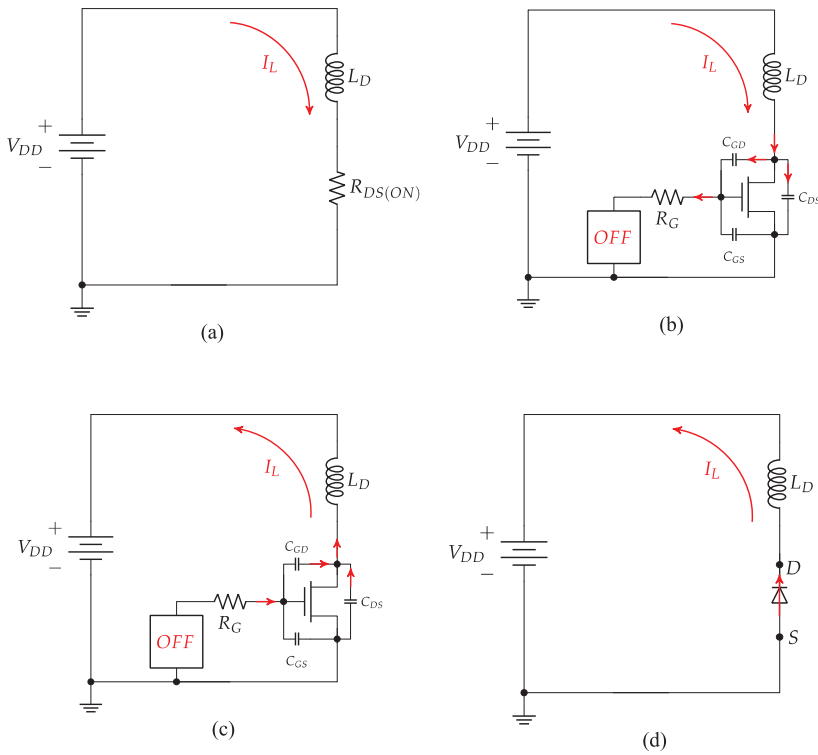


Figure 3. Circuit scheme with different current paths during the UIS test of the GaN HEMT during (a) inductor charging, (b) charging of the output capacitance of the DUT, (c) discharging of the output capacitance of the DUT, and (d) discharging of the inductor using the freewheeling diode.

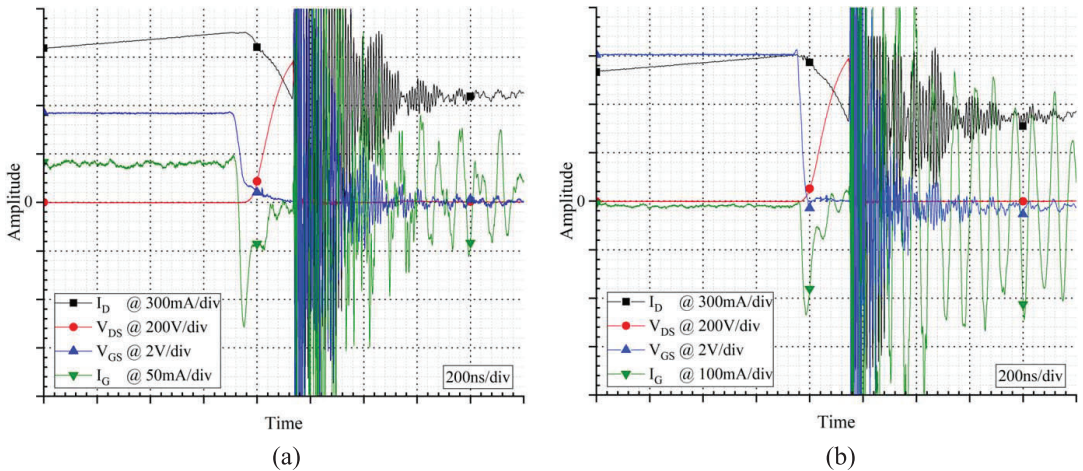


Figure 4. Breakdown waveforms of (a) p-GaN HEMT with 9 μs on-state current and (b) GaN MISHEMT with 8 μs on-state current.

all tests was $V_{GS} = 6\text{ V}$ for the MISHEMT devices and $V_{GS} = 4\text{ V}$ for the p-GaN devices, which were the recommended voltages by the manufacturers. The inductor used was a 166 μH air-core inductor with a parasitic series

resistance (R_{series}) of 904 m Ω . The drain voltage applied to charge the inductor was $V_{DD} = 20\text{ V}$.

Figure 2 shows the similar behavior of both devices under the UIS test. However, one notable difference was

Table 2. Breakdown measurements.

Parameter	Symbol	GaN HEMT	
		GaN system GS66508P	Panasonic PGA26E07BA
Maximum current	I_{MAX}	1.04 A	1.11 A
Maximum voltage	$V_{DS,MAX}$	1167 V	1153 V
UIS energy	E_{AV}	89.77 μ J	102.2 μ J

observed during the on state of the DUT. Whereas the on-state gate current ($I_{G(ON)}$) in the MISHEMT device was almost zero (theoretically, a few microamperes should exist, but this was not measurable because of the limited precision of the instrument), the p-GaN device showed an on-state gate current ($I_{G(ON)}$) of ~ 50 mA. This result was due to the different gate structure between the two devices. During this on time, V_{GS} had a predefined positive value of $V_{GS} = 6$ V in the MISHEMT and $V_{GS} = 4$ V in p-GaN. On-state drain-to-source voltage V_{DS} depended on the current and on-state device resistance ($R_{DS(ON)}$), which, in both devices, was in the millivolt range. However, this range could not be precisely measured with the voltage per division used during the test (100 V div^{-1}). During this time, the drain current (I_D) increased with the slope fixed by the inductor, as expressed in (1).

After the on state, both devices exhibited the same behavior. Because the inductor was charged and the only path for the current was through the DUT, V_{DS} increased with the slope fixed by C_{OSS} until the current reached 0 A. At this point, the voltage at the drain of the DUT was higher than that at the input (V_{DD}), which could cause the current to flow from the DUT to the source and negatively charge the inductor current. The test was completed when the drain voltage reached zero. To easily understand the gate current during the off time, a step-by-step scheme is shown in figure 3.

During the first interval (figure 3(a)), the gate current, which depended on the device characteristics, was in the microampere range for the GaN MISHEMT device and in the milliampere range for the p-GaN device. During the second interval (figure 3(b)), a negative gate current resulted from the charge of the parasitic capacitor between the drain and gate (C_{GD}). The next interval began when the inductor was fully discharged, i.e. I_D reached 0 A. At this time (figure 3(c)), the gate current was positive because of the discharge of C_{GD} . Finally, when C_{OSS} discharged, the current in the inductor started to discharge because of the diode-like reverse behavior of the GaN HEMT, and the gate current became zero (figure 3(d)).

3.2. UIS behavior at breakdown

When sufficient on time is available to reach a current value that corresponds to the energy that the device cannot withstand, breakdown occurs. This moment is shown for both devices in figure 4 with a zoom in of the voltage and current. When breakdown occurs, the devices suffer a short circuit between the drain and source, thereby increasing the drain

current. However, knowing the breakdown mechanism and path of the current is not possible using the waveforms only. The breakdown mechanisms due to overvoltage of the GaN HEMTs are well studied. Reference [5] provided a review of all these mechanisms. When breakdown occurs in a UIS test, only the current increase is observed with the slope given by (1), and the voltages at the gate and drain become zero. Table 2 lists the mean value of the current, voltage, and energy limits of all devices after breakdown. The difference between the limits of the two devices is not relevant because the p-GaN device supports more energy, which should be only due to the slightly higher output capacitance that comes from the lower voltage limit of the p-GaN device. However, this difference is not relevant as both device limits are very far from those of the Si or SiC devices because avalanche does not occur and the breakdown is not induced by heat or voltage limit.

During the test, we slowly increase the inductor charge time to obtain the precise moment when the energy on the inductor reaches the critical value that the device can withstand. However, this does not mean that the device breakdown is reached due to the energy. The energy stored in the inductor is transferred to the output capacitance of the HEMT. Therefore, the voltage increases until breakdown is caused by overvoltage. In some devices, breakdown occurs when the behavior of the waveforms is different from that shown in figure 4. Instead, the behavior is shown in figure 5(a), which shows how the device appears to break. However, the energy in the inductor is near the limit at which the device drain voltage causes the breakdown. In this case, the current after breakdown does not increase, only degradation occurs, and the device is still able to provide current. This condition allows us to test the device again and extract some information from the transconductance and leakage-current curves. This degradation is shown in figure 5(b) in which, despite having higher on time and therefore higher current peak, the drain voltage reached by the device is lower due to the increase in the leakage current. Therefore, to reach the same drain voltage during the test, higher current is necessary to charge the output capacitor because part of the current flows through the DUT as a drain leakage current.

Here, we aim to confirm the results of the leakage-current increase and know if this increase is due to the drain-source or drain-gate leakage current or both. Therefore, we conduct one more experiment using curve/tracer analyzer B1505A to measure the transconductance and drain and gate leakage currents when a drain voltage is applied before and after the degradation shown in figure 5. The transconductance test is shown in figure 6 at $V_{DS} = 0.1$ V, where V_{GS} is varied between 0 and 4 V for the p-GaN device and between 0 and 5 V for the MISHEMT device. The leakage-current test with the drain voltage applied is shown in figure 7 at $V_{GS} = 0$ V, where V_{DS} is varied between 0 and 600 V.

Figure 6(a) shows that the transconductance of p-GaN remains unchanged during the on state not only for the drain but also for the gate current. In the MISHEMT (figure 6(b)), the behavior is different because the driving current in the device decreases after the degradation. This variation matches

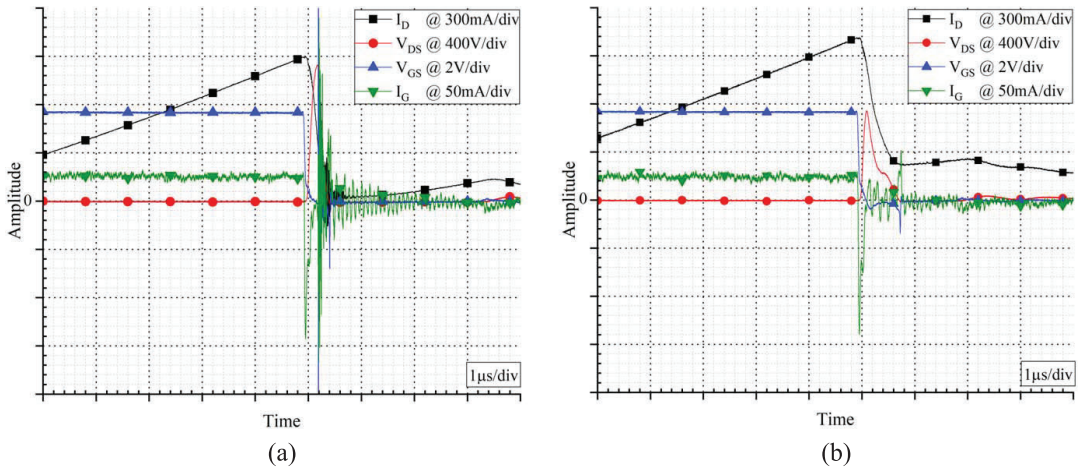


Figure 5. Degradation waveforms before breakdown in the p-GaN HEMT (it is the same in the GaN MISHEMT).

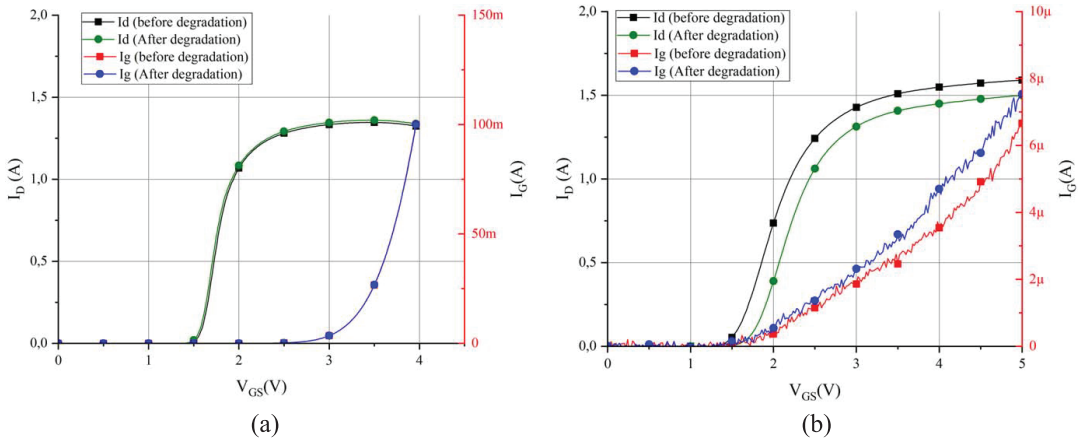


Figure 6. I_D - V_{GS} measurement at constant $V_{DS} = 0.1$ V by varying V_{GS} between 0 and 4 V before and after the degradation induced by the UIS test for the (a) p-GaN HEMT and (b) GaN MISHEMT.

with the reports by other researchers, which described trapping under the gate [17]. The high voltage reached during the avalanche test induces charge trapping in the AlGaN surface and/or in the buffer region, which results in a reduction in the current that the device can drive. However, these results do not show any sign of permanent degradation because the trapping effects can be recovered by time or temperature.

In contrast, the drain-to-source leakage-current test shows clear signs of degradation in both devices. The degradation in both devices is found between the drain and source (from the black to the green line in figure 7) because the leakage current, when a high drain voltage is applied, induces a large increase in the drain leakage current while the drain-gate leakage current is kept constant (as shown by the red and blue lines in

figure 7(a) and (b)). In the test after degradation, $V_{DS} = 600$ V could not be reached because the maximum current limit of the high-voltage measuring equipment, namely, 8 mA, has been reached. Maximum V_{DS} that can be achieved is $V_{DS} = 30$ V for p-GaN and $V_{DS} = 95$ V for the MISHEMT. Meanwhile, the gate current is kept almost constant in this range. Thus, we can surmise that the degradation mechanism induced by the UIS test occurs only between the drain and source and not between the drain and gate because the latter does not show any increase during the measurements. Therefore, from the mechanisms explained in [5], the breakdown in these devices can only be due to punch-through, impact ionization, or vertical breakdown and eliminate all other mechanisms related to the drain-gate leakage.

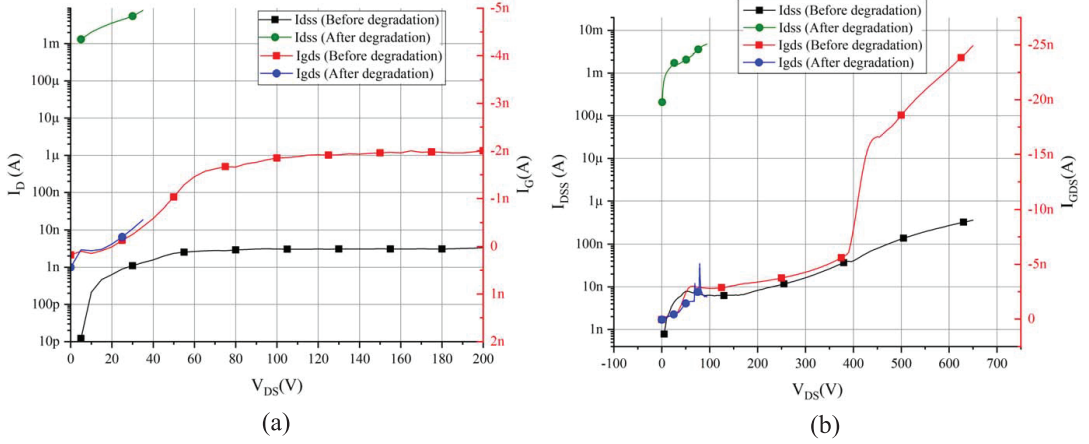


Figure 7. I_{DSS} - V_{DS} measurement at constant $V_{GS} = 0$ V by varying V_{GS} between 0 and 200 V before and after the degradation induced by the UIS test for the (a) p-GaN HEMT and (b) GaN MISHEMT.

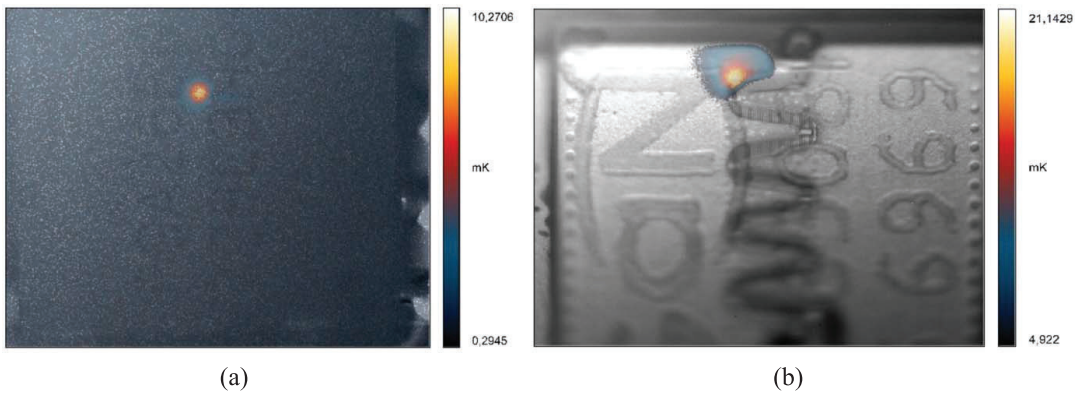


Figure 8. Lock-in thermography images obtained with the application of drain-source voltage to (a) p-GaN at $V_{DS} = 1.58$ V and (b) GaN MISHEMT at $V_{DS} = 11.23$ V.

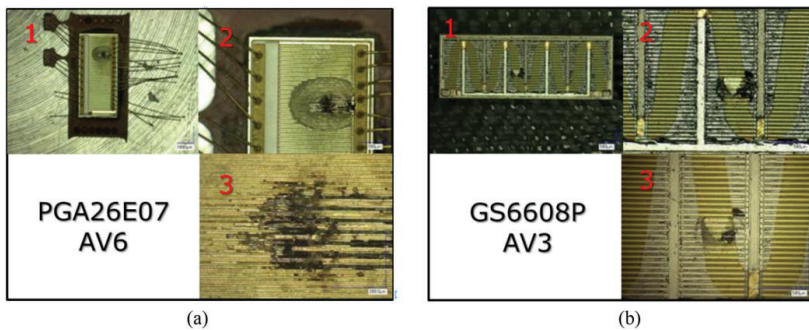


Figure 9. Microscopy analysis after chemical etching of two samples. (a) p-GaN HEMT. (b) GaN MISHEMT.

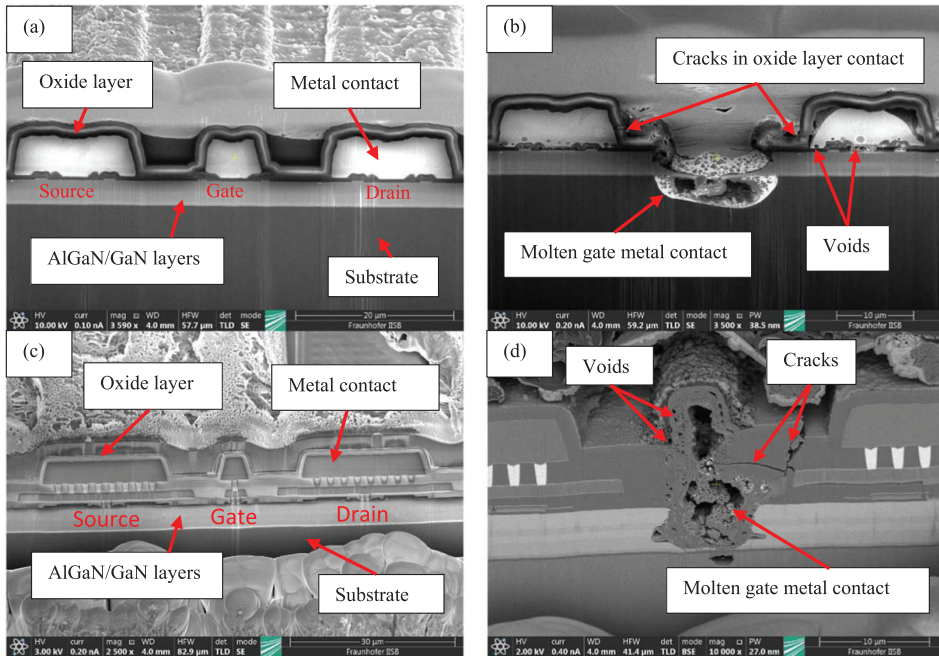


Figure 10. FIB cross sections of the GaN devices used in the UIS tests. (a) Undamaged region of the p-gate GaN HEMT. (b) Damaged region of the p-gate GaN HEMT after the UIS test. (c) Undamaged region of the GaN MIS-HEMT. (d) Damaged region of the GaN MIS-HEMT after the UIS test.

3.3. Failure analysis

To obtain further insight into the breakdown mechanism that occurs during the UIS test, a physical-failure analysis on the damaged devices was conducted at the Fraunhofer Institute for Integrated Systems and Device Technology. First, lock-in thermography measurements were performed to roughly locate the damaged area for further microscopy analysis. This method was selected because it does not induce any damage on the device as the power dissipation of the device is controlled to measure the temperature variations on the order of millikelvin. The instrument used was an ELITE Thermal Platform High Resolution Lock-In Thermography base system equipped with a high performance InSb 320 M infrared camera, both from DCG Systems. Figure 8 shows the degraded regions of the two devices (left: p-GaN and right: MISHEMT) obtained by the lock-in thermography.

Although the number of samples investigated by this method was relatively small, we can conclude at this stage that the failure location among the different samples appeared to be random. Thus, no systematic weak point of the devices could be identified. Considering the rough location of the damaged area, the devices were decapsulated using nitric acid as a chemical etchant. Two exemplary results are shown in figure 9.

We can see that the edge length of the damaged area was approximately 100–200 μm , which could be easily identified using an electron microscope. For further insights into the damage mechanism, the cross sections of the damaged areas

were produced by a ThermoScientific Helios G4 PFIB UXe dual beam focused ion-beam (FIB) system. The resulting cross sections of the p-GaN and MISHEMT devices are shown in figures 10(a)–(d).

The cross-sectional images show that the origin of the heat generation in both device types was around the gate. The released energy was sufficiently high to melt the gate metal in both devices, causing the liquid metal to propagate into the underlying layers and subsequently forming Si-enriched crystals. In the MISHEMT chip, large cracks could be observed at the side directed toward the drain contact. For a complete reconstruction of the damage mechanism, further investigations are needed. However, taking into consideration the present results and the damage mechanisms discussed in [5], the following conclusions can be drawn. The drain-source leakage-current mechanism was predominantly observed in short channel devices with a gate length that was shorter than 1 μm . In both devices in this work, a gate length of approximately 5–10 μm was observed, which unlikely caused this failure mechanism. Furthermore, the gate-related breakdown due to surface conduction from defects or contamination did not appear to occur here because the GaN-system device used the MIS scheme that completely suppressed gate-related leakages. The vertical breakdown mechanism also did not appear to play a critical role because significant leakage current appeared at the edges of the device during the vertical breakdown, as reported by Umeda *et al* [18]. However, in our case, the hot spot appeared to be always close to the gate region. The remaining mechanism

reported in the literature was the breakdown due to impact ionization, which occurred in the region between the gate and drain. During the off state, when high lateral electric fields occurred during the UIS test, electrons could be injected from the source to the gate edge that was directed to the drain side. Therefore, electron/hole pairs were generated, and the holes could flow into the buffer where they were captured by deep donors. Consequently, a decrease in the negative space charge of the buffer could occur, which reduced the barrier for injection of electrons into the GaN layer. The high current density at the gate edge led to a strong thermal dissipation that was sufficiently high to melt the gate metal. At least, for the GaN-systems device, the cracks that existed at the gate on the drain side provided a strong hint that this mechanism might be the most probable cause of the breakdown mechanisms discussed. If this proposed failure mechanism actually occurs during the test, limiting the electric field would improve the stability of the devices and shift the desirable current during UIS to higher values. Possible optimization strategies were also provided in [5], which involved improved source-field plates, optimized dielectrics, and better design of the gate head.

4. Conclusion

The UIS test results confirm that no avalanche capability exists in the GaN HEMT. Therefore, the drain voltage increases until breakdown is reached due to high voltage. The energy that the devices can withstand in the UIS test is directly related to the parasitic output capacitance of the DUT. Failure analysis using the curve tracer clearly demonstrates that leakage-current increase occurs between the drain and source without affecting the drain-gate leakage current. The FIB reveals a gate length of approximately 5–10 μm in these devices and a hot spot that is always close to the gate region. All evidence eliminates the other breakdown mechanisms to be the cause, leaving only the impact-ionization breakdown. This result demonstrates that impact ionization is the predominant breakdown mechanism in the two devices tested under UIS. Therefore, improvements can be achieved by optimization strategies involving improved source-field plates, optimized dielectrics, and better gate-head design.

Acknowledgments

This work was supported in part by the Spanish Government under Project MINECO-FEDER RTI2018-099009-B-C22 and in part by scholarship CEICE-GVA-ACIF-2016-330.

ORCID iDs

E Maset  <https://orcid.org/0000-0002-8739-3796>

References

- [1] Chow T P 2014 Progress in high voltage SiC and GaN power switching devices *Mater. Sci. Forum* **778–780** 1077–82
- [2] Chow T P 2015 Wide bandgap semiconductor power devices for energy efficient systems *Proc. IEEE Workshop Wide Bandgap Power Devices Appl. (WiPDA)* 402–5
- [3] Chowdhury S, Stum Z, Li Z D, Ueno K and Chow T P 2014 Comparison of 600V Si, SiC and GaN power devices *Mater. Sci. Forum* **778–780** 971–4
- [4] Godignon M P, Perpina X, Tomas A P and Rebollo J 2014 A survey of wide bandgap power semiconductor devices *IEEE Trans. Power Electron.* **29** 2155–63
- [5] Meneghesso G, Meneghini M and Zanoni E 2014 Breakdown mechanisms in AlGaIn/GaN HEMTs: an overview *Japan. J. Appl. Phys.* **53** 100211
- [6] Wuerfl J et al Reliability issues of GaN based high voltage power devices *Microelectron. Reliab.* **53** 1710–6
- [7] Whaling C L 2014 Market analysis of wideband gap devices in car power electronics IEEE Transportation Electrification Community (<http://tec.ieee.org/newsletter/november-december-2014/>)
- [8] Kachi T 2014 Recent progress of GaN power devices for automotive applications *Japan. J. Appl. Phys.* **53** 100210
- [9] Ren N, Hu H, Lyu X, Wu J, Xu H, Li R, Zuo Z, Wang K and Sheng K 2019 Investigation on single pulse avalanche failure of SiC MOSFET and Si IGBT *Solid-State Electron.* **152** 33–40
- [10] Dchar I, Zolkos M, Buttay C and Morel H 2017 Robustness of SiC MOSFET under avalanche conditions *APEC (Tampa, FL, United States)* IEEE 2263–8
- [11] Nawaz M 2016 Evaluation of SiC MOSFET power modules under unclamped inductive switching test environment *Microelectron. Reliab.* **63** 97–103
- [12] Castellazzi A, Fayyaz A, Romano G, Yang L, Riccio M and Trace A 2016 SiC power MOSFETs performance, robustness and technology maturity *Microelectron. Reliab.* **58** 164–76
- [13] Morya A, Moosavi M, Gardner M C and Toliyat H A 2017 Applications of wide bandgap (WBG) devices in AC electric drives: a technology status review *IEEE Int. Electric Machines and Drives Conf. (IEMDC) (Miami, FL)* pp 1–8
- [14] Saito W and Naka T 2016 UIS test of high-voltage GaN HEMTs with p-type gate structure *Microelectron. Reliab.* **64** 552–5
- [15] Marek J et al 2018 Power p-GaN HEMT under unclamped inductive switching conditions PCIM Europe *Int. Exhibition and Conf. for Power Electronics (Germany: Intelligent Motion, Renewable Energy and Energy Management Nuremberg)* 929–33 (<http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=8402951&isnumber=8402799>)
- [16] Kenichiro T et al 2015 Suppression of current collapse by hole injection from drain in a normally-off GaN-based hybrid-drain-embedded gate injection transistor *Appl. Phys. Lett.* **107** 163502
- [17] Matteo Meneghini N, Ronchi A, Stocco G, Meneghesso U K, Mishra Y, Pei and Zanoni E 2011 Investigation of trapping and hot-electron effects in GaN HEMTs by means of a combined electrooptical method *IEEE Trans. Electron Devices* **58** 2996–3003
- [18] Umeda H, Suzuki A, Anda Y, Ishida M, Ueda T, Tanaka T and Ueda D 2010 Blocking-voltage boosting technology for GaN transistors by widening depletion layer in Si substrates *Int. Electron Devices Meeting (San Francisco, CA, 6–8 Dec. 2010)* 20.5.1–04

Artículo 5:

“Evidence of dynamic-R-on degradation on low-dose Co-60 gamma radiation AlGa_N/Ga_N HEMTs”.

Martínez, P. J.; Maset, E.; Gilabert, D.; Sanchis-Kilders, E.; Bta Ejea, J.
Semiconductor Science and Technology,

Vol 33, Nº 11. doi 10.1088/1361-6641/aae616, Nov 2018

Evidence of dynamic- R_{on} degradation on low-dose ^{60}Co gamma radiation AlGaIn/GaN HEMTs

P J Martínez, E Maset , D Gilabert, E Sanchis-Kilders and J Bta Ejea 

University of Valencia, Department of Electronic Engineering, E-46100 Burjassot, Spain

E-mail: Enrique.maset@uv.es

Received 20 June 2018, revised 7 September 2018

Accepted for publication 3 October 2018

Published 19 October 2018



CrossMark

Abstract

Wide band gap semiconductors are expected to be the future technology for power semiconductors that can enable the reduction of power consumption in many applications. But, in order to use these materials, it is necessary to study their reliability. Regarding its possible use in radioactive environments, it is essential to know the response of HEMT structures based on GaN under radiation. This paper is focused on the study of the effects of gamma radiation on dynamic performance of commercial GaN HEMTs. A test campaign was performed to detect variations on dynamic on-resistance induced by irradiation, due to the relevance of dynamic resistance behavior in power switching converters. This study demonstrates an increase of the dynamic resistance in MISHEMTs structures when they are under gamma radiation together with a voltage stress in the drain region. This increase takes place especially after a hard-switching transition due to the hot-electron effect that takes place during the switching events and can not only lead to an increase of the power losses, but also a reduction in the life time of the device due to the permanent degradation that could be induced by the hot-electron effect.

Keywords: AlGaIn/GaN HEMT, hot electron effect, semiconductor device reliability, dynamic on resistance

(Some figures may appear in colour only in the online journal)

1. Introduction

It is expected that about 60% of the world wide used energy in 2040 will be provided by electric power. Efficient processing of electrical energy through means of electronic switching devices that enable high frequency and high efficiency power electronics converters is mandatory for seeking a more rational use of the electric energy [1].

Due to the advances in the growth and fabrication process in GaN, high electron mobility transistors (HEMTs) have been developed. The high sheet charge density of the two-dimensional electron gas (2DEG) enables the design of transistors with a lower on-resistance, which translates into the reduction of conduction losses. The capability of GaN to work at higher temperatures allows reaching higher levels of power without causing a thermal failure. Finally, the high breakdown field (3.3 MV cm^{-1}) also allows fabricating devices with high breakdown voltage.

All the theoretical benefits of GaN power devices due to their distinctive material properties (high breakdown voltages, low on-state resistances and fast switching properties, all together) can only be of great advantage if reliability and robustness can be validated. These properties are the consequence of extremely high field and current densities that are possible per unit device volume or area, but at the same time, these high electric fields are concentrated at a very small region around the gate, which represents one of the main problems in GaN reliability. Most of the GaN related degradation mechanisms are triggered by high electric fields [2, 3].

In power application it is very important, in terms of efficiency, to reduce the conduction losses for which we need to have a transistor with a very low on-resistance and to reduce the switching losses, which is achieved with a low $R_{ON} \cdot Q_G$ product (product of on-resistance and gate charge). Theoretically, GaN power semiconductors can achieve these properties, however, the extended defects resulting from the heteroepitaxial

Table 1. Parameters of the investigated GaN HEMTs.

	Symbol	GaN MIS-HEMT GS66508P	p-GaN HEMT PGA26C09DV
Drain-to-source breakdown voltage	BV_{DSS}	650 V	600 V
Continuous drain current ($T_c = 25^\circ\text{C}$)	I_D	30 A	15 A
Internal gate resistance (1 MHz)	R_{G-int}	1.1 Ω	4.4 Ω
Drain-to-source ON resistance ($T_j = 25^\circ\text{C}$)	$R_{DS(ON)}$	50 m Ω^a	71 m Ω^b
Input capacitance (1 MHz, 400 V)	C_{ISS}	168 pF	259 pF
Total gate charge	Q_G	5.8 nC	11 nC

^a Measured at 9 A.^b Measured at 8 A.

growth can have a negative effect on the dynamic performance of GaN HEMTs due to the enhancement of the trapping process [4]. One critical dynamic issue of GaN power HEMTs is the so-called ‘current collapse’ that appears in switching power applications. It is caused by electron trapping and de-trapping and appears as a transient and recoverable reduction in drain current after the application of high voltage in off-state. When the device is pulsed from the high-bias off-state into the on-state condition, an increase of the dynamic on-resistance (R_{ON_DYN}) compared to the equilibrium condition appears [5–7]. Such effect is related to charge trapping upsetting the dynamic performance. Maintaining a low R_{ON_DYN} during high voltage switching is essential for power switching applications. Electrons trapped in donor-like defect states near the 2DEG deplete the 2DEG, causing a reduction in the device conductivity (increasing R_{ON_DYN}) until the trapped charges are able to recombine.

In space and nuclear applications, the extreme environment due to the radiation is one of the main reasons of reduced reliability. If GaN HEMTs have to be used in space or nuclear facilities, they will suffer fluxes of high-energy protons and electrons in low earth orbit as well as neutrons or gamma rays in nuclear applications. Therefore, the effect of high-energy particle irradiation should be considered when HEMTs devices are proposed to work in these extreme environments. Total ionizing dose (TID) radiation effect in AlGaIn/GaN HEMTs has been studied in the past, but focusing in theoretical studies, simulations and in the effect on experimentally measured static electrical characteristics. The objective in this paper is to know if the gamma-ray irradiation could affect the switching and conduction losses due to changes in the dynamic resistance R_{ON_DYN} of these devices. In terms of reliability and in terms of DC–DC converter designers’ point of view, the transient behavior of R_{ON_DYN} during the device turn-on can reduce the future applicability of GaN HEMTs as power switch in space or nuclear applications.

2. Experimental details

For the test campaign we have selected commercially available AlGaIn/GaN on Si substrate normally-off HEMTs, rated at 600 V. We have chosen two different structures: a 600 V p-doped GaN gate (p-GaN) HEMT encapsulated in a TO-220 package (manufactured by Panasonic Corporation) and a 650 V GaN metal–insulator–semiconductor HEMT (MIS-HEMT) encapsulated with an embedded die packaging

Table 2. TID radiation parameters.

Step	Average dose rate [rad(Si)/h]	Irradiation time (h)	Accumulated dose [krad(Si)]
1	215.6	258.7	55.8
2	212.6	686.2	201.7
3	211.7	454.4	297.9

(manufactured by GaN systems Inc.). Table 1 summarizes the key parameters of the investigated devices.

In order to know the gamma irradiation effect, a test campaign has taken place in the CNA-RADLAB facilities at the National Center of Accelerators, in Seville (Spain) using a ⁶⁰Co gamma source. Twelve commercial GaN HEMT of each type have been selected and 3 steps of irradiation have been done. In table 2, the irradiation parameters for each step are shown. Under radiation, the devices were in an off-state condition, both with or without voltage stress at the drain. Eight devices of each type were exposed to a drain voltage of 400 V, and the other four devices were connected with all their terminals shorted to ground. When applying 400 V to the drain during the irradiation experiments, a resistor of 10 k Ω was placed between the voltage supply and the drain terminal, to limit the current in case of catastrophic failure.

In addition, two more devices of each type were used as reference devices during the test campaign experiment. They were exposed to a drain voltage of 400 V, but without applying gamma radiation. The purpose of these reference devices under test (DUT) is to discard possible changes that could be only due to the high voltage stress applied but not to the radiation. All these samples have been grouped into three different batches. Table 3 shows the test bias conditions for these three batches.

In order to see the effects that radiation/voltage stress has on these GaN HEMTs devices, some electrical characterizations measurements have been done before, during and after irradiation: transconductance (I_D – V_{GS}), drain leakage characteristic (I_{DSS} – V_{DS}), parasitic capacitances (C_{ISS} , C_{OSS} and C_{RSS}) and output characteristic (I_D – V_{DS}) using the B1505A Keysight power analyzer/curve tracer.

Additionally, due to the importance of maintaining a low R_{ON_DYN} during high voltage switching, this parameter has been measured to see if gamma irradiation together with the voltage stress could generate any variation over traps in the device. For this measurement, a faster circuit compared to the B1505A set-up has been built, because it is necessary to

Table 3. Bias conditions of irradiation samples.

	V_{GS} (V)	V_{DS} (V)	Radiated	N° of samples of each type
Batch 1	0	400	Yes	8
Batch 2	0	0	Yes	4
Batch 3	0	400	No	2

measure the R_{ON_DYN} as soon as possible after the turn-on of the device. This circuit is shown in figure 1.

This dynamic ON-resistance test consists on a simple hard switching test with resistive load. For the tests, a drain voltage of $V_{DD} = 400$ V with a load resistor of $R_{load} = 220 \Omega$, has been used, in order to have a drain current near to 2 A through the DUT. The current level was selected high enough to have the necessary voltage drop on the device to make a good measurement but not too high to not induce a measurable self-heating of the device (that could lead to a change of the electron mobility in the 2DEG channel). To control the on-time of the DUT, a generic MOSFET gate driver (IXDN609SI) was used. In practice, a series resistor with the gate of the HEMT of $R_G = 10 \Omega$ has been used to slow down the turn-on slope and therefore avoiding undesired oscillations. When the gate pulse turns off the DUT, a high voltage (close to the supply voltage, V_{DD}) is applied to the drain, starting the stress time. During the on time of the DUT, we register the voltage drop at the channel of the HEMT and the current through it, measured with a commercial shunt resistor (SDN 414-10) of $R_{shunt} = 100$ m Ω . In order to determine the on-resistance, a division of voltage by current has been done using a mathematical channel of a high bandwidth digital scope (Teledyne HDO 6104).

A good precision on the on-resistance measurement is needed, but it is a difficult task because it is not easy to measure the drain-source voltage drop at the DUT. The problem is the large dynamic range of the input signal. If we select a small voltage range per division, the oscilloscope input amplifier is overloaded and an accurate determination of the on-state voltage is not achievable with standard measurement equipment. In order to avoid that problem, a voltage clamp circuit together with the passive voltage probe has been used. In our case, the voltage clamp used was the commercial clp1500V15A1 of Springburo GmbH. We have selected the low range (2 V) in the voltage clipper in order to have a faster response, which is in our case is as fast as 75 ns taking into account the passive voltage probe and the voltage clipper. Precise frequency response compensation has been done in the passive voltage probe to compensate the whole chain of clipper and voltage probe. The sequence of the pulses for the dynamic resistance test, used to obtain the R_{ON_DYN} after each radiation step is shown in figure 2, showing the key waveforms of the drain and gate voltage and drain current.

3. Experimental Results

After the radiation test campaign, all the static electrical characteristics measured (I_D - V_{GS} , I_{Doff} - V_{DS} , C_{ISS} , C_{OSS} , C_{RSS} and I_D - V_{DS}) did not present any variation respect to the pre-radiation

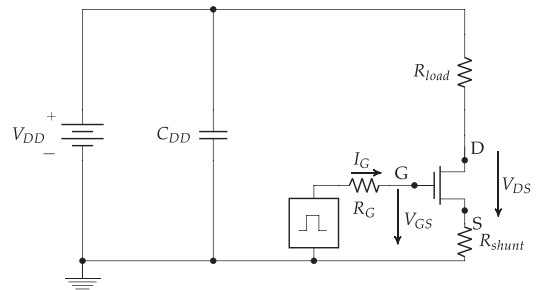


Figure 1. Circuit diagram used to measure dynamic resistance, R_{ON_DYN} .

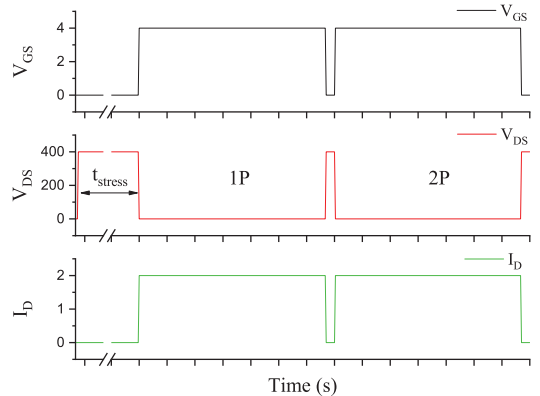


Figure 2. Time diagram of the key waveforms in the dynamic resistance test.

measurements. This invariance against gamma radiation is due to the low total dose applied 0.3 Mrad(Si), which agrees with the results reported in other studies. In [8], AlGaIn/AIn/GaN HEMTs were tested and only suffered changes after 10 Mrad(Si) with a degradation pattern that depend on the bias conditions, being invariable with radiations doses of 5 Mrad(Si). Also, in [9] the AlGaIn/GaN HEMTs devices suffered slight variations with much greater radiation doses, specifically, the variation was of $-0, 1$ V of threshold voltage with a radiation applied of 600 Mrad. Different authors suggest that irradiation results in simultaneous generation of mutually compensating defects. The comparison of different studies is not possible since detailed device structure is not available. However a common trend of a negative threshold voltage shift is observed with high radiation doses. In [10] the authors have proven a non-monotonic nature of the effects of gamma irradiation, denoting discrepancies between several studies that could be due to a structure sensitive response of the defects generated during the irradiation. Additionally, [11] establishes that a single worst-case bias condition, for the electrical characteristic degradation, cannot be defined for all varieties of AlGaIn/GaN HEMTs.

Regarding dynamic characteristics, the first thing to do was to study if the HEMTs are current-collapse free or not before radiation. In this way, we can evaluate whether the

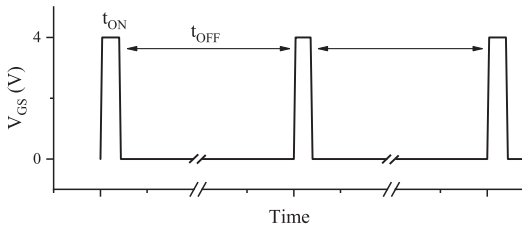


Figure 3. Time diagram of gate voltage waveforms applied to the DUT during current-collapse free evaluation measurement.

radiation affects the existing charges or not. To evaluate the current-collapse effect, we use the circuit shown in figure 1, applying a multiple pulses sequence. The gate pulse pattern consists on 500 ms OFF state and 6 μ s ON state as shown in figure 3. The measurement of resistance will be done 5 μ s after the ON pulse has started, applying enough repetitive pulses until the R_{ON_DYN} stabilizes. The test was repeated for different drain to source voltage stress (from 400 to 600 V) and the results are shown in figure 4.

From these results it is possible to draw two conclusions. The first is the nonexistence of trapped charges in the p-GaN HEMT, due to the use of an additional drain-side p-GaN that compensates the hole emission in the epilayer at the OFF state [12] and therefore current-collapse does not appear up to its rated voltage of 600 V. The second is that GaN MISHEMT is no current collapse free and shows a trapping behavior, which could be explained as a virtual gate effect [13]. The voltage stress starts a process of electrons trapping on the surface in donor like state, creating an excess of negative charges on the AlGaN surface (surface state charges) and/or in the AlGaN barrier layer allowing the formation of the virtual gate. Therefore, as far as this effect is gate voltage dependent it is important to choose a correct gate voltage in order to see any change produced after radiation. As shown in figure 4, the dynamic resistance of GaN MISHEMT for a gate voltage of 4 V shows an increase of R_{ON_DYN} that starts at a drain-source voltage of 420 V. Taking into account this result, the gate voltage chosen is 4 V for a drain to source voltage of 400 V. Thus, keeping the parameters constant, it will be possible to detect any variation of R_{ON_DYN} after a radiation step.

Now, returning to the main issue, the behavior of R_{ON_DYN} versus the gamma irradiation, and needing to make a good evaluation of the dynamic resistance, a specific test sequence has been defined as shown in figure 5. Considering that the trapping of charges within defects in the material is responsible of the conductivity reduction until the trapped charges are able to recombine. This trapping process takes place during both, during the OFF state and in the switching events.

The first 60 s, during which the HEMT is OFF and stressed with drain-source voltage, is used to evaluate the trapping of electrons induced in OFF-state stress. Therefore, after this stress time we turn-on the device with the first pulse (1P) to measure R_{ON_DYN} . Then, a second pulse (2P) is applied after another OFF state of 10 μ s where the HEMT is again under voltage stress, to evaluate possible trapping mechanisms at switching events due to the high-power transitions, where hot electrons are generated in

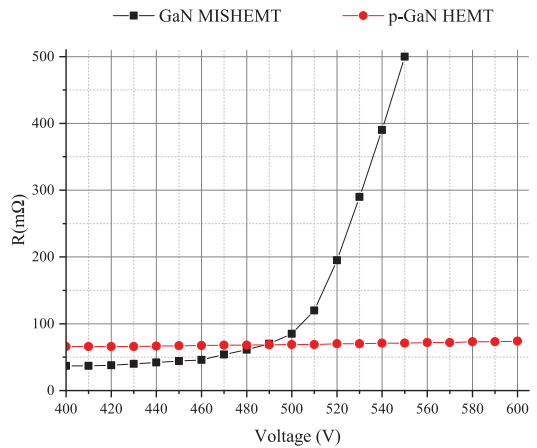


Figure 4. Measurement of dynamic ON resistance varying OFF-state voltage. 500 ms OFF time with 6 μ s ON time and measuring R_{ON_DYN} 5 μ s after the ON state has started. $V_g = 4$ V and $R_{load} = 220 \Omega$ for both devices.

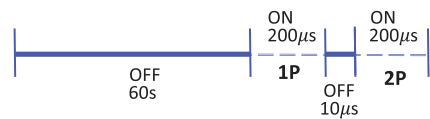


Figure 5. Pulse sequence for dynamic resistance tests.

the channel and can hop into a trapped state located near the channel. These two-possible trapping mechanisms were demonstrated by other authors [14, 15]. Our main objective is to know if the gamma irradiation can modify the trapping charges mechanisms and therefore affect to the dynamic ON-resistance.

3.1. Devices stressed ($V_{DS} = 400$ V) and under gamma irradiation

Figure 6 shows the variation produced in the dynamic resistance for p-GaN HEMT and GaN MISHEMT when gamma radiation is applied while stressing the devices with 400 V drain-source voltage and keeping gate-to-source short-circuited and at a voltage of 0 V.

As seen in figure 6, there is no variation on the dynamic resistance of the p-GaN HEMT device, while the GaN MISHEMT suffers a high variation of the dynamic resistance, mainly during the 2P. This is not a minor change since the devices with the higher rate (300 krad(Si)) show an increase of R_{ON_DYN} of 1130% measured 25 μ s after the second ON pulse has started (compared to the value measured at same time at 0 krad(Si)). This increase drops to 436% if we measure the R_{ON_DYN} 175 μ s after the second ON pulse has started.

3.2. Devices not stressed ($V_{DS} = 0$ V) and under gamma irradiation

In the case of the devices exposed to radiation with their terminals shorted (non-voltage stress), the variation was

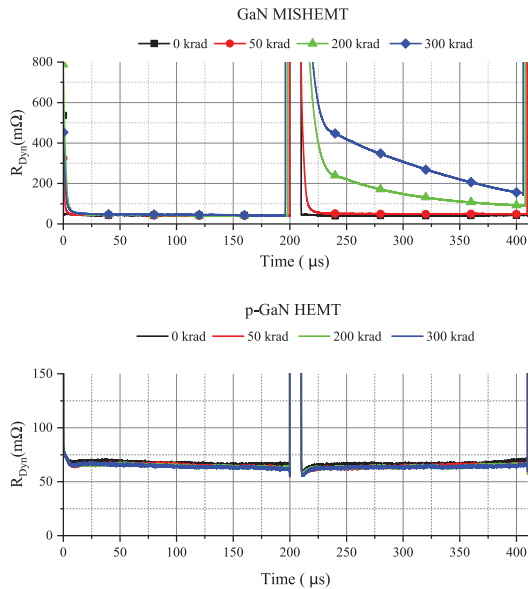


Figure 6. Dynamic resistance for p-GaN and GaN MISHEMT with 400 V applied during radiation.

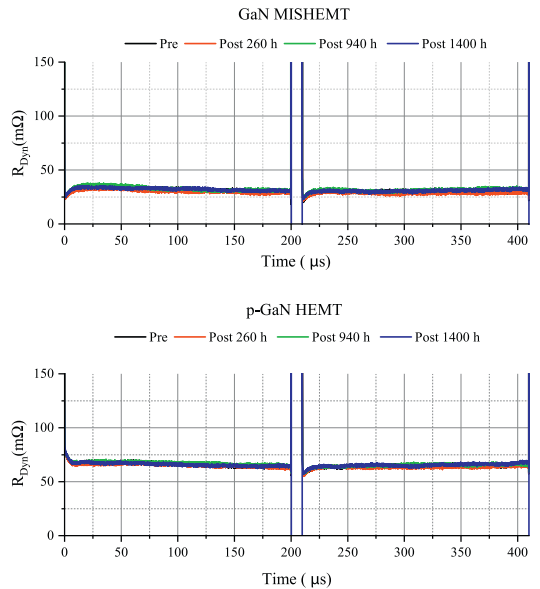


Figure 8. Dynamic resistance for p-GaN and GaN MISHEMT without applied radiation.

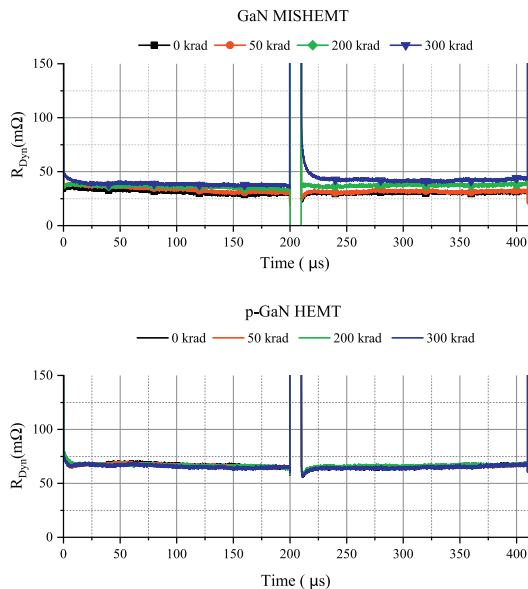


Figure 7. Dynamic resistance for p-GaN and GaN MISHEMT with terminals shorted during radiation.

different. For the case of the GaN MISHEMT, the variation is shown in figure 7, and it can be seen that the variation occurred on the 2P is much lower than in the case of devices with 400 V applied during the radiation. In fact, the increase of R_{ON_DYN} in the case of TID of 300 Krad(Si), measured 25 μ s after the 2P is

about 141%, this increase stays almost constant during the pulse, and being almost the same (R_{ON_DYN} increase of 134%) measured 175 μ s after 2P. For the case of p-GaN HEMT no variation has been measured, as seen in figure 7.

3.3. Devices stressed ($V_{DS} = 400$ V) without gamma irradiation

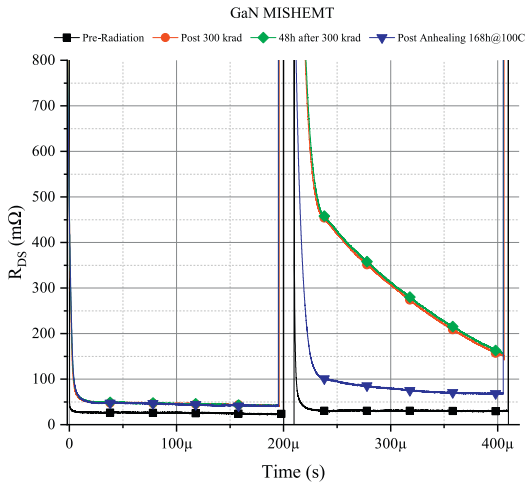
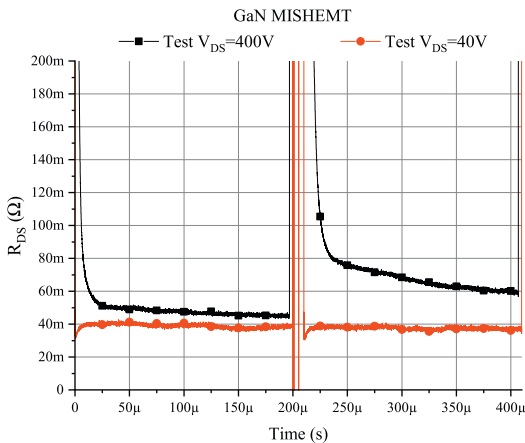
Finally, it is necessary to show the behavior of the devices that were sustaining a voltage stress of 400 V without gamma irradiation, in order to discard that this voltage could induce the changes occurred in the dynamic resistance instead of the radiation. These results are shown in figure 8, where no variation appears on the R_{ON_DYN} for both types of HEMTs, which means that the variation seen in the others devices, is due to the radiation and not the 400 V drain-source voltage stress.

3.4. Response to annealing of the irradiated devices

As the variation of R_{ON_DYN} discovered in GaN MISHEMT was under radiation and with a drain-source voltage (being the irradiation process responsible for this variation), it is possible that these devices can recover total or partially their original state with the use of temperature in an annealing process. To evaluate if there is a recovery in the post-radiation device performance, one measurement has been done 48 h later followed by an annealing process at 100 °C during 168 h. The parameters of the annealing process are shown in table 4. Figure 9 shows the effect of the annealing process on the GaN MISHEMT devices. The devices recover partially their characteristics, reducing the dynamic resistance from 1130% increase down to 253% (a 77.6% of reduction), measuring the R_{ON_DYN} 25 μ s after the

Table 4. Annealing conditions.

Test	Duration	Temperature	Bias condition
Room temperature annealing	48 h	25 °C	Unbiased
Accelerated ageing under bias	168 h	100 °C	Same as in radiation process

**Figure 9.** Dynamic resistance for GaN MISHEMT with post-annealing measurements.**Figure 10.** Dynamic resistance for GaN MISHEMT with post-annealing varying drain stress voltage, 40 V (red) and 400 V (black).

start of the 2P and from 436% to 172% (a 60.5% of reduction) measuring R_{ON_DYN} 175 μ s after the start of the 2P.

4. Discussion

Regardless of the invariance of the measured static electrical characteristics under low-dose radiation in GaN HEMTs, some

changes of the dynamic resistance, R_{ON_DYN} , have been reported. An increase of dynamic resistance has been measured in irradiated GaN MISHEMTs when they were exposed to simultaneous high-field stress in the drain region. Both, radiation induced hole trapping and field-stress-induced electron trapping were responsible for the change in R_{ON_DYN} . Additionally, the use of a Metal–insulator–semiconductor (MIS) structure, which has the advantage of a lower gate leakage, could introduce extra problems when irradiated, such as an enhanced charge trapping effect due to the gate dielectric properties.

The increase in R_{ON_DYN} is shown when the GaN transistor switches from ON to OFF, where it crosses a semi-ON condition (in which voltage and current co-exist simultaneously), inducing hot-electrons trapping effects [16]. The hot-electrons from the source are accelerated by the high electric field and are trapped in the gate-drain access region depleting the 2DEG transistor channel. This trapping/degradation effect causes a reduction in the device conductivity, increasing the ON-resistance until the trapped charges are able to escape.

Therefore, when the irradiated and stressed (applying drain-source voltage) GaN HEMTs are hard switched, if the energy of the hot-electrons generated during the turn-off and turn-on transitions is enough, then the hot-electrons can hop into a trapped state located near the channel and then deplete the 2DEG which the consequent increase of the ON-resistance. Figure 6 shows the variation of the ON-resistance during the first and the 2P. The effect is an increase of its value as the hot-electrons are generated. Figure 10 shows the effect of two different drain stress voltages in the dynamic ON-resistance. As can be seen, with 40 V there is not enough energy transferred to the hot-electrons to hop into the trapped states generated basically by gamma irradiation. These asseverations are based on studies that demonstrate the trapping of charges during hard switching in turn-on and turn-off process [17, 18].

We suggest, as [18], that hot carrier injection during switching events leads to a reduction of the channel charge carriers which results in current collapse and increase of R_{DS_ON} . Sun *et al* [19] reported that when devices are exposed to simultaneous irradiation and high-field stress (e.g., a high or forward), both, radiation induced hole trapping and field-stress-induced electron trapping can be observed, and either can dominate depending on the irradiation and stress conditions. To determine the place of traps inside the device, and if hole trapping or electron trapping occurs, electroluminescence measurements would be needed. Strain relaxation could be the mechanism of generation of this new traps since strain relaxation could improve the device by native defect structural reordering but also can result in the generation of additional traps [20].

Different to GaN MISHEMT, the p-GaN HEMT device did not suffer any variation on the dynamic resistance. In the p-GaN

HEMT, holes are injected from the p-GaN region at the OFF state by applying high drain voltage, which effectively releases the trapped electrons during the switching process.

5. Conclusion

It was demonstrated that in GaN MISHEMT devices, the low-dose gamma irradiation causes an increase of the traps defects. In addition, this increase is higher when, under irradiation, the device sustains a high drain-source voltage stress. This could be due to the impact of the radiation over the charged traps in the device. This increase in the trapping/degradation effects causes an increase of the dynamic ON-resistance when the GaN MISHEMT has to work in hard-switching mode. The high electric field accelerate the electrons and the hot-electrons generated hop into the trapped state close to the transistor channel increasing the dynamic ON-resistance.

When the total dose applied to the devices was low, there were no changes on the static characteristics of the devices, as expected. On the other hand, p-GaN HEMT did not show any variation of its characteristics (static and dynamic resistance) because the p-GaN region injects holes contributing to compensate the hot-electrons. It can be concluded that this p-GaN HEMT structure is more robust under this type of low-dose gamma radiation.

Therefore, it is important, in applications exposed to radiation, to choose a GaN HEMT which internal structure aids to minimize the effect of current collapse [12]. Otherwise, the irradiation to which the device is exposed, will cause a large increase in the trapped charges, that can lead not only to an increase of the losses (due to the increase of the dynamic resistance), but also, a reduction in the life time of the device due to the permanent degradation that could be induced by the hot-electron effect.

Acknowledgments

This work was partially funded by the Spanish MINECO and FEDER grant ESP2015-68117-C2-1-R and by CEICE-GVA under grant ACIF-2016-330.

ORCID iDs

E Maset  <https://orcid.org/0000-0002-8739-3796>

J Bta Ejea  <https://orcid.org/0000-0002-6201-1456>

References

- [1] Bindra A *et al* 2015 Wide-Bandgap-Based Power Devices: Reshaping the power electronics landscape *IEEE Power Electronics Magazine* **2** 42–47

- [2] Meneghesso G, Meneghini M and Zanoni E 2014 Breakdown mechanisms in AlGaIn/GaN HEMTs: an overview *Japan. J. Appl. Phys.* **53** 100211
- [3] Wuerfl J *et al* 2011 Reliability issues of GaN based high voltage power devices *Microelectron. Reliab.* **53** 1710–6
- [4] Uren M J and Kuball M 2014 GaN transistor reliability and instabilities *The 10th Int. Conf. on Advanced Semiconductor Devices and Microsystems, (Smolenice)* pp 1–8
- [5] Meneghini M, Zanoni E and Meneghesso G 2014 Gallium nitride based HEMTs for power applications: High field trapping issues *2014 12th IEEE Int. Conf. on Solid-State and Integrated Circuit Technology (ICSICT)* (Guilin) pp 1–4
- [6] Meneghesso G *et al* 2016 High voltage trapping effects in GaN-based metal–insulator–semiconductor transistors *Semicond. Sci. Technol.* **55** 01AD04
- [7] Meneghini M *et al* 2017 Reliability and failure analysis in power GaN-HEMTs: an overview *2017 IEEE Int. Reliability Physics Symp. (IRPS)* (Monterey, CA) pp3B-2.1–3B-2.8 (<https://doi.org/10.1109/IRPS.2017.7936282>)
- [8] Wang Y-P *et al* 2013 ⁶⁰Co gamma radiation effect on AlGaIn/AlN/GaN HEMT devices *Chin. Phys. C* **37** 056201
- [9] Aktas O, Kuliev A, Kumar V, Schwindt R, Toshkov S, Costescu D, Stubbins J and Adesida I 2004 ⁶⁰Co gamma radiation effects on DC, RF, and pulsed I–V characteristics of AlGaIn/GaN HEMTs *Solid-State Electron.* **48** 471–5
- [10] Pearton S J *et al* 2016 Review—ionizing radiation damage effects on GaN devices *ECS J. Solid State Sci. Technol.* **5** Q35–60
- [11] Jiang R *et al* 2017 Worst-case bias for proton and 10-keV x-ray irradiation of AlGaIn/GaN HEMTs *IEEE Trans. Nucl. Sci.* **64** 218–25
- [12] Kenichiro Tanaka *et al* 2015 Suppression of current collapse by hole injection from drain in a normally-off GaN-based hybrid-drain-embedded gate injection transistor *Appl. Phys. Lett.* **107** 163502
- [13] Vetry R, Zhang N Q, Keller S and Mishra U K 2001 The impact of surface states on the DC and RF characteristics of AlGaIn/GaN HFETs, in *IEEE Trans. Electron Devices* **48** 560–6
- [14] Meneghesso G, Meneghini M, Bisi D, Rossetto I, Cester A, Mishra U K and Zanoni E 2013 Trapping phenomena in AlGaIn/GaN HEMTs: a study based on pulsed and transient measurements *Semicond. Sci. Technol.* **28** 074021
- [15] Po-Chien Chou *et al* 2018 Comprehensive dynamic on-resistance assessments in GaN-on-Si MIS-HEMTs for power switching applications *Semicond. Sci. Technol.*
- [16] Rossetto I *et al* 2017 Evidence of hot-electron effects during hard switching of AlGaIn/GaN HEMTs *IEEE Trans. Electron Devices* **64** 3734–9
- [17] Lu B, Palacios T, Risbud D, Bahl S and Anderson D I 2011 Extraction of dynamic on-resistance in GaN transistors: under soft- and hard switching conditions *Compound Semiconductor Integrated Circuit Symp. (CSICS)* (Piscataway, NJ: IEEE) pp 1–4
- [18] Nasser B *et al* 2016 Investigation of the dynamic on-state resistance of 600 V Normally-off and normally-on GaN HEMTs *IEEE Trans. Ind. Appl.* **52** 4955–64
- [19] Sun X *et al* 2013 Total-ionizing-dose radiation effects in AlGaIn/GaN HEMTs and MOS-HEMTs *IEEE Trans. Nucl. Sci.* **60** 4074–9
- [20] Kurakin A M *et al* 2008 Mechanism of mobility increase of the two-dimensional electron gas in AlGaIn/GaN heterostructures under small dose gamma irradiation *J. Appl. Phys.* **103** 083707

Artículo 6:

“Impact of Gamma Radiation on Dynamic R-DSON Characteristics in AlGa_N/Ga_N Power HEMTs”.

Martínez Pedro J., Maset E, Martin-Holgado P, Morilla Y, Gilabert D, Sanchis-Kilders E.

Materials, Vol 12, N^o 17. DOI 10.3390/ma12172760, Sep 2019

Article

Impact of Gamma Radiation on Dynamic R_{DSON} Characteristics in AlGaIn/GaN Power HEMTs

Pedro J. Martínez ¹, Enrique Maset ^{1,*} , Pedro Martín-Holgado ² , Yolanda Morilla ² ,
David Gilabert ¹ and Esteban Sanchis-Kilders ¹ 

¹ Department Electronic Engineering, University of Valencia, 46100 Burjassot, Spain

² Centro Nacional de Aceleradores (CNA), Universidad de Sevilla, CSIC, JA, 41092 Sevilla, Spain

* Correspondence: emaset@uv.es

Received: 30 July 2019; Accepted: 27 August 2019; Published: 28 August 2019



Abstract: GaN high-electron-mobility transistors (HEMTs) are promising next-generation devices in the power electronics field which can coexist with silicon semiconductors, mainly in some radiation-intensive environments, such as power space converters, where high frequencies and voltages are also needed. Its wide band gap (WBG), large breakdown electric field, and thermal stability improve actual silicon performances. However, at the moment, GaN HEMT technology suffers from some reliability issues, one of the more relevant of which is the dynamic on-state resistance (R_{ON_dyn}) regarding power switching converter applications. In this study, we focused on the drain-to-source on-resistance (R_{DSON}) characteristics under ^{60}Co gamma radiation of two different commercial power GaN HEMT structures. Different bias conditions were applied to both structures during irradiation and some static measurements, such as threshold voltage and leakage currents, were performed. Additionally, dynamic resistance was measured to obtain practical information about device trapping under radiation during switching mode, and how trapping in the device is affected by gamma radiation. The experimental results showed a high dependence on the HEMT structure and the bias condition applied during irradiation. Specifically, a free current collapse structure showed great stability until 3.7 Mrad(Si), unlike the other structure tested, which showed high degradation of the parameters measured. The changes were demonstrated to be due to trapping effects generated or enhanced by gamma radiation. These new results obtained about R_{ON_dyn} will help elucidate trap behaviors in switching transistors.

Keywords: high-electron-mobility transistor (HEMT); gallium nitride (GaN); radiation hardness; assurance testing; radiation effects; total ionizing dose (TID)

1. Introduction

Gallium nitride (GaN) is a promising material for next-generation power devices due to its wide band gap, which allows a large breakdown electric field and the possibility of operating under harsh environmental conditions [1–3]. Such characteristics make these devices promising for space applications, where temperature and radiation are key factors. Particularly, the development of new GaN high-electron-mobility transistors (HEMTs) with great characteristics, such as low on-resistance and parasitic capacitances, allow them to switch at higher frequencies with high efficiency, making them attractive. The inherent radiation hardness, the capability to withstand higher breakdown voltages, and the higher operating temperatures will enable this technology's use in future space applications, such as telecommunications, Earth observation, and science missions [4,5].

These promising advantages have pushed the research focus on the reliability of GaN devices under radiation conditions. In space environments, energetic particles which impact semiconductor devices lose their energy to ionizing and nonionizing processes while they travel through the devices.

The energy loss causes the production of electron–hole pairs (ionization) and displaced atoms (displacement damage). Gamma irradiation is one of the tests used to evaluate the hardness of devices to be used in aerospace applications. Our main objective here was to study the degradation induced by the total ionizing dose (TID) effects of ^{60}Co γ -ray radiation on GaN HEMTs. The response to gamma irradiation is complex. Compton electrons induced by γ -radiation create electron–hole pairs, thus changing the occupancy of traps. Regarding this topic, many research papers have been published in recent years showing different behaviors depending on the dose applied and the structure of the HEMT being irradiated [6]. In general, HEMTs irradiated with gamma rays exhibit a negative threshold voltage and a transconductance decrease, which can be explained by the creation of trap states throughout the structure and, in some cases, an increase in the two-dimensional electron gas (2DEG) sheet concentration [7,8]. Some authors have reported strain relaxation at low-dose gamma irradiation, which enhanced the channel mobility [9,10]. In contrast, other authors [11] have reported a reduction of 60% of the drain current at around 70 krad(Si). Thus, the defects generated by the γ -irradiation are very sensitive to the structure, having defect creation rates dependent on the quality of the sample and the doping level.

On the other hand, it is well known that another problem related to the GaN HEMT structure is the electron trapping effects which decrease device performance [12], in particular, the dynamic on-resistance ($R_{\text{ON,dyn}}$) [13]. This trapping reduces the current that the devices can drive below the device's rated current and could be attributed to a trapping effect in different regions inside the device. In [14], it was reported that trapping could be attributed to the device surface and buffer layer and that it was possible to distinguish between both. These trapping effects have been shown to be induced by the electrical field applied between the drain and the gate. Additionally, it was confirmed that the HEMT structure design is a key factor regarding the $R_{\text{ON,dyn}}$. Different strategies can be used to mitigate the increase of $R_{\text{ON,dyn}}$, mainly, the use of a p-GaN region close to the drain that is electrically connected to the drain edge [15] and the optimization of the device buffer layer design [16].

Taking into account the problems regarding the effects of γ -radiation and $R_{\text{ON,dyn}}$, it is necessary to evaluate the effect of γ -radiation on $R_{\text{ON,dyn}}$ if GaN HEMTs are to be seriously considered for future space applications. In fact, international space agencies, such as the National Aeronautics and Space Administration (NASA) and the European Space Agency (ESA), have shown increasing interest in evaluating the development of GaN devices. Some testing activities have been included as part of a future radiation qualification process for wide band gap devices, as presented in [17].

Analyzing the relevant literature shows that some contradictory results have been reported and the reasons for these differences are not evident. Furthermore, a previous study reported changes in $R_{\text{ON,dyn}}$ [18] with low-dose gamma radiation. Therefore, in this study, we investigated not only the static characteristics but also the $R_{\text{ON,dyn}}$ behavior of two different HEMT structures subjected to gamma radiation until 3.7 Mrad(Si). New results on this subject are shown in this work related to the HEMT structure and the biasing conditions applied during irradiation. These results show that, depending on the structure and the bias applied, trapping can be increased (case of negative gate bias) or reduced (case of shorted devices), which provides more information than previous studies, where only static characterization had been done.

2. Materials and Methods

Normally-off commercial AlGaIn/GaN HEMTs on Si with a voltage rating of 600 V were used for the radiation experiment. We chose two different HEMT structures: One was a 600 V p-doped GaN gate injection transistor (HD-GIT) PGA26E07BA, manufactured by Panasonic, Inc. (Kadoma-shi, Osaka, Japan). The HD-GIT has an additional p-GaN region between the gate and the drain, in which the holes are injected during the off-state, compensating the electron trapping and avoiding $R_{\text{ON,dyn}}$. The other was the GS66516T, a 650 V p-GaN gate with a metal insulator layer (MISHEMT), manufactured by GaN Systems, Inc. (Ottawa, ON, Canada). Table 1 summarizes the key parameters of the investigated devices.

Table 1. Parameters of the investigated devices.

Parameter	Symbol	GaN MISHEMT GS66516T	p-GaN HEMT PGA26E07BA
Drain-to-source breakdown voltage	BV_{DSS}	650 V	600 V
Continuous drain current ($T_c = 25\text{ }^\circ\text{C}$)	I_D	60 A	26 A
Drain-to-source on-resistance ($T_j = 25\text{ }^\circ\text{C}$)	R_{DSON}	25 m Ω	56 m Ω
Input capacitance (1 MHz, 400 V)	C_{iss}	520 pF	405 pF
Total gate charge	Q_G	12.1 nC	5 nC

For the TID radiation experiment, 12 devices from each HEMT structure were used. As shown in Table 2, different bias conditions were applied during irradiation to evaluate the bias dependence of the TID response of the HEMTs. In addition, one sample of each device type was selected as a reference (control device) to confirm the proper operation of the measurement system; that is, these unirradiated devices were subjected only to electrical measurements after each step, without any bias or radiation conditions applied.

Table 2. Bias conditions applied during the irradiation test.

Condition	Device Type	Sample Serial Number	Units	Radiation	Gate Bias ¹	Drain Bias ¹
Control	MISHEMT	Q0	1	No	N/A	N/A
	p-GaN HEMT	Q25	1	No	N/A	N/A
Shorted	MISHEMT	Q11, Q12	2	Yes	0 V	0 V
	p-GaN HEMT	Q23, Q24	2	Yes	0 V	0 V
Drain bias	MISHEMT	Q6–Q10, Q21, Q22	7	Yes	0 V	400 V
	p-GaN HEMT	Q18–Q20	3	Yes	0 V	400 V
Drain–gate bias	MISHEMT	Q1–Q5	5	Yes	–5 V	400 V
	p-GaN HEMT	Q13–Q17	5	Yes	–5 V	400 V

⁽¹⁾ Bias condition during the irradiation exposure (Not Applicable—N/A—to unirradiated control samples).

The test campaign was carried out in the CNA-RadLab facility at the National Center for Accelerators in Seville, Spain. The gamma irradiation contained a ⁶⁰Co gamma source with associated photon energies of 1.17 and 1.33 MeV (mean value: 1.25 MeV). The selected dose rate was 23.742 krad(Si)/h, which is within the “standard rate” window (0.36–180 krad(Si)/h) of the ESA, according to the TID Test Method [19]. The dose rate was obtained by measuring the charge with two TM30013 ionization chambers (PTW-FREIBURG, Germany) and one multichannel electrometer, MultiDOS (PTW-FREIBURG, Germany), and also considering the environmental correction factor. The dose rate uniformity in the filter box was 98.5%. The devices under test (DUTs) were mounted on a printed circuit board which was placed into a 12 × 17 cm filter box to be subjected to radiation, in compliance with the European Space Components Coordination Basic Specification No. 22900 [19]. This container had 2 mm of aluminum and 1.5 mm of lead in the outer layer and a 5 mm front cover of polymethyl methacrylate (PMMA) to achieve the charged-particle equilibrium.

Six irradiation steps were carried out during the campaign. Post-irradiation electrical measurements were performed after each exposure step for all the devices, including the control devices. At the end of total irradiation, two annealing steps were implemented. The first step consisted of room-temperature annealing under bias for 24 h. Afterwards, accelerated aging was carried out,

where the devices were baked at 100 ± 5 °C under bias for 168 h. In both annealing steps the bias voltage applied on each DUT was the same as that during the irradiation steps.

Concerning the measurements, two types were performed: I–V measurements were done with a Keysight Power Device Analyzer B1505A (Santa Rosa, CA, USA), and for the R_{ON_dyn} measurements, a custom circuit (Figure 1) was implemented [20].

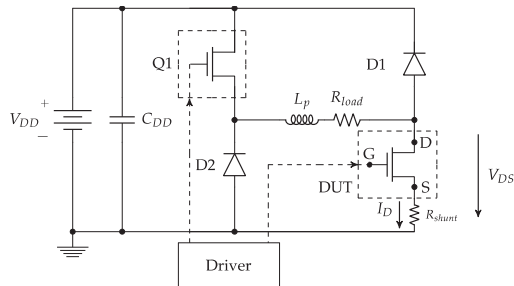


Figure 1. Circuit diagram used to measure R_{ON_dyn} .

The implemented switching circuit had the benefit of fully controlling the time that the voltage stress was applied to the GaN HEMT. Basically, it consisted of two transistors connected in series between the drain and the source, with a resistive load between both of them. Transistor Q1 was used to control the stress/trapping time. A resistive load R_{load} was used to set the current level when DUT was in on-state. Due to the inherent parasitic inductance (L_p) of the power R_{load} , two SiC diodes (C4D05120)—D1 and D2—offered a freewheeling path for the current when either Q1 or DUT was switched from on to off.

For the transistor Q1, a SiC MOSFET (C3M0065090) (Wolfspeed, Durham, NC, USA) was used in order to have a low output capacitance (C_{DS}) and low current peaks due the charge and discharge of this parasitic capacitance. The values of the drain-to-source on-resistance ($R_{DS(ON)}$) of the DUT were obtained by measuring the device on-state voltage ($V_{DS(ON)}$) across it and dividing by the current (I_{DS}) through the DUT. The drain current was measured using a coaxial shunt resistor of 98 m Ω (SDN-414-10), and for the V_{DS} , a 300 V and 500 MHz passive voltage probe was selected.

Due to the high voltage applied to the DUT, the voltage across it represents a large dynamic range input signal for the oscilloscope input amplifier acquisitions, which can be overloaded, and as a result, an accurate determination of the on-state voltage would not be achievable. To avoid that problem, a voltage clamp circuit together with the passive voltage probe was used. In particular, the voltage clamp used was the commercial clp1500V15A1 from Springburo GmbH Emmendingen, Baden-Wurtemberg, Germany). The low range (2 V) was selected in the voltage clipper in order to have a faster response—200 ns in this case—considering the passive voltage probe and the voltage clipper. Precise frequency response compensation was done in the passive voltage probe to make up for the whole chain of the clipper and the voltage probe.

To control the “on-time” of the DUT, a generic MOSFET isolated driver SI8271BB (Silicon Labs, Austin, TX, USA) was used. This driver was selected due to the minimum supply voltage needed of 3 V. This low gate voltage was required to drive GaN devices with $V_G = 4$ V, which allowed us to see any change in the trapping charges when measuring the R_{ON_dyn} . This is because, at a higher gate voltage, the 2DEG density at the AlGaIn/GaN interface is higher, so the device is able to drive low drain currents without being affected by the trapped charges in the surface or the buffer. Otherwise, if we had used a lower gate voltage value, the density of the 2DEG would decrease and we could see any changes in the R_{ON_dyn} due to the trapping, even at low currents. Thus, in both cases, the trapped charges are present; however, in the case of the higher gate voltage, it would require higher currents to see the effect by measuring the R_{ON_dyn} . Thus, instead of increasing the current, which could induce

other problems such as self-heating, which would change the dynamic response, we chose to use a lower gate voltage to see any changes in the device trapping.

3. Experimental Results

The effect of gamma radiation on both tested structures was different. In this section, we analyze the changes of the static and dynamic characteristics considering the effects of applied bias conditions due to the potential increase of the concentration of activated GaN defects [21].

3.1. Transfer Characteristics

The main electrical measurements address the drain and gate currents, which are expressed as a function of the gate and drain voltages. From the $I_{DS}-V_{GS}$ characteristics, different parameters can be established to provide information about the changes suffered by the GaN HEMTs depending on the radiation applied. The first parameter analyzed was the threshold voltage (V_{TH}), which was extracted by the current extrapolation method, where the threshold voltage value is the V_{GS} value corresponding to $I_{DS} = 100$ mA with a $V_{DS} = 0.1$ V. The threshold voltage is usually measured at lower currents; however, our setup and the limits defined for the test (until 3 A) forced us to use a higher current value (100 mA) to have better precision for threshold voltage measurement. Figure 2 shows the variations of the threshold voltage for all the devices. It is important to highlight the way the results are plotted, since each device had a different V_{TH} value. To provide a comparison, it was necessary to normalize this value, dividing the V_{TH} of each device at each step between the corresponding initial V_{TH} , measured at 0 krad(Si).

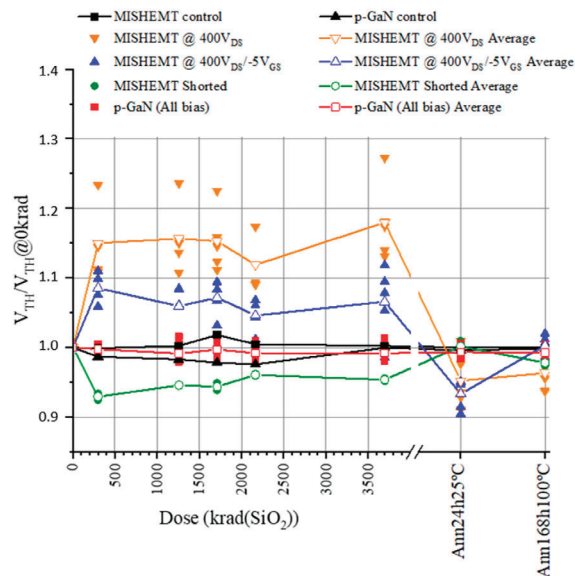


Figure 2. Normalized threshold voltage of GaN HEMTs as a function of total dose.

The HD-GIT HEMT devices did not suffer any change with the accumulated dose, but the MISHEMT devices displayed different behaviors depending on the bias applied during the irradiation process. The devices subjected to drain and gate voltage during irradiation presented a positive increment of V_{TH} between 5% and 10%, while the devices stressed only with a positive voltage at the drain experienced a higher positive drift of V_{TH} between 10% and 25%. In contrast, the devices subjected to radiation with shorted pins suffered a negative variation of V_{TH} around 5–8%. In all cases,

once the high-temperature annealing step of 168 h was finished, all the devices almost fully recovered their original values.

This negative shift of V_{TH} in devices shorted during irradiation and the positive shift of the devices with bias applied matched with the findings reported in [8,22]. The negative shift was due to the trapped holes in the gate dielectric or the interface with AlGaN. The recovery of V_{TH} during the high-temperature annealing is explained by the release of trapped holes in the AlGaN layer and/or their neutralization by electrons from the channel. Higher temperatures resulted in higher hole mobility, allowing the holes to migrate or recombine and, therefore, reducing the hole impact on device operation. Meanwhile, during irradiation with positive bias applied, both hole and electron trapping took place. However, due to the high voltage applied, the electrons filled the hole traps, and in this way, the electron traps dominated in assisting the positive shift of the devices subjected to bias voltage during irradiation.

More information can be extracted with the second parameter analyzed, which is the variation over the gate characteristics $I_{GS}-V_{GS}$ (input characteristic), which is a way to evaluate the quality of the gate contact. Figure 3 shows the evolution of I_{GS} over the accumulated dose for all the devices measured at the maximum gate voltage applied of 3 V.

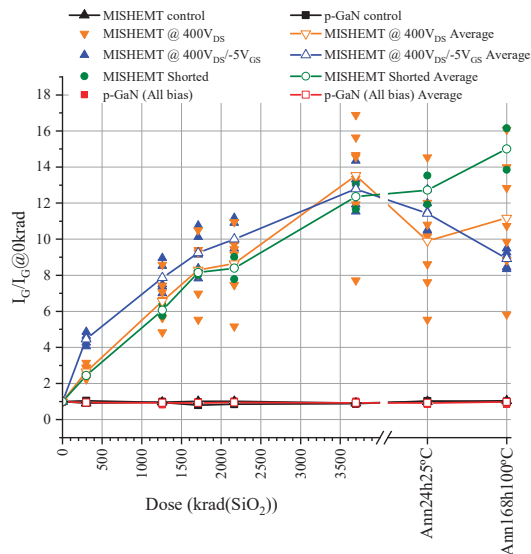
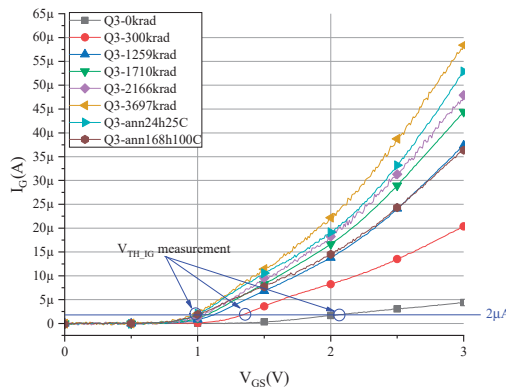


Figure 3. Normalized forward gate current (I_{GS}) of GaN HEMTs as a function of the total dose measured at $V_{GS} = 3V$.

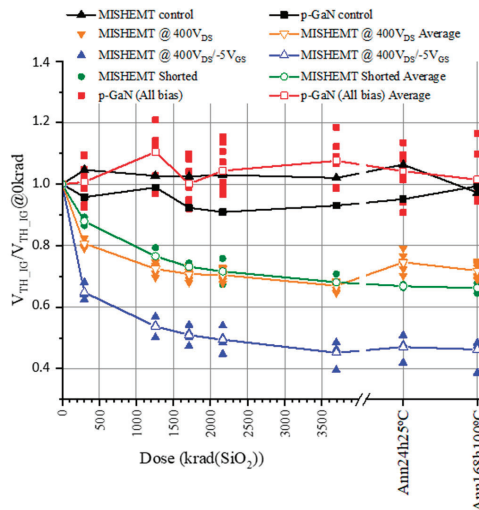
As shown in Figure 3, the HD-GIT devices did not suffer any changes, while the GaN MISHEMT devices suffered a high increase in the I_{GS} without dependency on the bias applied during irradiation. This increase was proportional to the accumulated dose and independent of the bias condition applied. This forward gate current did not recover its initial value after the annealing process. Only a slight recovery around 10% was observed for the stressed devices, while shorted MISHEMT devices still degraded after the high-temperature annealing.

Increases in I_{GS} can be explained by radiation-induced defects on the gate insulator. The gate insulator in MISHEMT is used to make normally off devices, which depletes the channel while greatly reducing the gate current. However, the defects created during irradiation reduce the effectiveness of this insulator, and holes can become trapped in these defects, thus increasing the gate current. This also explains the negative shift of the threshold voltage mentioned above in the shorted devices.

Focusing on MISHEMT devices and measuring the increase of I_{GS} has shown that there are no differences due to bias applied, but one difference was detected at this work, which is the displacement of I_G-V_{GS} characteristics with the accumulated dose. In order to measure this displacement, the gate voltage was measured when the gate current crossed 2 mA, which we refer to as V_{TH_IG} to differentiate it from the V_{TH} . In Figure 4a, blue markers show how this voltage was measured, and the normalized values are shown in Figure 4b for all the devices. This figure demonstrates that there is a clear difference between MISHEMT devices subjected to irradiation with negative gate voltage and the other MISHEMTs. There was a significantly larger negative shift in the V_{TH_IG} in the devices subjected to radiation with a negative gate bias. This difference can be explained by the additional electron traps created during irradiation in the region under the gate due to the reduced barrier heights of the traps when negative bias was applied at the gate. This induced an increase in the gate current for the low gate voltages due to the need for gate current injection to remove the traps.



(a)



(b)

Figure 4. (a) Gate Schottky diode characteristics $I_{GS}-V_{GS}$ (input characteristic) for $V_{DS} = 0.1$ V. (b) Normalized threshold voltage measured for a gate current of $2 \mu A$.

3.2. Off-State Drain Current Measurement

In each step during the radiation test, the drain-to-source leakage current was also measured. The value of the leakage current measured at 500 V of drain while the gate was biased with 0 V is shown in Figure 5. The HD-GIT HEMT irradiated samples suffered a small increase in the drain leakage current; conversely, the GaN MISHEMT devices experienced a much larger increase, which was seven times higher than its value before irradiation. The leakage currents between the drain and the source increased with the accumulated dose during irradiation. Furthermore, they recovered approximately their initial values after the high-temperature annealing process. This increase in leakage current matched the gate insulator degradation, which favored hole trapping due to the reduced barrier height of the traps, and it reduced the effectiveness of the channel depletion. Additionally, this increase in drain leakage current was lower in the devices subjected to negative gate voltage during irradiation. This was due to the compensation of the hole traps by the existence of additional electron traps under the gate induced by the negative gate bias during radiation.

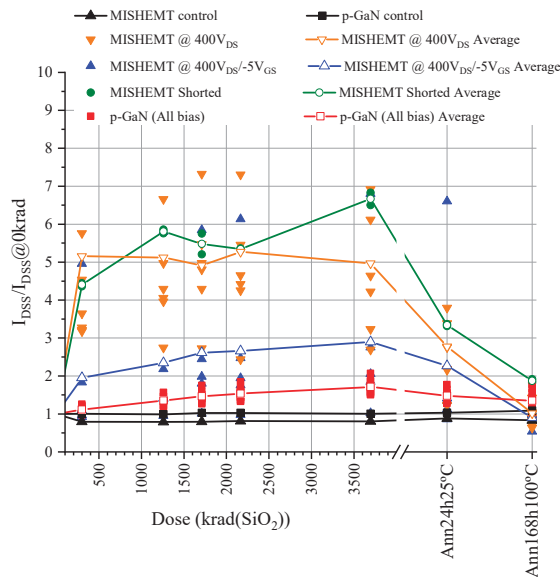


Figure 5. Normalized drain-to-source leakage current when applying a positive gate voltage of 500 V at the drain with 0 V at the gate.

3.3. Dynamic Resistance Measurement

In order to evaluate the R_{ON_dyn} of the devices subjected to radiation, two different tests were performed: the double-pulse test (DPT) and the multi-pulse test (MPT). Both tests were conducted with the circuit setup shown in Figure 1, and the driving signal test sequence for each test is detailed in Appendix A.

After the analysis of the results obtained by these double-pulse measurement tests, we found that for the HD-GIT HEMTs, there were no significant changes over the R_{ON_dyn} independent of the bias conditions applied during gamma irradiation. A proof of one measured sample is shown in Figure 6.

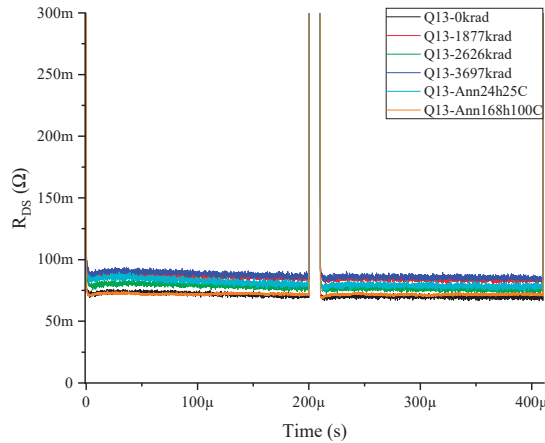


Figure 6. Dynamic resistance double-pulse measurements at 500 V for p-GaN Q13, subjected to drain and gate voltage during irradiation.

However, the GaN MISHEMTs suffered a change in its R_{ON_dyn} depending on the bias conditions applied during irradiation. An increase was evidenced when the MISHEMT was subjected to irradiation with drain and gate bias applied simultaneously. As an example of this behavior, the R_{ON_dyn} values of the device Q3 at different irradiation and annealing steps are shown in Figure 7. These devices suffered an increase in R_{ON_dyn} proportional to the accumulated dose. The total accumulated dose had a degradation effect on the device, which slightly increased the R_{DSON} , but after the annealing process, an even higher degradation was observed in the channel resistance.

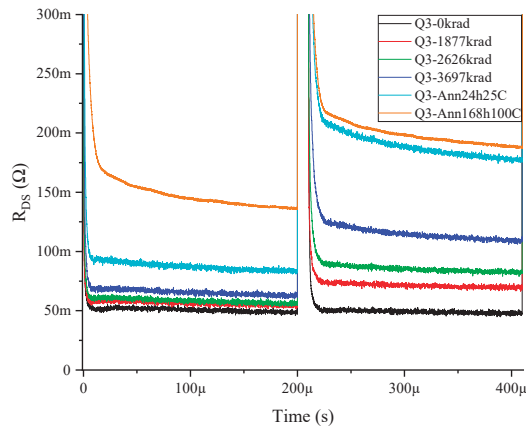


Figure 7. R_{ON_dyn} double-pulse measurements at 500 V for GaN MISHEMT Q3 subjected to drain and gate voltage during irradiation.

The increase of R_{ON_dyn} was higher in the second pulses than in the first ones. This shows that trapping was induced by hot electrons during the semi-on-state in the switching events. Therefore, applying more switching pulses would increase the R_{ON_dyn} . To demonstrate this behavior, the multi-pulse test was performed on this device. The result is shown in Figure 8, revealing the increase of the R_{ON_dyn} and providing information about different trapping phenomena. In the pre-irradiation measurement, the behavior was an exponential increase of the R_{ON_dyn} that started at a voltage stress

of around 450 V. In the post-irradiation measurement, a new trapping behavior occurred, which had a linear dependence on the voltage applied from 100 to 550 V.

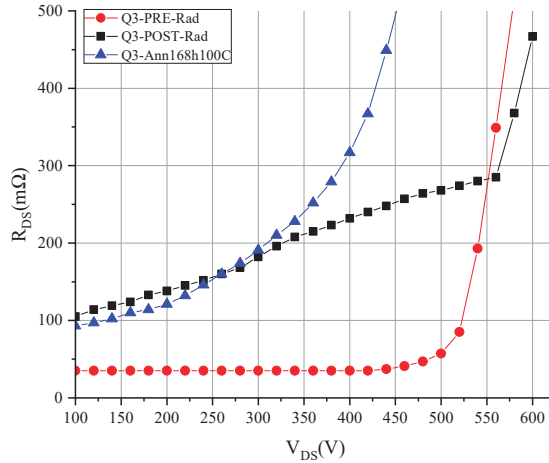


Figure 8. Multi-pulse test for GaN MISHEMT Q3 subjected to drain and gate voltage stress during irradiation.

Furthermore, after the high-temperature annealing step, the R_{ON_dyn} exponential behavior was displaced to lower voltages, which further increased the R_{ON_dyn} . On the other hand, the MISHEMT devices with shorted terminals or only drain voltage stress during irradiation did not suffer an increase in R_{ON_dyn} , as shown in Figure 9 for device Q6. Moreover, the devices that had a high R_{ON_dyn} before irradiation suffered a decrease of the R_{ON_dyn} with the accumulated dose, as shown in Figure 10 for device Q22.

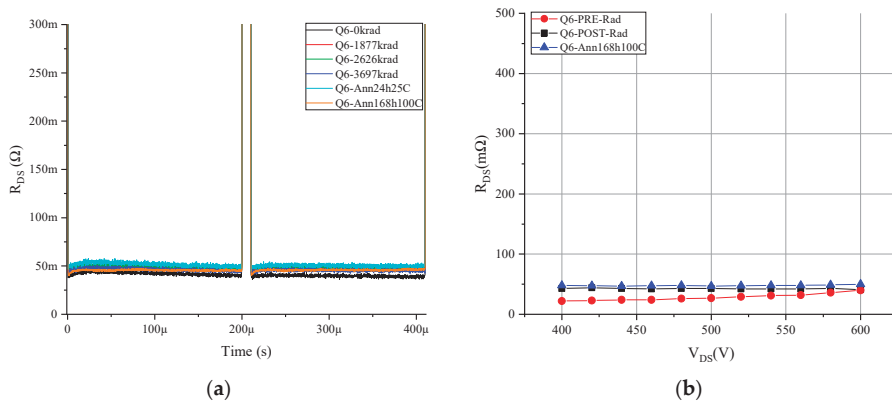


Figure 9. R_{ON_dyn} measurement for GaN MISHEMT Q6 subjected only to drain voltage during irradiation: (a) double-pulse measurement at 500 V, and (b) multi-pulse test measurement.

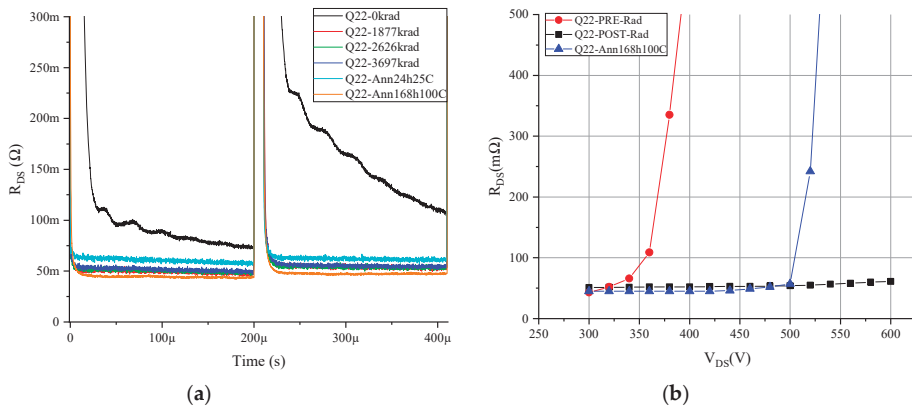


Figure 10. R_{ON_dyn} measurement for GaN MISHEMT Q22 subjected only to drain voltage during irradiation: (a) double-pulse measurement at 500 V, and (b) multi-pulse test measurement.

From all the R_{ON_dyn} tests of the GaN MISHEMT, two conclusions can be drawn. First, the hole trapping induced by gamma radiation in the defects on the insulator compensated the initial electron traps existing in the devices. This is clearly shown in Figure 10a,b, where sample Q22 was irradiated with a 400 V bias condition, and as a consequence, the R_{ON_dyn} initially disappeared from the radiation exposure. This effect was observed in all samples subjected to irradiation with terminals shorted or only drain voltage applied.

The second conclusion is that the R_{ON_dyn} of the devices subjected to negative gate bias during irradiation increased. The multi-pulse test showed a linear increase of the R_{DSON} when stress voltage was applied. This effect resulted in different behavior than that from before irradiation, where the R_{ON_dyn} had an exponential dependency with the voltage applied before radiation. This effect, which is shown in Figure 8, matches with the assumption of electron trapping under the gate, which depletes the channel until the charges are removed by the gate current injection.

4. Discussion

The results confirmed the relevance of the GaN HEMT structure used, since the HD-GIT structure was robust in all of the steps of irradiation, with practically no changes in any of the properties measured. However, the MISHEMT structure suffered many changes. These differences were mainly due to two factors. The first is the removal of traps inside the HD-GIT device due to the use of an additional p-GaN region near the drain, which was electrically connected to the drain that effectively released the trapped charges. The second factor is the use of an insulator in the GaN MISHEMT. The insulator improved the gate performance, allowing a higher threshold voltage and reducing the gate leakage current, but in radiation environment conditions, the metal insulator has to be highly optimized; otherwise, some reliability problems can appear.

In this study, the results show that due to these differences, the GaN MISHEMT has different behavior depending on the bias applied during irradiation. In the case of shorted devices during irradiation, hole trapping in the insulator takes place, which means a reduction of the effectiveness of channel depletion. This hole trapping is due to the increase of the energy of electron-hole pairs due to radiation, which allows them to gain enough energy to become trapped in the gate dielectric [8,22]. This induces a negative threshold movement, an increase of the drain leakage current, an increase in gate current, and a reduction of the R_{ON_dyn} favored by the increase in the drain leakage current, as reported in [14].

The second bias condition studied was the devices subjected only to drain voltage. These devices experienced two phenomena: the damage on the insulator generating hole trapping, such as the

shorted devices, which explains the same increase in the drain leakage current, gate current, and the decrease of R_{ON_dyn} . However, the positive threshold movement of these devices was due to electron trapping at the surface, which is a common effect for these devices when submitted to high drain voltages.

When a negative gate voltage was also applied to the devices, both electron trapping on the surface due to the high drain voltage and electron trapping under the gate took place [23]. Therefore, on these devices, three effects took place together: the hole trapping in the damaged insulator, which induced an increase in gate current; the surface trapping due to the high drain voltage applied, which induced the positive threshold shift; and electron trapping under the gate due to the negative gate voltage applied, which induced a more negative shift of the gate current compared with the different biased devices. This trapping under the gate partially compensated the effects of the hole trapping in the insulator, resulting in these devices suffering less of an increase in drain leakage current. This also meant a reduction of the detrapping rate, which favored a greater increase in the R_{ON_dyn} instead of the decrease suffered by the different biased devices.

5. Conclusions

In this work, different behaviors were observed for GaN HEMTs subjected to gamma radiation which were structure-dependent. While HD-GIT HEMT characteristics were mainly unchanged during irradiation, the GaN MISHEMT structure underwent some changes. The results demonstrated that a degradation of the insulator took place during irradiation, which allowed hole trapping to induce a negative threshold voltage shift, an increase in the forward gate current and drain leakage current, and a reduction of the R_{ON_dyn} . Additionally, the devices subjected to drain voltage during irradiation also suffered electron trapping on the surface due to the reduced barrier heights of the traps, which was the result of radiation inducing a positive threshold shift. In the case of devices biased with positive drain and negative gate voltages, they also suffered from trapping under the gate, which compensated the hole trapping in the insulator and forced an increase in the R_{ON_dyn} .

Therefore, the structure is one of the main factors that determines the reliability of GaN HEMTs under radiation, and here, the HD-GIT proved to be much more robust than the MISHEMT. This can be due to two factors. The first is the low reliability of the MISHEMT insulator during irradiation, as it is a weak region for the injection of traps. The existence of a p-doped region near the drain which removes the trapping is also crucial because the degradations reported were mainly due to trapping effects. In addition, different behaviors can take place in a MISHEMT when applying gamma radiation depending on bias condition. The results obtained here on the R_{ON_dyn} are necessary to consider when framing AlGaIn/GaN radiation assurance tests, and they should be especially considered when using GaN HEMTs for power conversion units in future space missions.

Author Contributions: P.J.M. and E.M. conceived the idea, designed the experiment, guided the experiment, and wrote the manuscript; P.M.-H. and Y.M. conducted most of the device measurements and controlled radiation steps; and D.G. and E.S.-K. helped the data analysis and in the setup design. All authors read and approved the manuscript.

Funding: This work was partially supported by the Spanish Ministry of Science, Innovation and University under contracts RTI2018-099009-B-C22 and by the scholarship CEICE-GVA-ACIF-2016-330.

Conflicts of Interest: The authors declare no conflict of interest.

Appendix A

The test sequence of the double-pulse measurement is shown in Figure A1. This sequence consists of stressing the device with a drain voltage for 60 s while it is in the off-state and then switching the device to the on-state in two pulses of 200 μ s, separated by an off-state of 10 μ s. These consecutive pulses following the voltage stress provide information about the main trappings, which are the trappings induced by voltage stress and the hot electron effect in the switching events [24]. For all tests, the drain voltage stress was 500 V, which represents a derating of 80% as it is fixed [25].

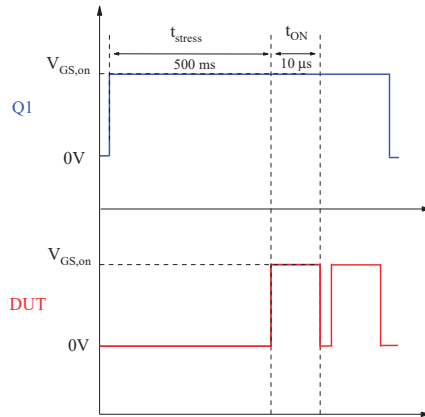


Figure A1. Gate voltage sequence for the double-pulse test.

This test allows measuring the R_{ON_dyn} for a constant value of voltage stress. It has the advantage of allowing faster tests to be carried out on all the devices within the irradiation stops in less than 2 h (as is mandatory according to ESA rules [19]). However, it has the disadvantage of only providing information on the R_{ON_dyn} for 500 V off-stress. Therefore, when the time during the irradiation step test campaign is not critical (during the pre-irradiation measurements and the post-annealing), the multi-pulse test is also conducted because it provides information on R_{ON_dyn} behavior for a wide range of voltages stress. The sequence for this test is shown in Figure A2.

In this test, multiple pulses are applied with a stress time of 500 ms and an on-time of 6 μs for a given initial drain-to-source voltage applied to the DUT during off-time. The multi-pulse sequence finishes once the stationary value of the $R_{DS(on)}$ is achieved. Afterwards, the test is repeated for a higher V_{DS} voltage, providing a new point of the $R_{DS(on)}$ versus V_{DS} plot.

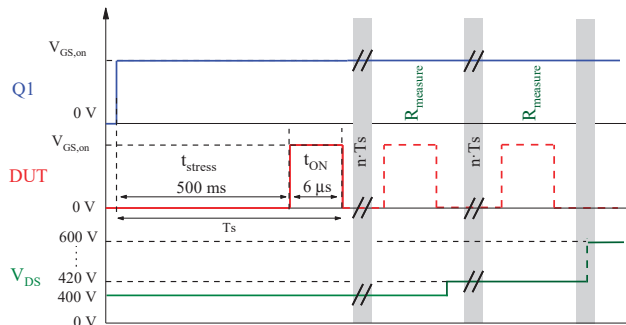


Figure A2. Gate voltage in both devices and drain voltage in the DUT for the multi-pulse test.

References

1. Zeng, F.; An, J.X.; Zhou, G.; Li, W.; Wang, H.; Duan, T.; Jiang, L.; Yu, H. A Comprehensive Review of Recent Progress on GaN High Electron Mobility Transistors: Devices, Fabrication and Reliability. *Electronics* **2018**, *7*, 377. [CrossRef]
2. Roccaforte, F.; Fiorenza, P.; Nigro, R.L.; Giannazzo, F.; Greco, G. Physics and technology of gallium nitride materials for power electronics. *Riv. Nuovo Cim.* **2018**, *41*, 625.
3. Jones, E.A.; Wang, F.F.; Costinett, D. Review of commercial GaN power devices and GaN-based converter design challenges. *IEEE J. Emerg. Sel. Top. Power Electron.* **2016**, *4*, 707–719. [CrossRef]

4. Dalla Vecchia, M.; Ravyts, S.; Van den Broeck, G.; Driesen, J. Gallium-Nitride Semiconductor Technology and Its Practical Design Challenges in Power Electronics Applications: An Overview. *Energies* **2019**, *12*, 2663. [[CrossRef](#)]
5. Son, K.A.; Liao, A.; Lung, G.; Gallegos, M.; Hatake, T.; Harris, R.D.; Scheick, L.Z.; Smythe, W.D. GaN-Based High Temperature and Radiation-Hard Electronics for Harsh Environments. *Nanosci. Nanotechnol. Lett.* **2010**, *2*, 89–95. [[CrossRef](#)]
6. Pearton, S.J. Review—Ionizing Radiation Damage Effects on GaN Devices. *ECS J. Solid State Sci. Technol.* **2016**, *5*, Q35–Q60. [[CrossRef](#)]
7. Vitusevich, S.A.; Klein, N.; Belyaev, A.E.; Danylyuk, S.V.; Petrychuk, M.V.; Konakova, R.V.; Kurakin, A.M.; Rengevich, A.E.; Avksentyev, A.Y.; Danilchenko, B.A.; et al. Effects of γ -irradiation on AlGaIn/GaN-based HEMTs. *Phys. Stat. Sol.* **2003**, *195*, 101–105. [[CrossRef](#)]
8. Sun, X.; Saadat, O.I.; Chen, J.; Zhang, E.X.; Cui, S.; Palacios, T.; Fleetwood, D.M.; Ma, T.P. Total-ionizing-dose radiation effects in AlGaIn/GaN HEMTs and MOS-HEMTs. *IEEE Trans. Nucl. Sci.* **2013**, *60*, 4074–4079. [[CrossRef](#)]
9. Moran, J.T.; McClory, J.W.; Petrosky, J.C.; Farlow, G.C. The Effects of Temperature and Electron Radiation on the Electrical Properties of AlGaIn/GaN HFETs. *IEEE Trans. Nuclear Sci.* **2009**, *56*, 3223–3228. [[CrossRef](#)]
10. Kurakin, A.M.; Vitusevich, S.A.; Danylyuk, S.V.; Hardtdegen, H.; Klein, N.; Bougrioua, Z.; Danilchenko, B.A.; Konakova, R.V.; Belyaev, A.E. Mechanism of mobility increase of the two-dimensional electron gas in heterostructures under small dose gamma irradiation. *J. Appl. Phys.* **2008**, *103*, 083707. [[CrossRef](#)]
11. Schwarz, C.; Yadav, A.; Shatkhin, M.; Flitsiyani, E.; Chernyak, L.; Kasiyan, V.; Liu, L.; Xi, Y.Y.; Ren, F.; Pearton, S.J.; et al. Gamma irradiation impact on electronic carrier transport in AlGaIn/GaN high electron mobility transistors. *Appl. Phys. Lett.* **2013**, *102*, 062102. [[CrossRef](#)]
12. Meneghini, M.; Bisi, D.; Marcon, D.; Stoffels, S.; Van Hove, M.; Wu, T.L.; Decoutere, S.; Meneghesso, G.; Zanoni, E. Trapping and reliability assessment in D-Mode GaN-Based MIS-HEMTs for power applications. *IEEE Trans. Power Electron.* **2014**, *29*, 2199–2207. [[CrossRef](#)]
13. Li, K.; Evans, P.L.; Johnson, C.M. Characterisation and Modeling of Gallium Nitride Power Semiconductor Devices Dynamic On-State Resistance. *IEEE Trans. Power Electron.* **2018**, *33*, 5262–5273. [[CrossRef](#)]
14. Meneghini, M.; Vanmeerbeek, P.; Silvestri, R.; Dalcanale, S.; Banerjee, A.; Bisi, D.; Zanoni, E.; Meneghesso, G.; Moens, P. Temperature-dependent dynamic RON in GaN based MIS-HEMTs: Role of surface traps and buffer leakage. *IEEE Trans. Electron. Devices* **2015**, *62*, 782–787. [[CrossRef](#)]
15. Tanaka, K.; Morita, T.; Umeda, H.; Kaneko, S.; Kuroda, M.; Ikoshi, A.; Yamagiwa, H.; Okita, H.; Hikita, M.; Yanagihara, M.; et al. Suppression of current collapse by hole injection from drain in a normally-off GaN-based hybrid-drain-embedded gate injection transistor. *Appl. Phys. Lett.* **2015**, *107*, 163502. [[CrossRef](#)]
16. Uren, M.; Moreke, J.; Kuball, M. Buffer design to minimize current collapse in GaN/AlGaIn HFETs. *IEEE Trans. Electron Devices* **2012**, *59*, 3327–3333. [[CrossRef](#)]
17. Habinc, S.; Chair, G. Lauenstein “Wide-Bandgap Semiconductors in Space: Appreciating the Benefits but Understanding the Risks”. In Proceedings of the Presented at the European Conference on Radiation and its Effects on Components and Systems (RADECS), Gothenburg, Sweden, 16–21 September 2018.
18. Martinez, P.J.; Maset, E.; Gilabert, D.; Sachis-kilders, E.; Ejea, J.B. Evidence of dynamic-R_{on} degradation on low-dose ⁶⁰Co gamma radiation AlGaIn/GaN HEMTs. *Semicond. Sci. Technol.* **2018**, *33*, 11. [[CrossRef](#)]
19. European Space Agency. *Total Dose Steady-State Irradiation Test Method*; ESCC Basic Specification No. 22900; European Space Agency: Paris, France, 2016.
20. Li, K.; Evans, P.; Johnson, M. GaN-HEMT dynamic ON-state resistance characterisation and modelling. In Proceedings of the 2016 IEEE 17th Workshop Control Modeling Power Electron, Trondheim, Norway, 27–30 June 2016.
21. Chen, J.; Puzyrev, Y.S.; Jiang, R.; Zhang, E.X.; McCurdy, M.W.; Fleetwood, D.M.; Schrimpf, R.D.; Pantelides, S.T.; Arehart, A.R.; Ringel, S.A.; et al. Effects of Applied Bias and High Field Stress on the Radiation Response of GaN/AlGaIn HEMTs. *IEEE Trans. Nucl. Sci.* **2015**, *62*, 2423–2430. [[CrossRef](#)]
22. Bhuiyan, M.A.; Zhou, H.; Chang, S.J.; Lou, X.; Gong, X.; Jiang, R.; Gong, H.; Zhang, E.X.; Won, C.H.; Lim, J.W.; et al. Total-Ionizing-Dose Responses of GaN-Based HEMTs with Different Channel Thicknesses and MOSHEMTs with Epitaxial MgCaO as Gate Dielectric. *IEEE Trans. Nucl. Sci.* **2018**, *65*, 46–52. [[CrossRef](#)]

23. Meneghesso, G.; Meneghini, M.; Bisi, D.; Rossetto, I.; Cester, A.; Mishra, U.K.; Zanoni, E. Trapping phenomena in AlGaIn/GaN HEMTs: A study based on pulsed and transient measurements. *Semicond. Sci. Technol.* **2013**, *28*, 074021. [[CrossRef](#)]
24. Rossetto, I.; Meneghini, M.; Tajalli, A.; Dalcanale, S.; De Santi, C.; Moens, P.; Banerjee, A.; Zanoni, E.; Meneghesso, G. Evidence of Hot-Electron Effects During Hard Switching of AlGaIn/GaN HEMTs. *IEEE Trans. Electron Devices* **2017**, *64*, 3734–3739. [[CrossRef](#)]
25. Drabbe, J. *Space Product Assurance: Derating—EEE Components*; ECSS-Q-ST-30-11C Rev 1; Requirements & Standards Division: Noordwijk, The Netherlands, 2011.



© 2019 by the authors. Licensee MDPI, Basel, Switzerland. This article is an open access article distributed under the terms and conditions of the Creative Commons Attribution (CC BY) license (<http://creativecommons.org/licenses/by/4.0/>).

Bibliografía

- [1] A. Yoshikawa, H. Matsunami y Y. Nanishi, «Development and Applications of Wide Bandgap Semiconductors,» de *Wide Bandgap Semiconductors: Fundamental Properties and Modern Photonic and Electronic Devices*, K. Takahashi, A. Yoshikawa y A. Sandhu, Edits., Heidelberg, 2007, p. 1-24.
- [2] S. Vasconcelos Araujo, "On the perspectives of wide-band gap power devices in electronic-based power conversion for renewable systems," Germany, 2013, PhD.
- [3] P. G. Neudeck, R. S. Okojie y L.-Y. Chen, «High-temperature electronics - a role for wide bandgap semiconductors?,» *Proceedings of the IEEE*, vol. 90, pp. 1065-1076, 6 2002.
- [4] U. K. Mishra, L. Shen, T. E. Kazior y Y. Wu, «GaN-Based RF Power Devices and Amplifiers,» *Proceedings of the IEEE*, vol. 96, pp. 287-305, 2 2008.
- [5] E. Johnson, «Physical limitations on frequency and power parameters of transistors,» de *1958 IRE International Convention Record*, 1965.
- [6] F. A. Marino, N. Faralli, D. K. Ferry, S. M. Goodnick y M. Saraniti, «Figures of merit in high-frequency and high-power GaN HEMTs,» *Journal of Physics: Conference Series*, vol. 193, p. 012040, 11 2009.
- [7] J. Millán, P. Godignon, X. Perpiñà, A. Pérez-Tomás y J. Rebollo, «A Survey of Wide Bandgap Power Semiconductor Devices,» *IEEE Transactions on Power Electronics*, vol. 29, pp. 2155-2163, 5 2014.
- [8] R. Semiconductor. [En línea]. Available: <https://www.rohm.com/>.
- [9] Infineon, «Wide Bandgap Semiconductors (SiC/GaN),» [En línea]. Available: <https://www.infineon.com/cms/en/product/wide-band-gap-semiconductors-sic-gan?redirId=130607>.
- [10] X. Ding, Y. Zhou y J. Cheng, «A review of gallium nitride power device and its applications in motor drive,» *CES Transactions on Electrical Machines and Systems*, vol. 3, pp. 54-64, 2019.
- [11] S. Chowdhury, "Current status and scope of gallium nitride-based vertical transistors for high-power electronics application," *Semiconductor Science and Technology*, vol. 28, 7 2013.

- G. M. E. Z. Matteo Meneghini, *Power GaN Devices: Materials, Applications and Reliability*, Springer International Publishing, 2017.
- [12] Y. Sun, «Review of the Recent Progress on GaN-Based Vertical Power Schottky Barrier Diodes (SBDs),» *Electronics*, 2019.
- [13] E. Bahat-Treidel, «Fast-Switching GaN-Based Lateral Power Schottky Barrier Diodes With Low Onset Voltage and Strong Reverse Blocking,» *IEEE Electron Device Letters*, vol. 33, pp. 357-359, 2012.
- [14] M. Zhu, B. Song, M. Qi, Z. Hu, K. Nomoto, X. Yan, Y. Cao, W. Johnson, E. Kohn, D. Jena y H. G. Xing, «1.9-kV AlGaIn/GaN Lateral Schottky Barrier Diodes on Silicon,» *IEEE Electron Device Letters*, vol. 36, pp. 375-377, 2015.
- [15] T. Zhang, J. Zhang, H. Zhou, Y. Zhang, T. Chen, K. Zhang, Y. Wang, K. Dang, Z. Bian, X. Duan, J. Ning, S. Zhao y Y. Hao, «High-performance lateral GaN Schottky barrier diode on silicon substrate with low turn-on voltage of 0.31 V, high breakdown voltage of 2.65 kV and high-power figure-of-merit of 2.65 GW cm⁻²,» *Applied Physics Express*, vol. 12, p. 046502, 3 2019.
- [16] S. Chowdhury y U. K. Mishra, «Lateral and Vertical Transistors Using the AlGaIn/GaN Heterostructure,» *IEEE Transactions on Electron Devices*, vol. 60, pp. 3060-3066, 2013.
- [17] H. Ohta, N. Kaneda, F. Horikiri, Y. Narita, T. Yoshida, T. Mishima y T. Nakamura, «Vertical GaN p-n Junction Diodes With High Breakdown Voltages Over 4 kV,» *IEEE Electron Device Letters*, vol. 36, pp. 1180-1182, 2015.
- [18] T. Uesugi y T. Kachi, «Which are the Future GaN Power Devices for Automotive Applications, Lateral Structures or Vertical Structures,» 2011.
- [19] H. Nie, Q. Diduck, B. Alvarez, A. P. Edwards, B. M. Kayes, M. Zhang, G. Ye, T. Prunty, D. Bour y I. C. Kizilyalli, «1.5-kV and 2.2-mW cm⁻² Vertical GaN Transistors on Bulk-GaN Substrates,» *IEEE Electron Device Letters*, vol. 35, pp. 939-941, 2014.
- [20] I. C. Kizilyalli, «High Voltage Vertical GaN p-n Diodes With Avalanche Capability,» *IEEE Transactions on Electron Devices*, vol. 60, pp. 3067-3070, 2013.
- [21] J. B. Limb, D. Yoo, J. .. Ryou, S. .. Shen y R. D. Dupuis, «Low on-resistance GaN pin rectifiers grown on 6H-SiC substrates,» *Electronics Letters*, vol. 43, pp. 67-68, 2007.
- [22]

Bibliografía

- [23] T. G. Zhu, D. J. H. Lambert, B. S. Shelton, M. M. Wong, U. Chowdhury, H. K. Kwon y R. D. Dupuis, «High-voltage GaN pin vertical rectifiers with 2 μm thick i-layer,» *Electronics Letters*, vol. 36, pp. 1971-1972, 2000.
- [24] Y. Zhang, M. Sun, D. Piedra, M. Azize, X. Zhang, T. Fujishima y T. Palacios, «GaN-on-Si Vertical Schottky and p-n Diodes,» *IEEE Electron Device Letters*, vol. 35, pp. 618-620, 2014.
- [25] X. Zou, X. Zhang, X. Lu, C. W. Tang y K. M. Lau, «Fully Vertical GaN p-i-n Diodes Using GaN-on-Si Epilayers,» *IEEE Electron Device Letters*, vol. 37, pp. 636-639, 2016.
- [26] X. Zou, X. Zhang, X. Lu, C. W. Tang y K. M. Lau, «Breakdown Ruggedness of Quasi-Vertical GaN-Based p-i-n Diodes on Si Substrates,» *IEEE Electron Device Letters*, vol. 37, pp. 1158-1161, 2016.
- [27] Z.-K. Bian, «High-performance quasi-vertical GaN Schottky diode with low turn-on voltage,» *Superlattices and Microstructures*, vol. 125, pp. 295-301, 2019.
- [28] Y. Z. a. J. C. X. Ding, «A review of gallium nitride power device and its applications in motor drive,» *CES Transactions on Electrical Machines and Systems*, 2019.
- [29] T. Ueda, «GaN power devices: current status and future challenges,» *Japanese Journal of Applied Physics*, vol. 58, 2019.
- [30] Y. Niiyama, H. Kambayashi, S. Ootomo, T. Nomura y S. Yoshida, «250°C operation normally-off GaN MOSFETs,» *Solid-State Electronics*, vol. 51, pp. 784-787, 2007.
- [31] K. Matocha, T. P. Chow y R. J. Gutmann, «High-voltage normally off GaN MOSFETs on sapphire substrates,» *IEEE Transactions on Electron Devices*, vol. 52, pp. 6-10, 2005.
- [32] X. Cheng, «Overview of Recent Progress of Semiconductor Power Devices based on Wide Bandgap Materials,» de *Materials Science and Engineering Conference Series*, 2018.
- [33] D. Ji, Y. Yue, J. Gao y S. Chowdhury, «Dynamic Modeling and Power Loss Analysis of High-Frequency Power Switches Based on GaN CAVET,» *IEEE Transactions on Electron Devices*, vol. 63, pp. 4011-4017, 2016.
- [34] S. Chowdhury, M. H. Wong, B. L. Swenson y U. K. Mishra, «CAVET on Bulk GaN Substrates Achieved With MBE-Regrown AlGaIn/GaN Layers to Suppress Dispersion,» *IEEE Electron Device Letters*, vol. 33, pp. 41-43, 2012.

- [35] A. Lidow, M. de Rooij, J. Strydom, D. Reusch y J. Glaser, GaN Transistors for Efficient Power Conversion Third Edition, John Wiley & Sons, 2019.
- [36] S. M. Horcajo, «Technology and characterization of GaN-HEMTs devices: high temperature and trapping effects,» UPM PhD, 2015.
- [37] X.-G. He, D.-G. Zhao y D.-S. Jiang, «Formation of two-dimensional electron gas at AlGa_N/Ga_N heterostructure and the derivation of its sheet density expression,» *Chinese Physics B*, vol. 24, p. 067301, 6 2015.
- [38] M. K. K. O. A. a. M. S. C. R. Miskys, «Freestanding GaN-substrates and devices,» *Physica Status Solidi (c)*, vol. 0, nº 6, pp. 61-127, 2003.
- [39] L. Liu y J. H. Edgar, «Substrates for gallium nitride epitaxy,» *Materials Science and Engineering: R: Reports*, vol. 37, pp. 61-127, 2002.
- [40] P. Inc., «x-GaN Power Panasonic,» [En línea]. Available: <https://na.industrial.panasonic.com/products/semiconductors/x-gan-power>.
- [41] G. Systems, «GaN Systems,» [En línea]. Available: <https://gansystems.com/>.
- [42] S. Hamady, «New concepts for normally-off power Gallium Nitride (GaN) High Electron Mobility Transistor (HEMT),» *PhD*, 12 2014.
- [43] K. J. Chen y C. Zhou, «Enhancement-mode AlGa_N/Ga_N HEMT and MIS-HEMT technology,» *physica status solidi (a)*, vol. 208, pp. 434-438, 2011.
- [44] Y. Cai, «Control of Threshold Voltage of AlGa_N/Ga_N HEMTs by Fluoride-Based Plasma Treatment: From Depletion Mode to Enhancement Mode,» *IEEE Transactions on Electron Devices*, vol. 53, pp. 2207-2215, 9 2006.
- [45] R. Chu, «1200-V Normally Off GaN-on-Si Field-Effect Transistors With Low Dynamic on-Resistance,» *IEEE Electron Device Letters*, vol. 32, pp. 632-634, 2011.
- [46] K. J. Chen, «Physics of fluorine plasma ion implantation for GaN normally-off HEMT technology,» de 2011 *International Electron Devices Meeting*, 2011.

Bibliografía

- [47] T. Palacios, C. .. Suh, A. Chakraborty, S. Keller, S. P. DenBaars y U. K. Mishra, «High-performance E-mode AlGa_N/Ga_N HEMTs,» *IEEE Electron Device Letters*, vol. 27, pp. 428-430, 6 2006.
- [48] W. Saito, Y. Takada, M. Kuraguchi, K. Tsuda y I. Omura, «Recessed-gate structure approach toward normally off high-Voltage AlGa_N/Ga_N HEMT for power electronics applications,» *IEEE Transactions on Electron Devices*, vol. 53, pp. 356-362, 2 2006.
- [49] W. B. Lanford, T. Tanaka, Y. Otoki y I. Adesida, «Recessed-gate enhancement-mode Ga_N HEMT with high threshold voltage,» *Electronics Letters*, vol. 41, pp. 449-450, 2005.
- [50] Y. Park, J. Kim, W. Chang, D. Jung, S. Bae, J. Mun, C.-H. Jun, S. Ko y E. Nam, «Normally-off Ga_N MIS-HEMT using a combination of recessed-gate structure and CF₄ plasma treatment,» *physica status solidi (a)*, vol. 212, pp. 1170-1173, 2015.
- [51] M. Kanamura, «Enhancement-Mode Ga_N MIS-HEMTs With n-Ga_N/i-AlN/n-Ga_N Triple Cap Layer and High-*k* Gate Dielectrics,» *IEEE Electron Device Letters*, vol. 31, pp. 189-191, 3 2010.
- [52] G. Greco, F. Iucolano y F. Roccaforte, «Review of technology for normally-off HEMTs with p-Ga_N gate,» *Materials Science in Semiconductor Processing*, vol. 78, pp. 96-106, 2018.
- [53] Y. C. Lin, «Optimization of gate insulator material for Ga_N MIS-HEMT,» de *2016 28th International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, 2016.
- [54] S. Liu, B. Chen, Y. Lin, T. Hsieh, H. Wang y E. Y. Chang, «Ga_N MIS-HEMTs With Nitrogen Passivation for Power Device Applications,» *IEEE Electron Device Letters*, vol. 35, pp. 1001-1003, 2014.
- [55] Po-Chien Chou et al., «Evaluation and Reliability Assessment of Gan-on-Si MIS-HEMT for Power Switching Applications,» *Energies*, 2017.
- [56] P.-C. Chou, «Comprehensive dynamic on-resistance assessments in Ga_N-on-Si MIS-HEMTs for power switching applications,» *Semiconductor Science and Technology*, vol. 33, p. 055012, 4 2018.
- [57] I. Hwang, «p-Ga_N Gate HEMTs With Tungsten Gate Metal for High Threshold Voltage and Low Gate Current,» *IEEE Electron Device Letters*, vol. 34, pp. 202-204, 2013.
- [58] Y. Uemoto, M. Hikita, H. Ueno, H. Matsuo, H. Ishida, M. Yanagihara, T. Ueda, T. Tanaka y D. Ueda, «Gate Injection Transistor (GIT)—A Normally-Off AlGa_N/Ga_N Power Transistor Using

- Conductivity Modulation,» *IEEE Transactions on Electron Devices*, vol. 54, pp. 3393-3399, 12 2007.
- [59] Y. O. M. A. S. K. K. M. a. T. M. Takeshi Nakao, «Electroluminescence in AlGa_N/Ga_N High Electron Mobility Transistors under High Bias Voltage,» *Japanese Journal of Applied Physics*, vol. 41, n° 4A, 2002.
- [60] N. Shigekawa, K. Shiojima y T. Suemitsu, «Electroluminescence characterization of AlGa_N/Ga_N high-electron-mobility transistors,» *Applied Physics Letters*, vol. 79, p. 1196-1198, 8 2001.
- [61] N. Shigekawa, K. Shiojima y T. Suemitsu, «Optical study of high-biased AlGa_N/Ga_N high-electron-mobility transistors,» *Journal of Applied Physics*, vol. 92, pp. 531-535, 2002.
- [62] G. Meneghesso, G. Verzellesi, F. Danesin, F. Rampazzo, F. Zanon, A. Tazzoli, M. Meneghini y E. Zanoni, «Reliability of Ga_N High-Electron-Mobility Transistors: State of the Art and Perspectives,» *IEEE Transactions on Device and Materials Reliability*, vol. 8, pp. 332-343, 2008.
- [63] K. Tanaka, T. Morita, M. Ishida, T. Hatsuda, T. Ueda, K. Yokoyama, A. Ikoshi, M. Hikita, M. Toki, M. Yanagihara y Y. Uemoto, «Reliability of hybrid-drain-embedded gate injection transistor,» de *IEEE International Reliability Physics Symposium (IRPS)*, 2017.
- [64] A. Benvegna, «Trapping and Reliability investigations in Ga_N-based HEMTs,» PhD, 2016.
- [65] M. O. Manasreh, «Chapter 1 - Introduction to defects and structural properties of III-nitride semiconductors,» de *III-Nitride Semiconductors: Electrical, Structural and Defects Properties*, O. Manasreh, Ed., Amsterdam, Elsevier, 2000, pp. 1-15.
- [66] T. Hasan, «Mechanism and suppression of Current Collapse in AlGa_N/Ga_N High Electromobility Transistors,» PhD, 2013.
- [67] R. Vetry, N. Q. Zhang, S. Keller y U. K. Mishra, «The impact of surface states on the DC and RF characteristics of AlGa_N/Ga_N HFETs,» *IEEE Transactions on Electron Devices*, vol. 48, pp. 560-566, 2001.
- [68] D. Jin y J. A. del Alamo, «Mechanisms responsible for dynamic ON-resistance in Ga_N high-voltage HEMTs,» de *2012 24th International Symposium on Power Semiconductor Devices and ICs*, 2012.

Bibliografía

- P. Inc, «TRANSISTORS POWER GAN,» 2018. [En línea].
[69] Available: https://eu.industrial.panasonic.com/sites/default/pidseu/files/pan_18047_whitepaper_gan_web.pdf.
- J. P. Kozak, «Hard-Switched Overvoltage Robustness of p-Gate GaN HEMTs at Increasing Temperatures,» *IEEE Energy Conversion Congress and Exposition (ECCE)*, 2020.
[70]
- M. Meneghini, P. Vanmeerbeek, R. Silvestri, S. Dalcanale, A. Banerjee, D. Bisi, E. Zanoni y G. Meneghesso, «Temperature-dependent dynamic RON in GaN based MIS-HEMTs: Role of surface traps and,» *IEEE Transactions on Electron Devices*, vol. 62, pp. 782-787, 2015.
[71]
- M. M. a. E. Z. Gaudenzio Meneghesso, «Breakdown mechanisms in AlGaIn/GaN HEMTs: An overview,» *Japanese Journal of Applied Physics*, vol. 53, nº 10, 2014.
[72]